



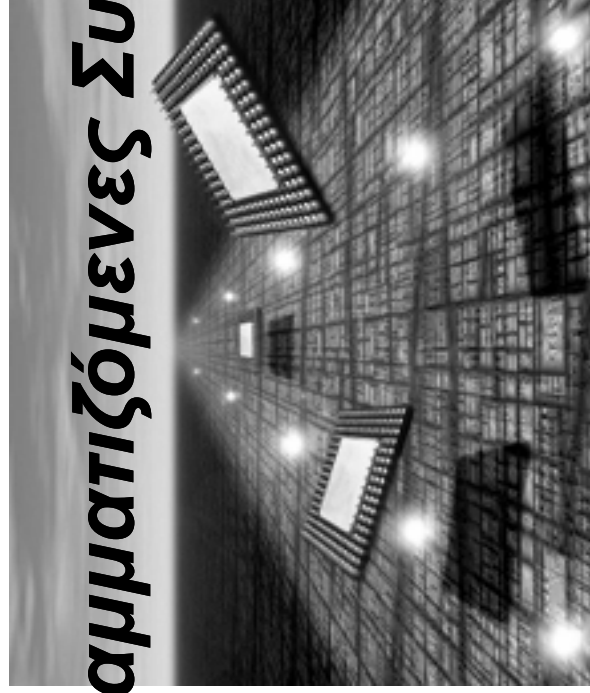
ΥΠΟΥΡΓΕΙΟ ΕΘΝΙΚΗΣ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ ΕΠΕΑΕΚ



ΕΥΡΩΠΑΪΚΗ ΕΝΩΣΗ
ΣΥΓΧΡΗΜΑΤΟΔΟΤΗΣΗ
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



Η ΠΑΙΔΕΙΑ ΣΤΗΝ ΚΟΡΥΦΗ
Επιχειρησιακό Πρόγραμμα
Εκπαίδευσης και Αρχικής
Επαγγελματικής Κατάρτισης



Προγραμματιζόμενες Συσκευές

Χρ. Καβουσιανός

Εισαγωγή

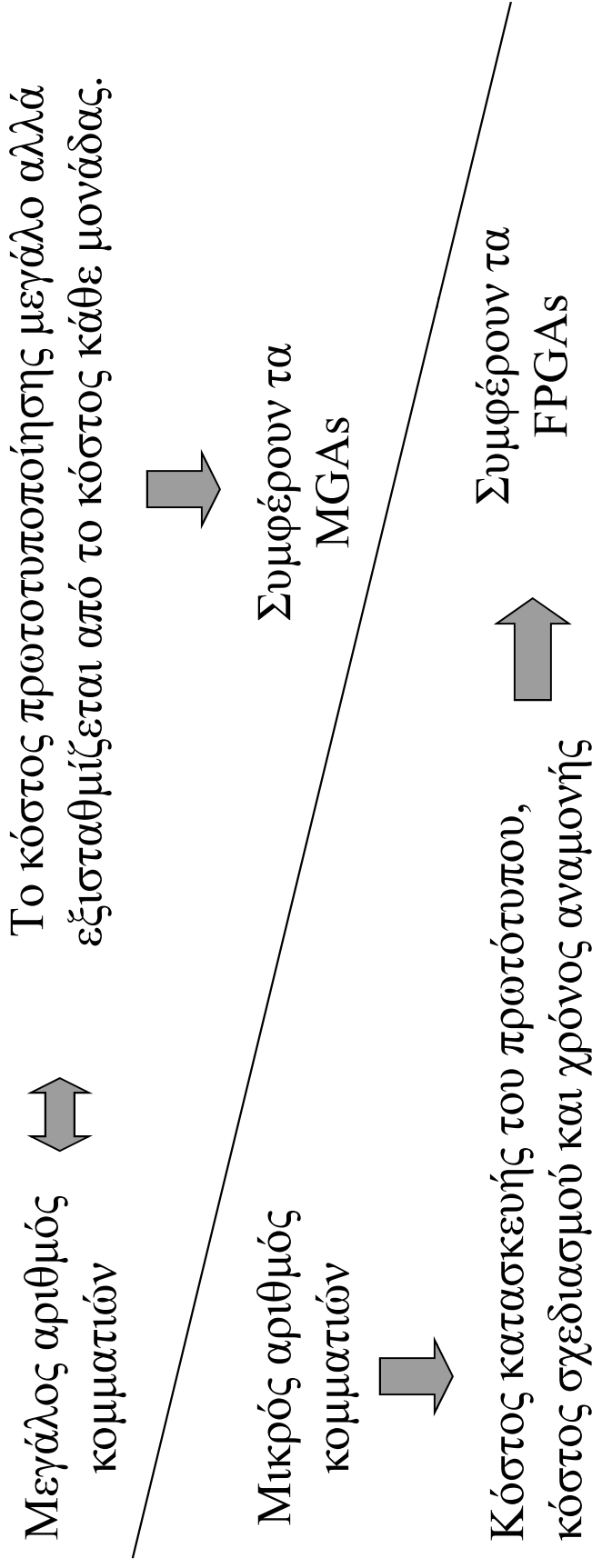
Οι προγραμματιζόμενες συσκευές:

- ✓ Είναι ολοκληρωμένα κυκλώματα τα οποία **προγραμματίζονται** από τον σχεδιαστή στο εργαστήριο του.
- ✓ Αποτελούνται από **επαναλαμβανόμενες διατάξεις** κυττάρων τα οποία **διαμορφώνονται** και **διασυνδέονται** για να υλοποιήσουν ένα κύκλωμα.
- ✓ Χρησιμοποιούνται ειδικά εργαλεία για **εισαγωγή σχεδιασμού, εξομίωση** και **προγραμματισμό** της συσκευής.

Πλεονεκτήματα

- Δεν απαιτείται καμία μάσκα κατασκευής.*
- Μειωμένο κόστος μονάδος.*
- Είναι ιδανικές για προτυποποίηση.*
- Όλη η σχεδίαση γίνεται στο εργαστήριο.*
- Εύκολος προγραμματισμός.*
- Γίνονται σχεδιαστικές αλλαγές χωρίς κόστος*

Εισαγωγή



Οι προγραμματιζόμενες συσκευές διατίθενται στην αγορά σε μεγάλη ποικιλία δυνατοτήτων ολοκλήρωσης και ταχύτητας

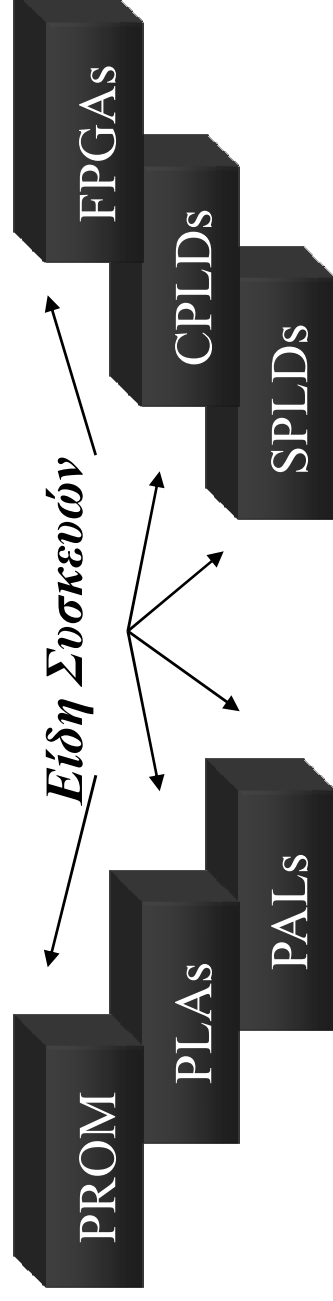
Εισαγωγή

- ✓ Κάθε οικογένεια προγραμματιζόμενων συσκευών έχει την δική της αρχιτεκτονική.
- ✓ Εξειδικευμένο λογισμικό εκμεταλλεύεται βέλτιστα τα χαρακτηριστικά της για την υλοποίηση σχεδιαζόμενων συστημάτων.
- ✓ Σχεδιάζονται νέες αρχιτεκτονικές διαρκώς για να βελτιώσουν τις επιδόσεις των προγραμματιζόμενων συσκευών.
- ✓ Για την αξιολόγηση χρησιμοποιούνται γνωστά κυκλώματα (*benchmarks*).
- ✓ Παρέχονται σε μεγάλη ποικιλία ανάλογα με το περίβλημα, την απόδοση και φυσικά την τιμή κάθε οικογένειας.



Γενικά Χαρακτηριστικά

- ✓ Είναι διατάξεις από λογικά κύτταρα με δυνατότητες προγραμματισμού, και διασύνδεσης.
- ✓ Υπάρχουν και προγραμματιζόμενα κύτταρα εισόδου/εξόδου.
- ✓ Για την διασύνδεση των κυττάρων χρησιμοποιείται ειδικό πλάνο διασύνδεσης, το οποίο είναι διαφορετικό για την κάθε εταιρία και οικογένεια.
- ✓ Ο προγραμματισμός των συσκευών μπορεί να είναι μόνιμος ή προσωρινός.



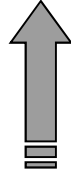
Είδη Προγραμματιζόμενων Συσκευών

Μνήμη PROM

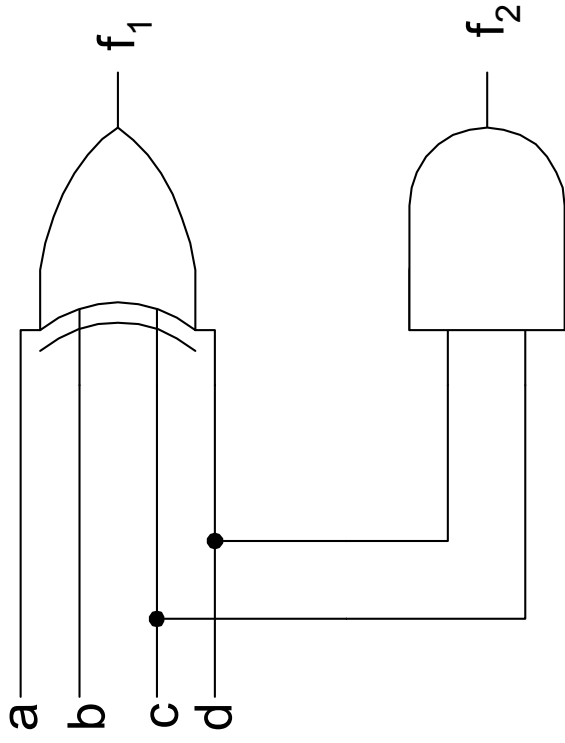
- ✓ Είναι το απλούστερο chip που μπορεί να προγραμματιστεί για να υλοποιεί κάποιο κύκλωμα.
- ✓ Είναι μνήμη που όταν προγραμματιστεί διατηρεί τα περιεχόμενα της και μετά την πτώση της τροφοδοσίας.
- ✓ Κατά την διάρκεια της λειτουργία της επιτρέπει μόνο ανάγνωση.
- ✓ Οι γραμμές διευθύνσεων αποτελούν τις εισόδους του κυκλώματος και οι γραμμές δεδομένων τις εξόδους.
- ✓ Τα περιεχόμενα της PROM είναι ο πίνακας αλήθειας του κυκλώματος.
- ✓ Η μέθοδος αυτή είναι μη-οικονομική αφού το κόστος της PROM είναι μεγάλο ενώ μία λογική συνάρτηση απαιτεί μόνο λίγους όρους συνήθως για να υλοποιηθεί (και έχει πολλούς αδιάφορους όρους X).

PROM

abcd	f ₁	f ₂
0000	0	0
0001	1	0
0010	1	0
0011	0	1
0100	1	0
0101	0	0
0110	0	0
0111	1	1
1000	1	0
1001	0	0
1010	0	0
1011	1	1
1100	0	0
1101	1	0
1110	1	0
1111	0	1



Μνήμη PROM



Δεν εκμεταλλεύεται δυνατότητες απλοποίησης

Είδη Προγραμματιζόμενων Συσκευών

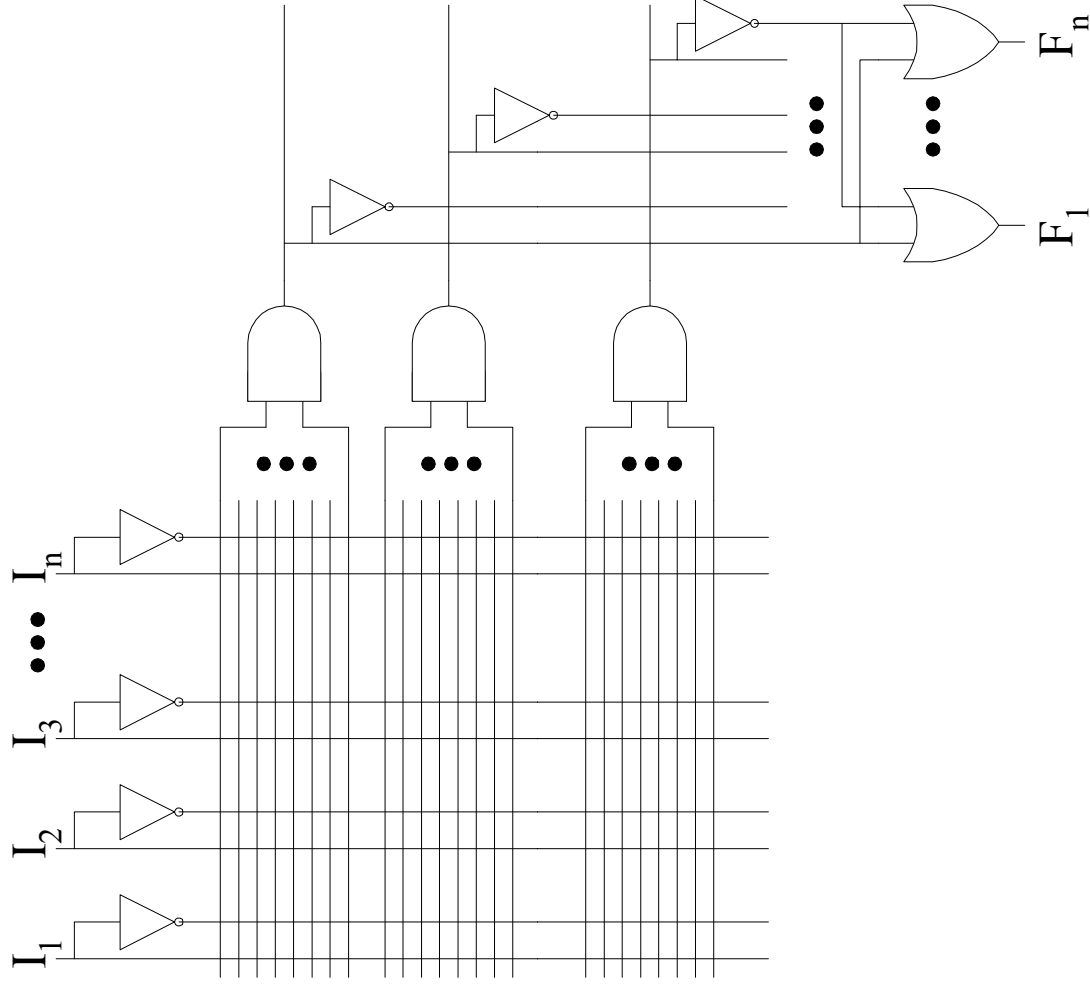
PLA (Programmable Logic Array)

- ✓ Υλοποιεί λογικά κυκλώματα σε διεπίπεδη μορφή AND-OR αθροίσματος γινομένων.
- ✓ Δύο προγραμματιζόμενα επίπεδα λογικής: AND - OR.
- ✓ Έξοδος πρώτου επιπέδου: όρος γινομένου οσονδήποτε εισόδων
- ✓ Έξοδος δευτέρου επιπέδου: άθροισμα όρων γινομένου πρώτου επιπέδου.
- ✓ Μειονέκτημα: μικρή ταχύτητα λόγω δύο προγραμματιζόμενων επιπέδων



Το πρόβλημα μετριάζεται εάν μόνο το πρώτο επίπεδο (όροι γινομένου) είναι προγραμματιζόμενο.

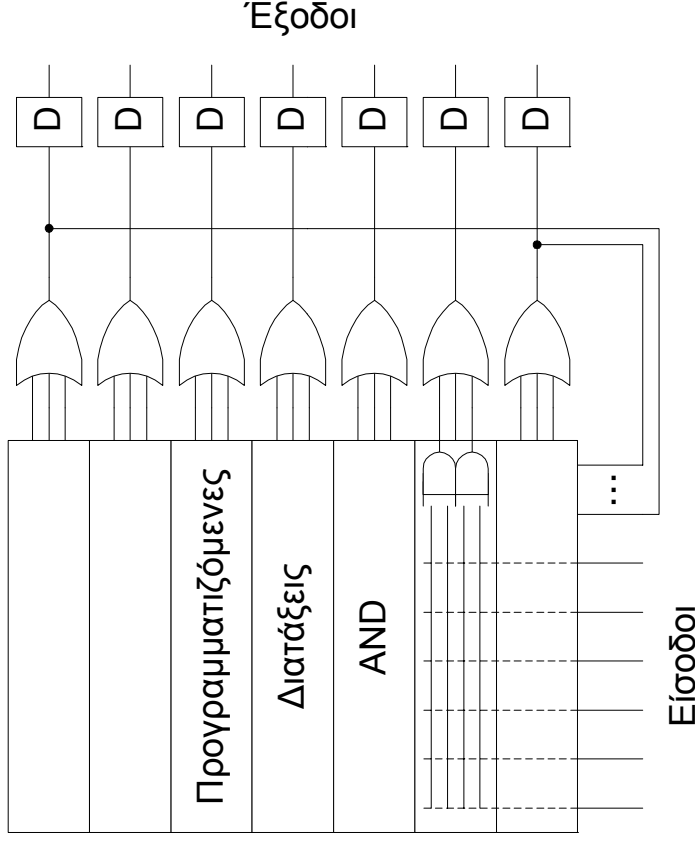
PLA



Είδη Προγραμματιζόμενων Συσκευών

PAL (Programmable Array Logic) :

- ✓ Μόνο το πρώτο επίπεδο (όροι γινομένου) προγραμματιζόμενο (τα λογικά αθροίσματα είναι σταθερά).
- ✓ Έχουν περιορισμένες δυνατότητες υλοποίησης λογικών κυκλωμάτων
- ✓ Έρχονται σε μεγάλη ποικιλία εισόδων, εξόδων και μεγέθους OR πυλών.
- ✓ Έχουν flip flop στην έξοδο της OR για ακολουθιακά κυκλώματα.



SPLDs (Simple Programmable Logic Devices): όλες οι παρεμφερείς με τις PALs και PLAs συσκευές με μικρό κόστος και μεγάλη ταχύτητα.

CPLDs

Complex Programmable Logic Devices:

- ✓ Έχουν μεγαλύτερη χωρητικότητα για περισσότερο απαιτητικές σε επιφάνεια εφαρμογές.
- ✓ Το πρόβλημα σε αυτήν την περίπτωση είναι η δυσανάλογα μεγάλη αύξηση της προγραμματιζόμενης λογικής σε σχέση με την αύξηση του αριθμού των εισόδων.
- ✓ Είναι αρχιτεκτονικές που βασίζονται στην διασύνδεση πολλαπλών SPLDs σε ένα chip.
- ✓ Παρέχουν χωρητικότητα περίπου 50 τυπικών συσκευών SPLDs (όριο αντοχής τους).
- ✓ Για επιπλέον αύξηση πρέπει να ακολουθήσουμε διαφορετική προσέγγιση αρχιτεκτονικής.

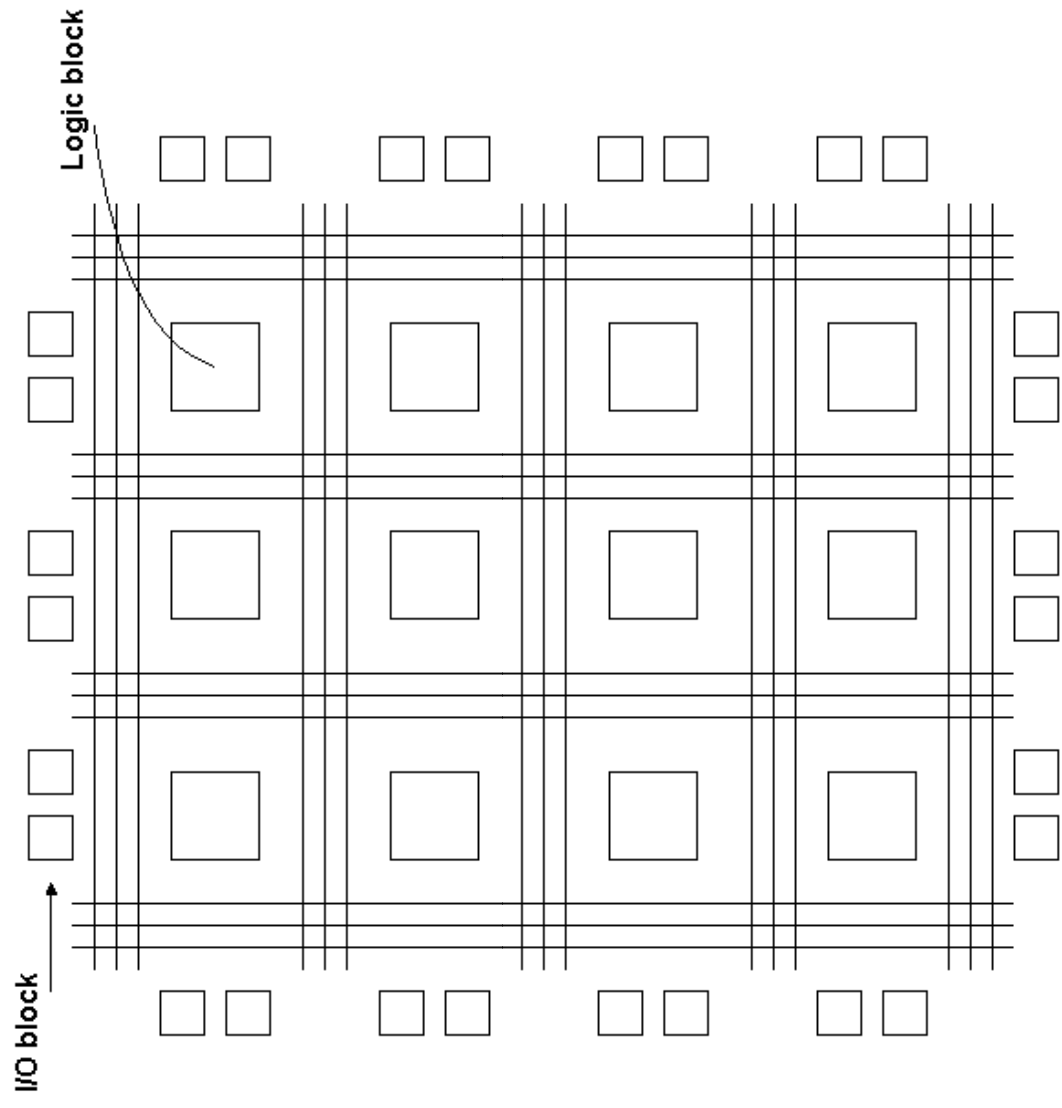
FPGAs

Field Programmable Gate Arrays:

- ✓ Βασίζονται στην αρχιτεκτονική των gate arrays (συστάδες προκατασκευασμένων τρανζίστορ τα οποία διασυνδέονται για να υλοποιήσουν το ζητούμενο κύκλωμα).
- ✓ Τα gate arrays έχουν την υψηλότερη πυκνότητα ολοκλήρωσης σε chip αλλά είναι MPGAs (μεγάλο κόστος και χρόνος κατασκευής).
- ✓ Τα FPGAs αποτελούνται από μία συστάδα κυκλωματικών στοιχείων (logic blocks) με αρκετές δυνατότητες διασύνδεσης και διαμορφώνονται με προγραμματισμό που γίνεται στο πεδίο εφαρμογής τους.
- ✓ Τα FPGAs είναι οι προγραμματιζόμενες συσκευές που παρέχουν την μεγαλύτερη πυκνότητα ολοκλήρωσης.

FPGAs

Γενική Δομή FPGAs



Προγραμματιζόμενοι Διακόπτες

Όταν προγραμματιστούν καθορίζουν τον τρόπο λειτουργίας του κυκλώματος.

- ✓ Αρχικά χρησιμοποιήθηκαν οι ασφάλειες (fuses).
- ✓ Στα CPLDs χρησιμοποιούνται τα τρανζίστορ ρευστής πύλης (floating gate) που χρησιμοποιούνται και στις μνήμες EPROM και EEPROM
- ✓ Στα FPGAs χρησιμοποιούνται κύτταρα SRAM και (antifuses).

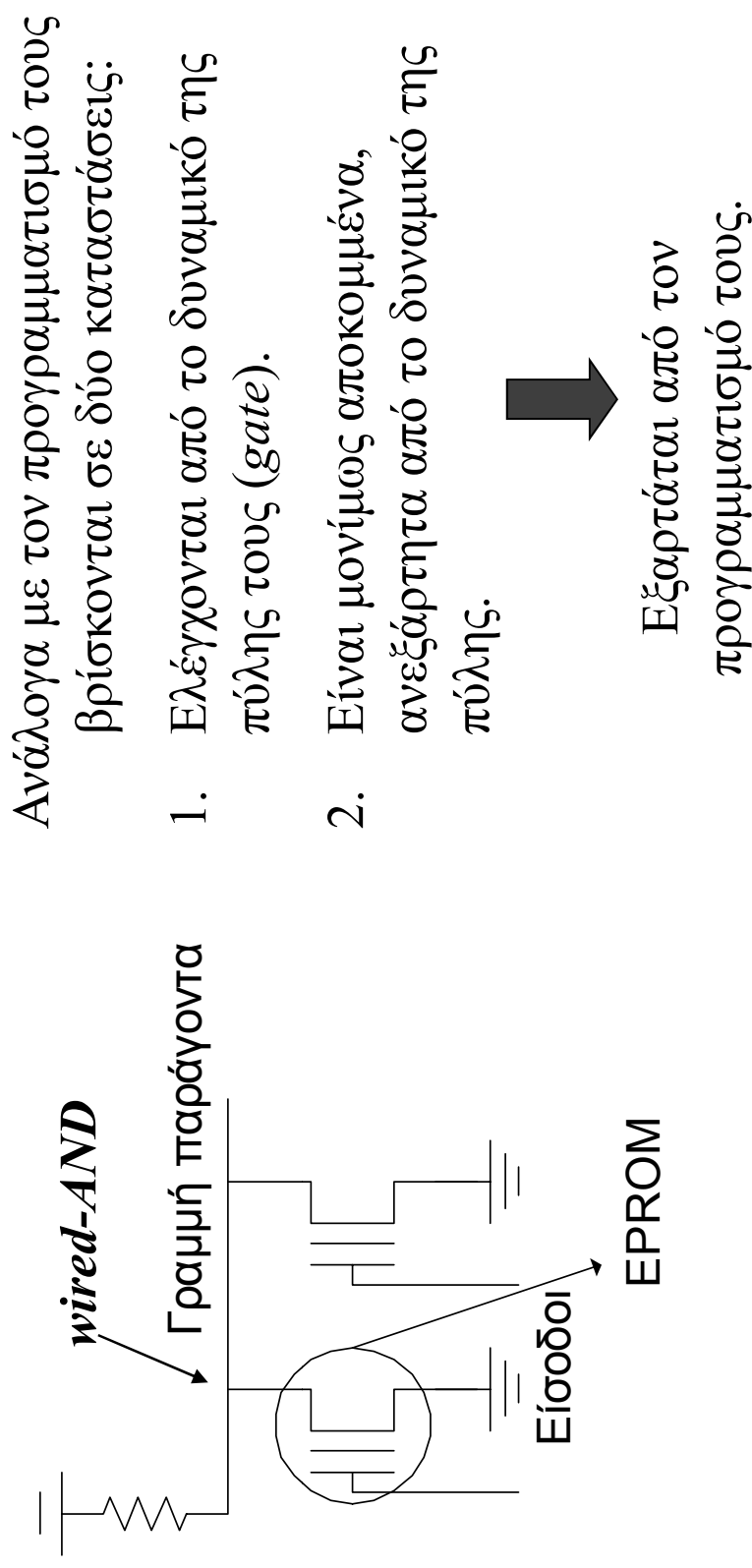
Συστήματα Προγραμματισμού.

- ✓ Χρησιμοποιούνται φθηνά συστήματα, (εξοπλισμός εργαστηρίου).
- ✓ Έχουν ειδικές υποδοχές (sockets) στις οποίες τοποθετείται το chip.
- ✓ Επικοινωνούν με σταθμούς εργασίας στους οποίους εκτελείται το κατάλληλο λογισμικό προγραμματισμού.

In System Programming: Προγραμματισμός μίας συσκευής μετά την τοποθέτηση της στο PCB (για προστασία από πολλαπλές τοποθετήσεις).

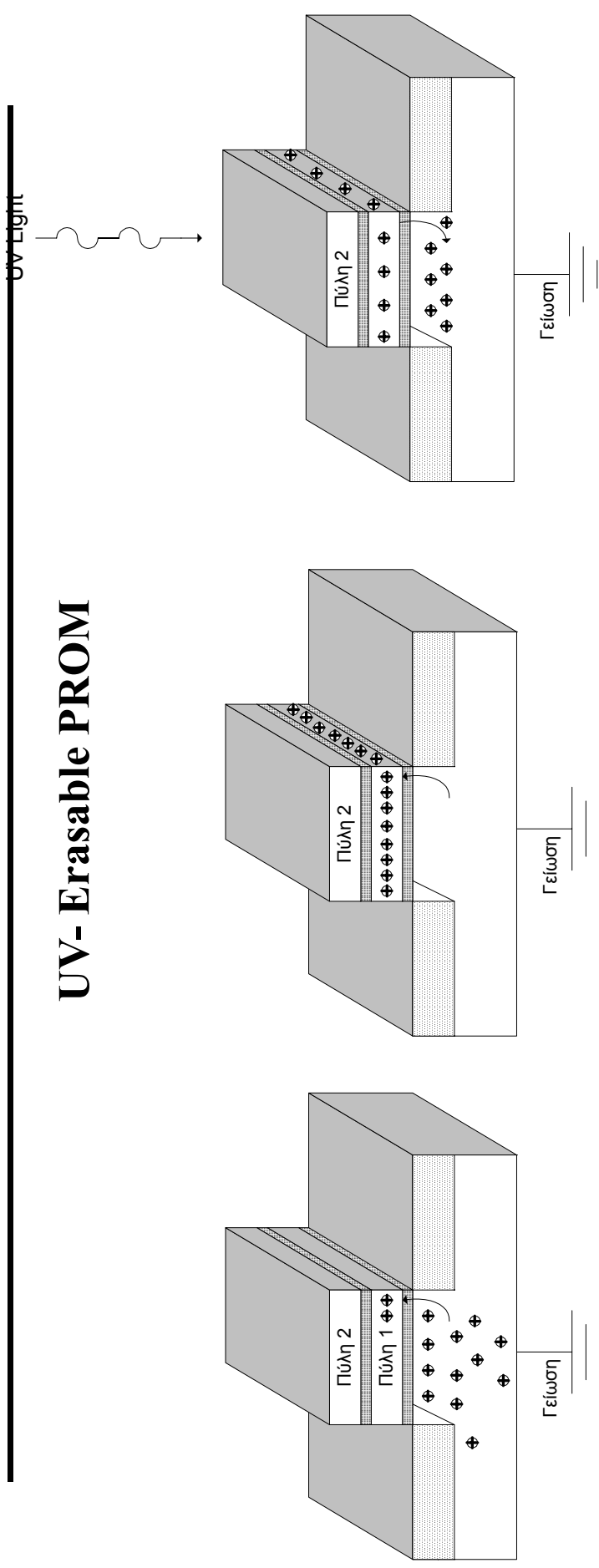
Προγραμματιζόμενοι Διακόπτες

Προγραμματιζόμενοι διακόπτες EPROM, EEPROM.



Προγραμματιζόμενοι Διακόπτες

UV-Erasable PROM



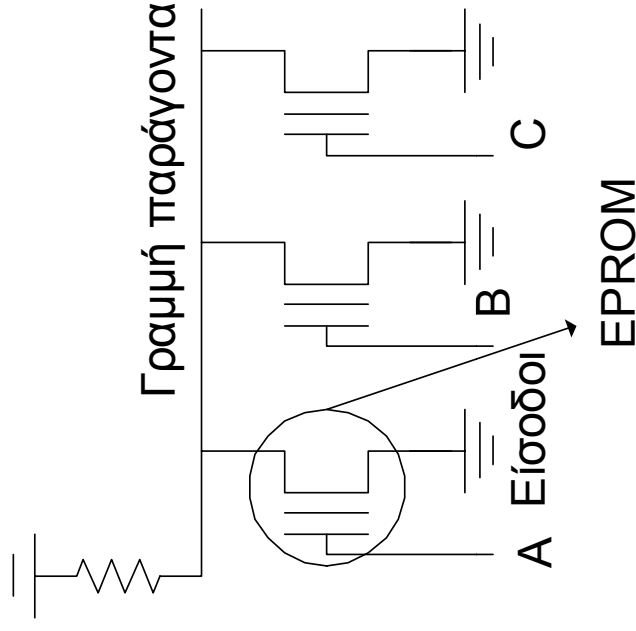
- ✓ Έχουν την δυνατότητα από-προγραμματισμού με υπεριώδη ακτινοβολία.
- ✓ Όταν εφαρμόζουμε τάση μεγαλύτερη από 12V στην υποδοχή του *nmos*, προγραμματίζεται το *transistor*.

Προγραμματιζόμενοι Διακόπτες

UV-Erasable PROM

- ✓ Δημιουργείται υψηλό ηλεκτρικό πεδίο το οποίο ωθεί τα ηλεκτρόνια να υπερπηδήσουν το μονωτικό υλικό και να παγιδευτούν στην κάτω πύλη (*floating*).
- ✓ Ο προγραμματισμός προκαλεί αύξηση της τάσης κατωφλίου πάνω από 5V.
- ✓ Το προγραμματισμένο *transistor* είναι μόνιμα αποκομμένο.
- ✓ Όταν το *transistor* δεν προγραμματιστεί λειτουργεί κανονικά.
- ✓ Με την έκθεση του *transistor* σε υπεριώδη ακτινοβολία τα ηλεκτρόνια επανέρχονται στην θέση τους.
- ✓ Τοποθετείται ένα φωτο-αγώγιμο υλικό στην κορυφή του κεραμικού περιβλήματος.

Προγραμματιζόμενοι Διακόπτες

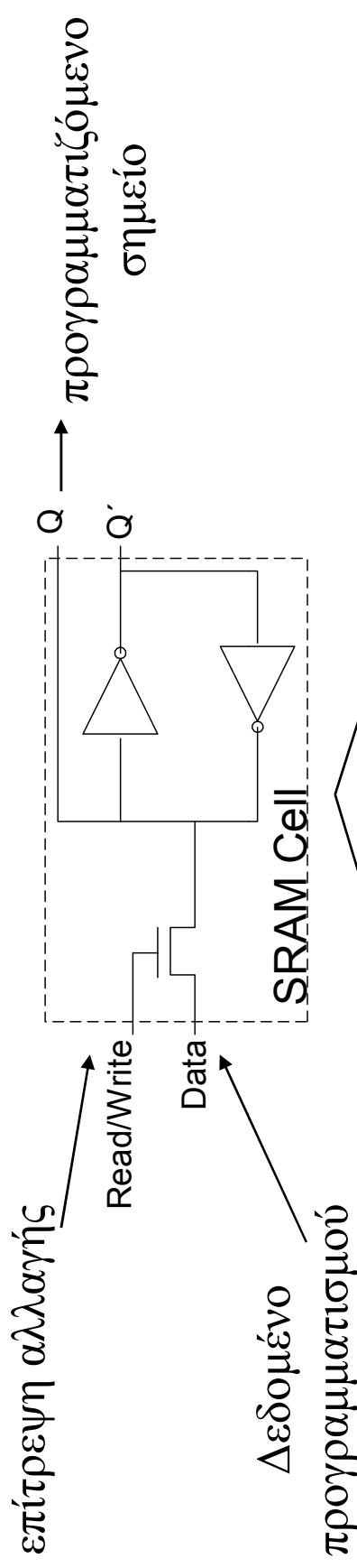


- ✓ Αν όλα τα transistor είναι απρογραμματισμένα τότε υλοποιείται η συνάρτηση $F=(A+B+C)'$.
- ✓ Αν το transistor A είναι προγραμματισμένο τότε υλοποιείται η συνάρτηση $F=(B+C)'$. Η είσοδος A αγνοείται.

Προγραμματιζόμενοι Διακόπτες

Κύτταρα SRAM

Οι συσκευές FPGAs χρησιμοποιούν κύτταρα SRAM και αντισφάλλειες.

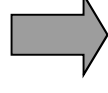


Υλοποίηση Διασύνδεσης

Υλοποίηση Λογικής

Γραμμές επιλογής πολυπλεκτών

Θέτουν σε αγωγή *transistor* τα οποία βραχυκυκλώνουν δύο γραμμές.



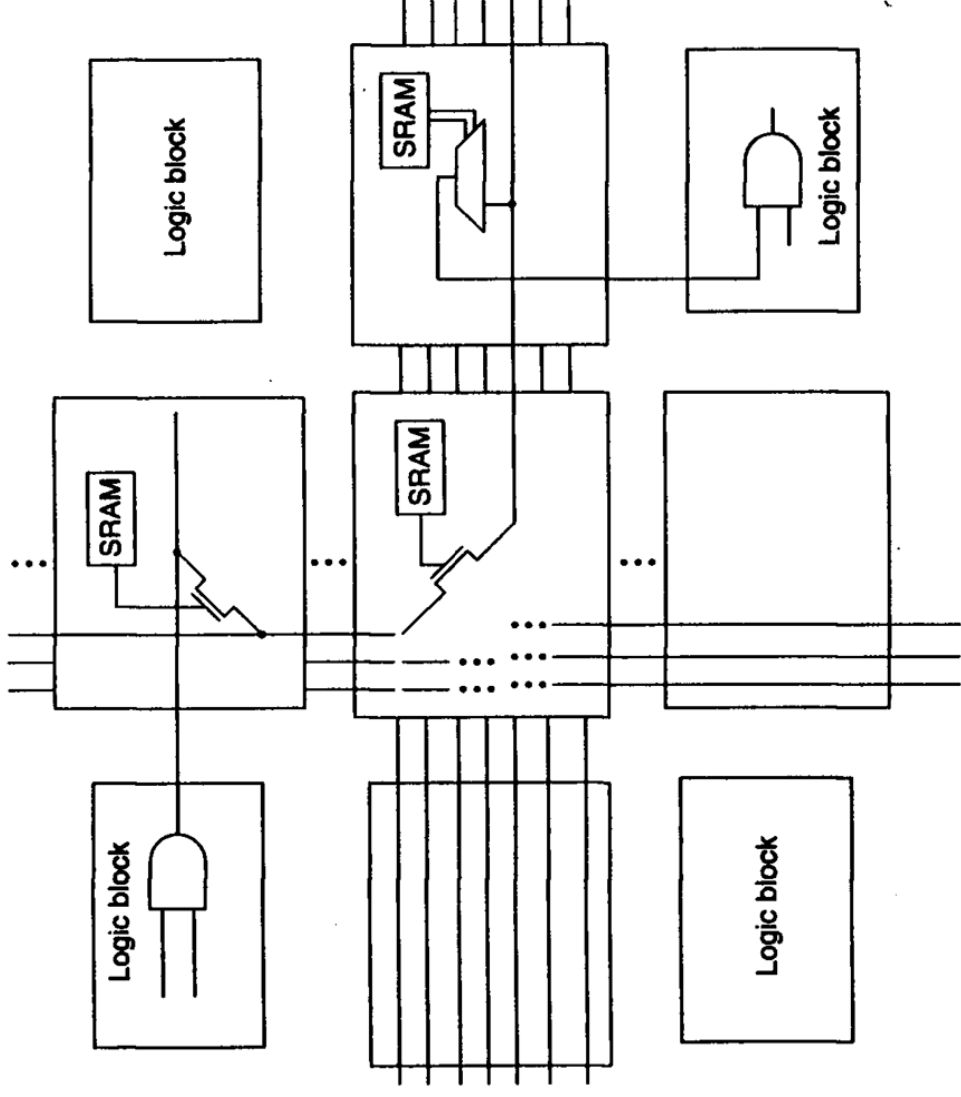
Μόνιμη διασύνδεση μίας από τις εισόδους του πολυπλέκτη στην έξοδό του .

Προγραμματιζόμενοι Διακόπτες

Πλεονέκτημα SRAM
Δυνατότητα
επαναπρογραμματισμού

Μειονέκτημα SRAM
απώλεια δεδομένων με
τροφοδοσία

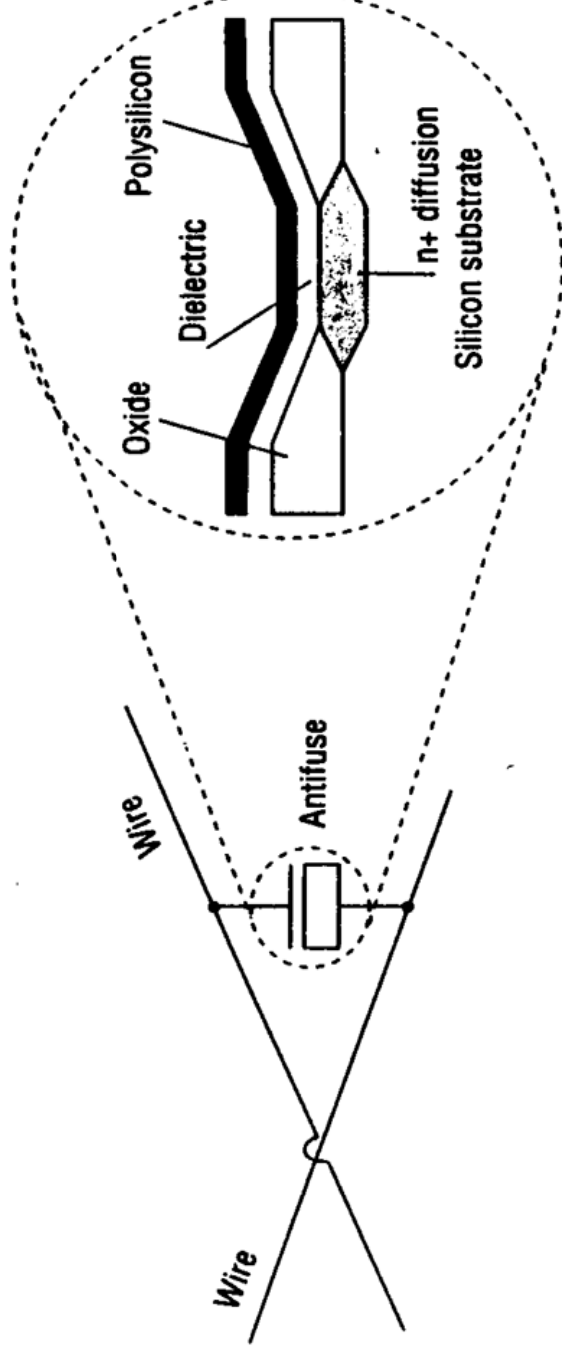
Downloading Μπαταρία
από ROM



Προγραμματιζόμενοι Διακόπτες

Αντιασφάλειες

Οι αντιασφάλειες είναι κυκλώματα τα οποία απρογραμματίστα έχουν πολύ υψηλή αντίσταση (ανοικτά κυκλώματα) ενώ όταν προγραμματιστούν αποκτούν πολύ χαμηλή αντίσταση (πχ. αντιασφάλεια PLICE -Programmable Logic Interconnect Circuit Element της Actel)



Η αντίσταση που θα έχει η κάθε αντιασφάλεια μετά τον προγραμματισμό της είναι πολύ σημαντική για την λειτουργία του κυκλώματος.

Αντiasφάλεις

Για τον προγραμματισμό, τροφοδοτούμε με ρεύμα (περίπου 5mA).



Το υψηλό αυτό ρεύμα προκαλεί μεγάλη κατανάλωση ισχύος στην μικρή επιφάνεια της αντiasφάλειας,



Λιώνει ένα λεπτό μονωτικό υλικό, οπότε δημιουργείται κανάλι αγωγής

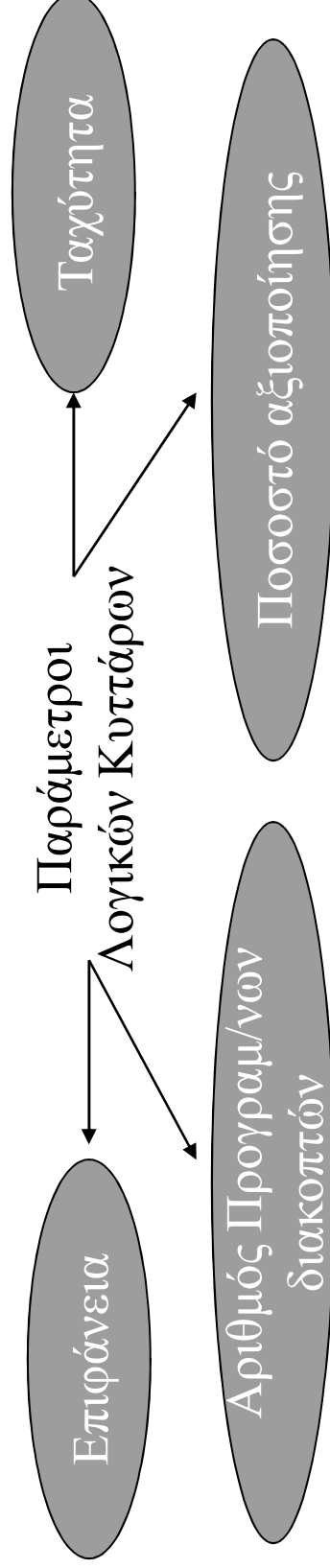
- Μία προγραμματιζόμενη συσκευή μπορεί να έχει αρκετές αντiasφάλεις (100.000 – 1.000.000).
 - Συνήθως μόνο το 2% από αυτές χρειάζεται να προγραμματιστούν για να προκύψει το τελικό κύκλωμα.
 - Οι αντiasφάλεις παρουσιάζουν αρκετά προβλήματα αξιοπιστίας καθώς οι ιδιότητες τους *αλλάζουν* με την πάροδο του χρόνου. .
-

Λογικά Κύτταρα

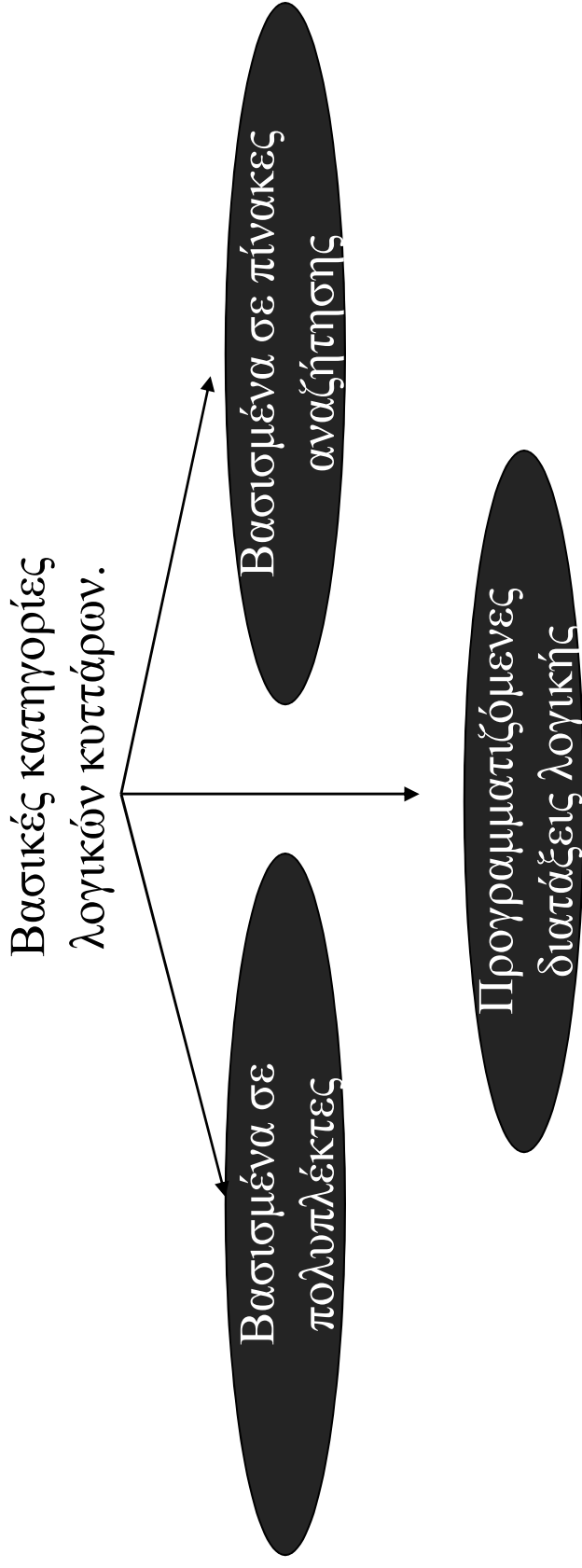
Βασικό στοιχείο αρχιτεκτονικής μίας προγραμματιζόμενης συσκευής.



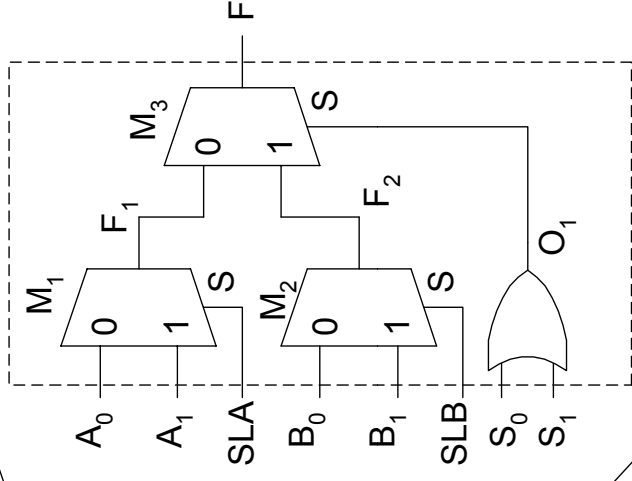
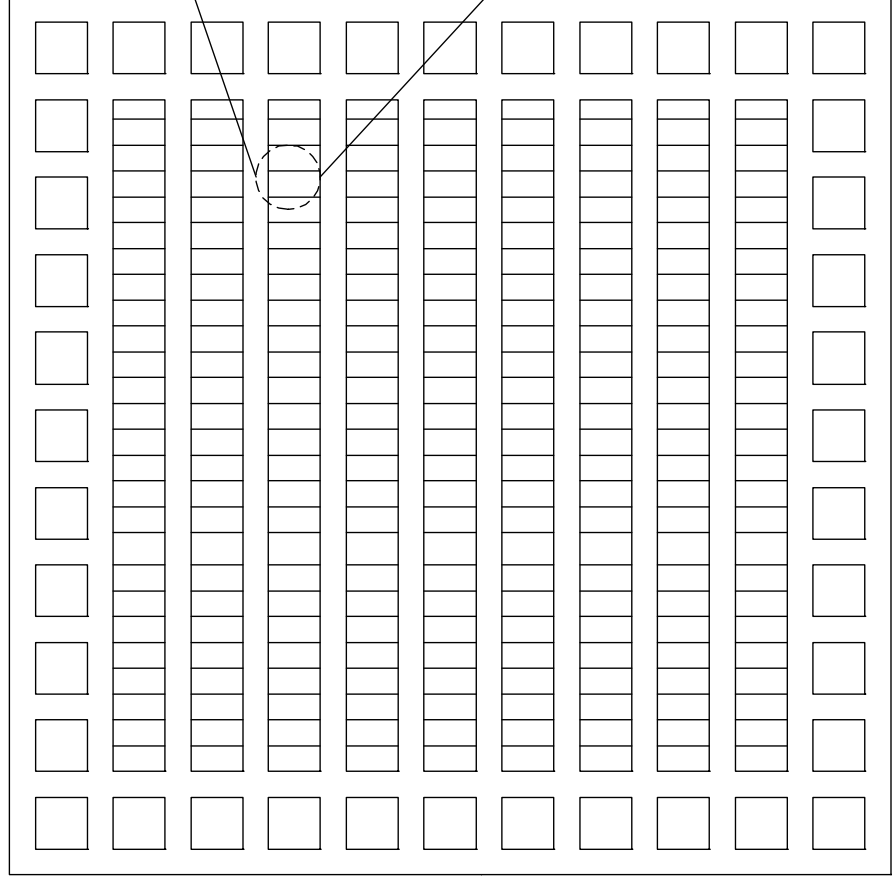
- Το κάθε κύτταρο λογικής αναλαμβάνει να υλοποιήσει ένα τμήμα της λογικής του ζητούμενου κυκλώματος.
- Οι δυνατότητες που έχει το κύτταρο, καθορίζουν πόσο μεγάλο θα είναι το τμήμα λογικής που θα υλοποιήσει.



Κατηγορίες Λογικών Κυττάρων



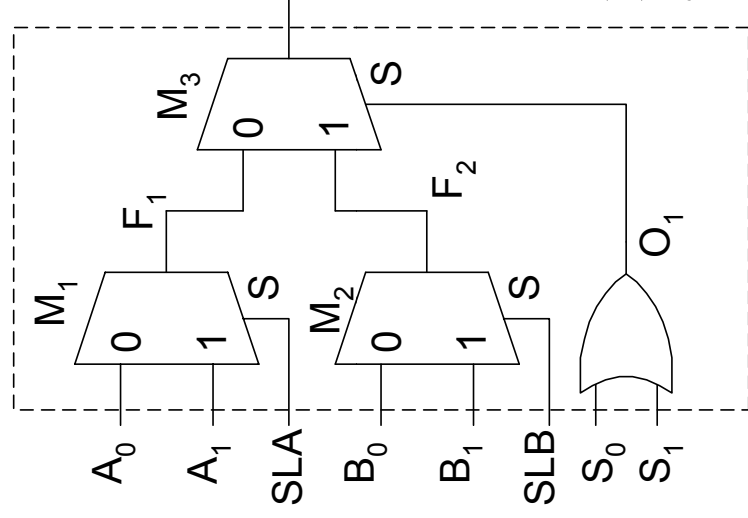
Λογικά Κύτταρα με πολυπλέκτες



Λογικό κύτταρο ACTEL, ACT1

Λογικά Κύτταρα με πολυπλέκτες

Βασική Ιδέα: Διασυνδέουμε τις εισόδους του κυττάρου στα κατάλληλα σήματα, έτσι ώστε η έξοδος να υλοποιεί την επιθυμητή συνάρτηση.



Λογική Συνάρτηση Πολυπλέκτη M_1 :

$$F_1 = SLA' \cdot A_0 + SLA \cdot A_1$$

Θεώρημα **Shannon** για συναρτήσεις:

$$F(A, B, C, \dots) = A' \cdot F(A=0, B, C, \dots) + A \cdot F(A=1, B, C, \dots)$$

$$F = A' \cdot F_A' + A \cdot F_A$$



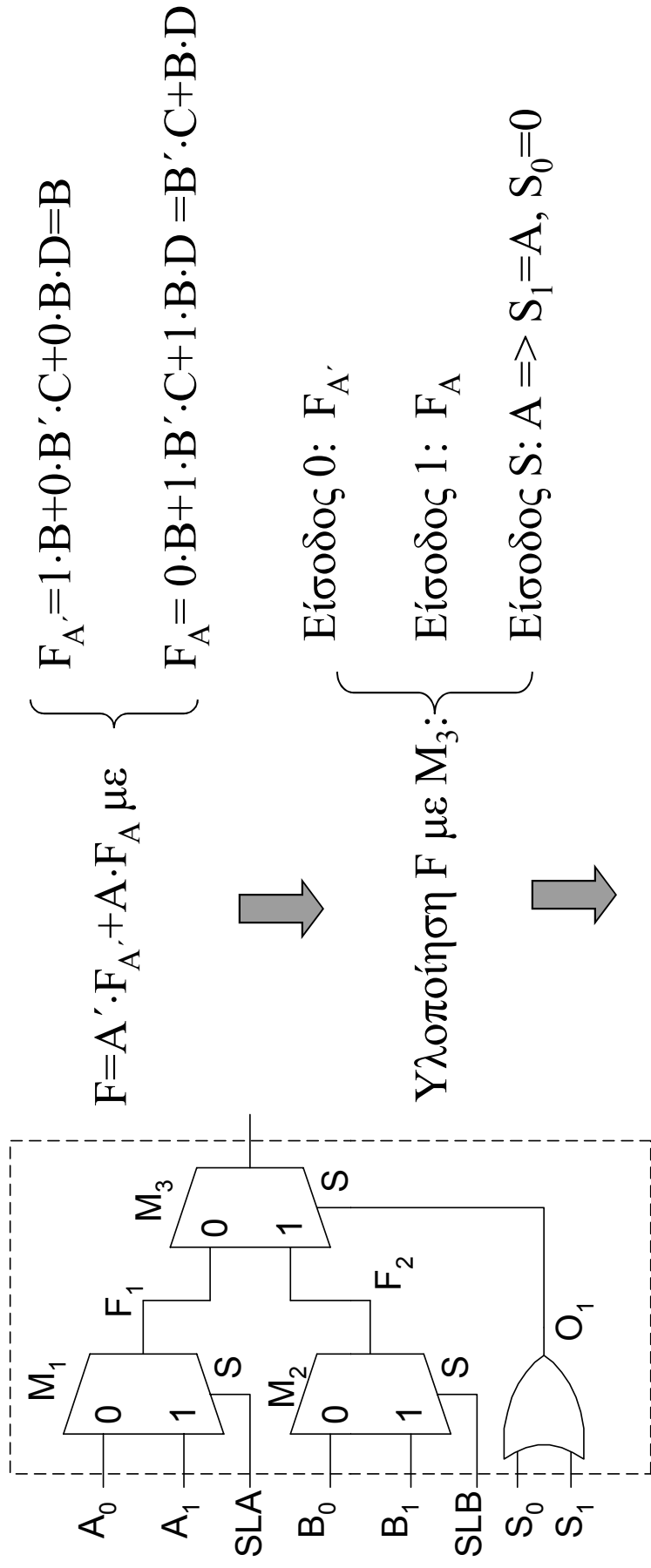
Η F υλοποιείται με έναν πολυπλέκτη εάν συνδέσουμε στην γραμμή επιλογής το A , και στις δύο εισόδους τα F_A' και F_A .



Αναδρομική εφαρμογή έως ότου φθάσουμε σε τετριμμένες συναρτήσεις εισόδου $(0, 1, A, A', B, B', C, \dots)$

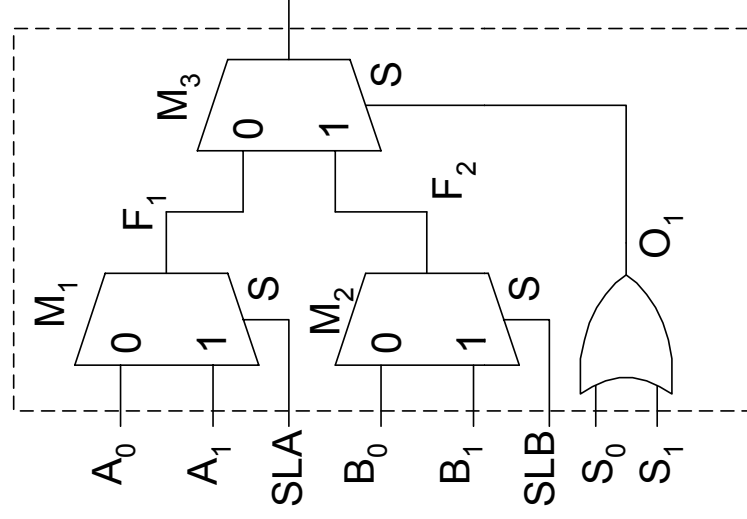
Λογικά Κύτταρα με πολυπλέκτες

Παράδειγμα: Υλοποίηση συνάρτησης $F = A'B + AB'C + ABD$ με το κύτταρο.



Υλοποίηση $F_{A'}$ με M_1 , Υλοποίηση F_A με M_2

Λογικά Κύτταρα με πολυπλέκτες



$$F_{A'} = B = B' \cdot 0 + B \cdot 1$$

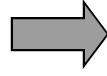
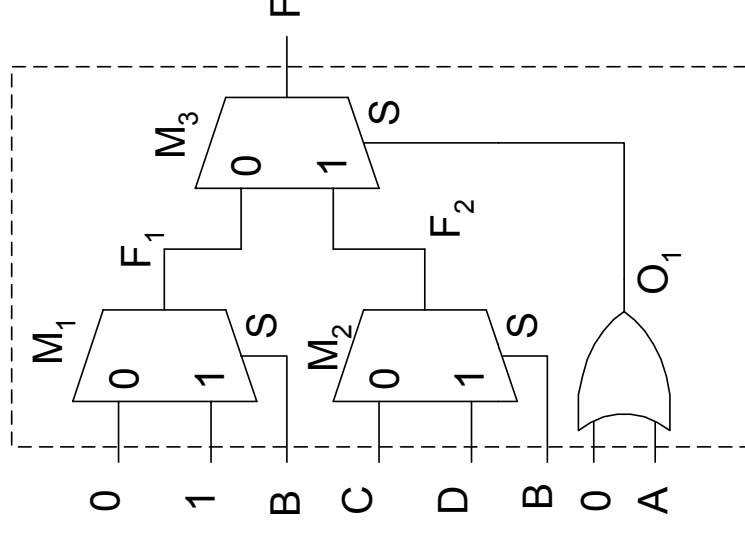
Είσοδος 0: 0
Είσοδος 1: 1
Είσοδος S: B

Υλοποίηση $F_{A'}$
με M_1

$$F_A = B' C + B D$$

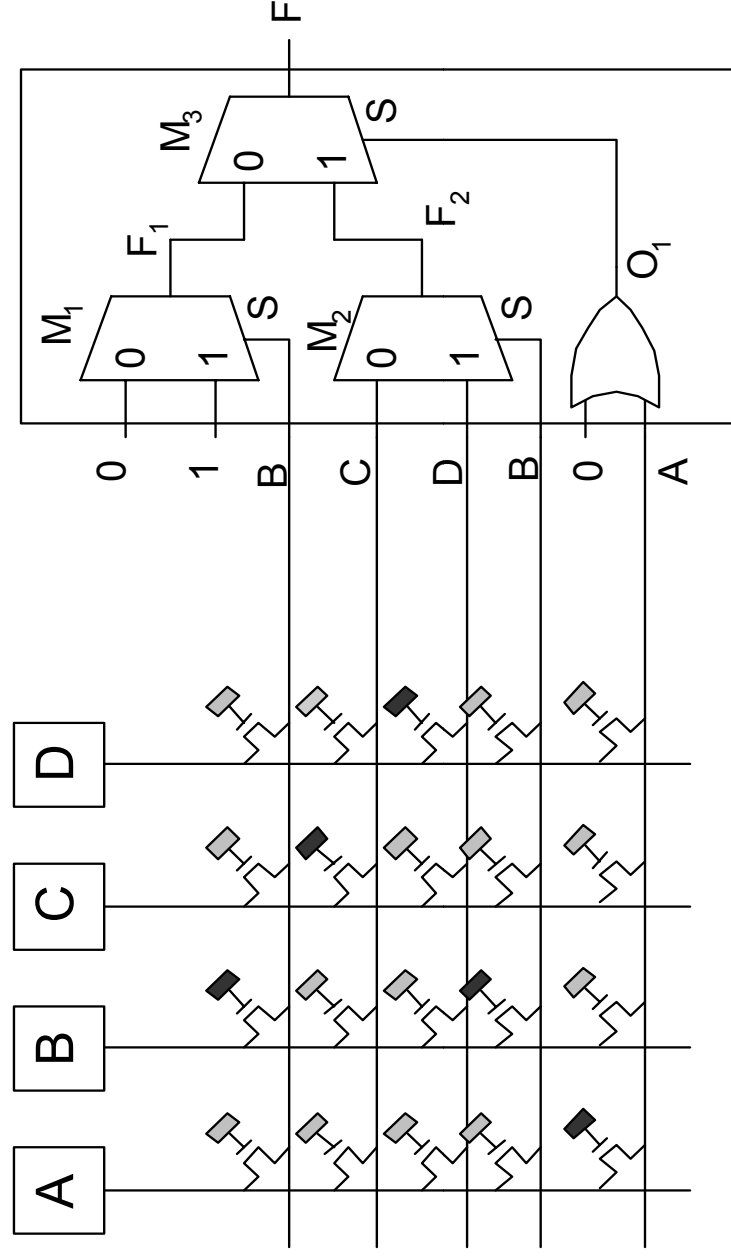
Είσοδος 0: C
Είσοδος 1: D
Είσοδος S: B

Υλοποίηση F_A
με M_2



Μπορεί να υλοποιηθεί όλες τις συναρτήσεις δύο εισόδων, τις περισσότερες τριών εισόδων και μερικές τεσσάρων εισόδων

Λογικά Κύτταρα με πολυπλέκτες



Λογικά Κύτταρα με πολυπλέκτες

- Η διαδικασία που αναλύσαμε είναι αρκετά χρονοβόρα και δύσκολη για έναν άνθρωπο, αλλά τετριμμένη για έναν υπολογιστή.
- Το λογισμικό συνήθως γνωρίζει πως μπορεί να υλοποιήσει διαφορες συναρτήσεις βάσης, ακολουθώντας πίνακες:

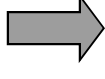
Συνάρτηση	Είσοδος 0	Είσοδος 1	Επιλογή
not(A)	1	0	A
AB	0	B	A
AB'	A	0	B
A'B	B	0	A
A+B	B	1	A
A+B'	1	A	B
A'+B	1	B	A
...	...	...	...

Λογικά Κύτταρα με πολυπλέκτες

- Στόχος κάθε εργαλείου σχεδίασης με προγραμματιζόμενες συσκευές είναι η μεγιστοποίηση της λογικής που υλοποιείται από κάθε κύτταρο.
- Η αρχιτεκτονική επιλογή του κυττάρου, γίνεται με βάση την απόδοση του στην υλοποίηση συναρτήσεων.
- Η απόδοση κάθε κυττάρου στην γενικότερη προγραμματιζόμενη συσκευή μπορούν να μετρηθούν με τα *benchmarks*.

Δύο συνδυαστικά λογικά κύτταρα μπορούν να διασυνδεθούν για να υλοποιήσουν ένα ακολουθιακό κύτταρο.

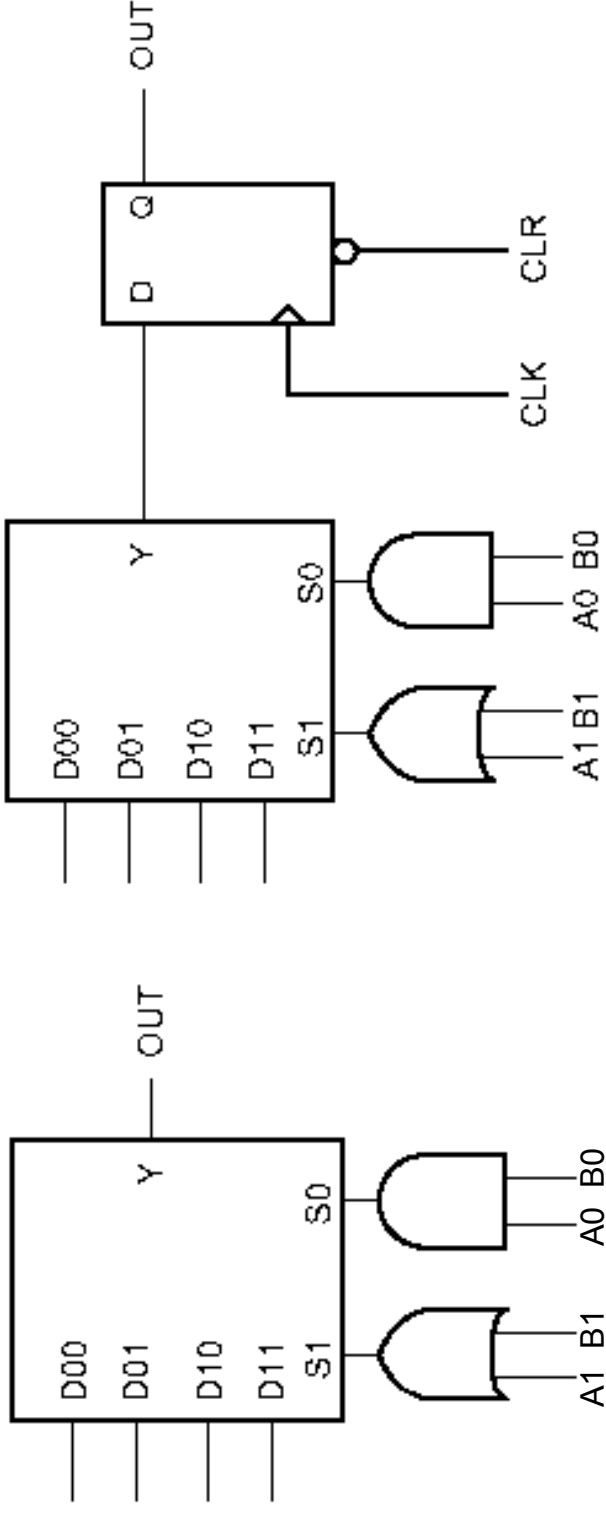
Επιβάρυνση από την χρήση δικτύου διασύνδεσης για υλοποίηση απλών κυττάρων.



Αύξηση πολυπλοκότητας κυττάρου.

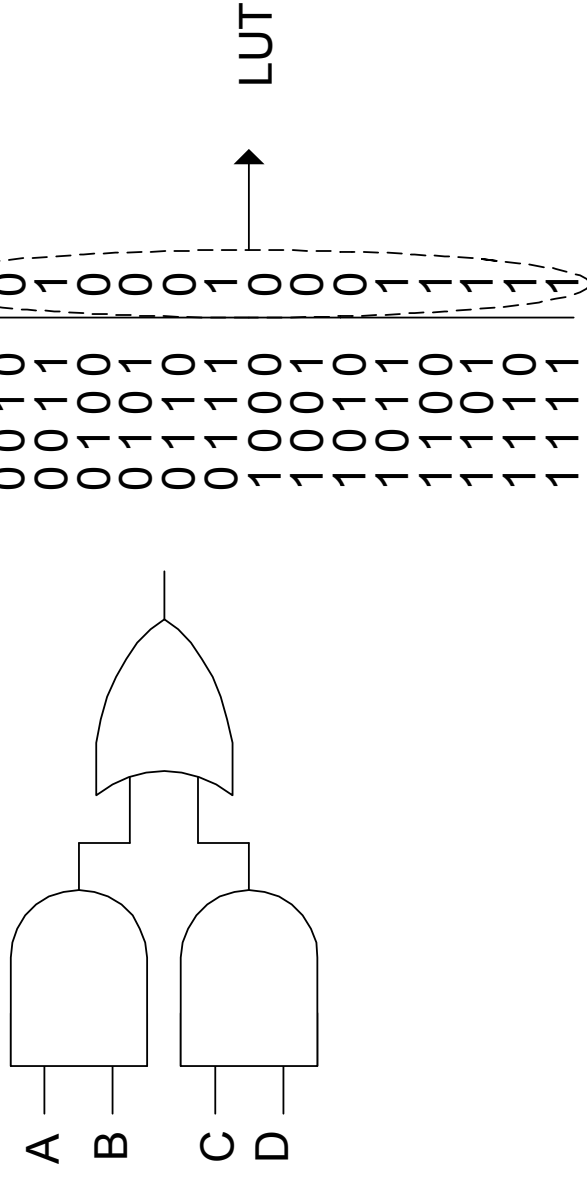
Συμπεριλαμβανουμε απλά ακολουθιακά στοιχεία μέσα στα λογικά κύτταρα .

Λογικά Κύτταρα με πολυπλέκτες



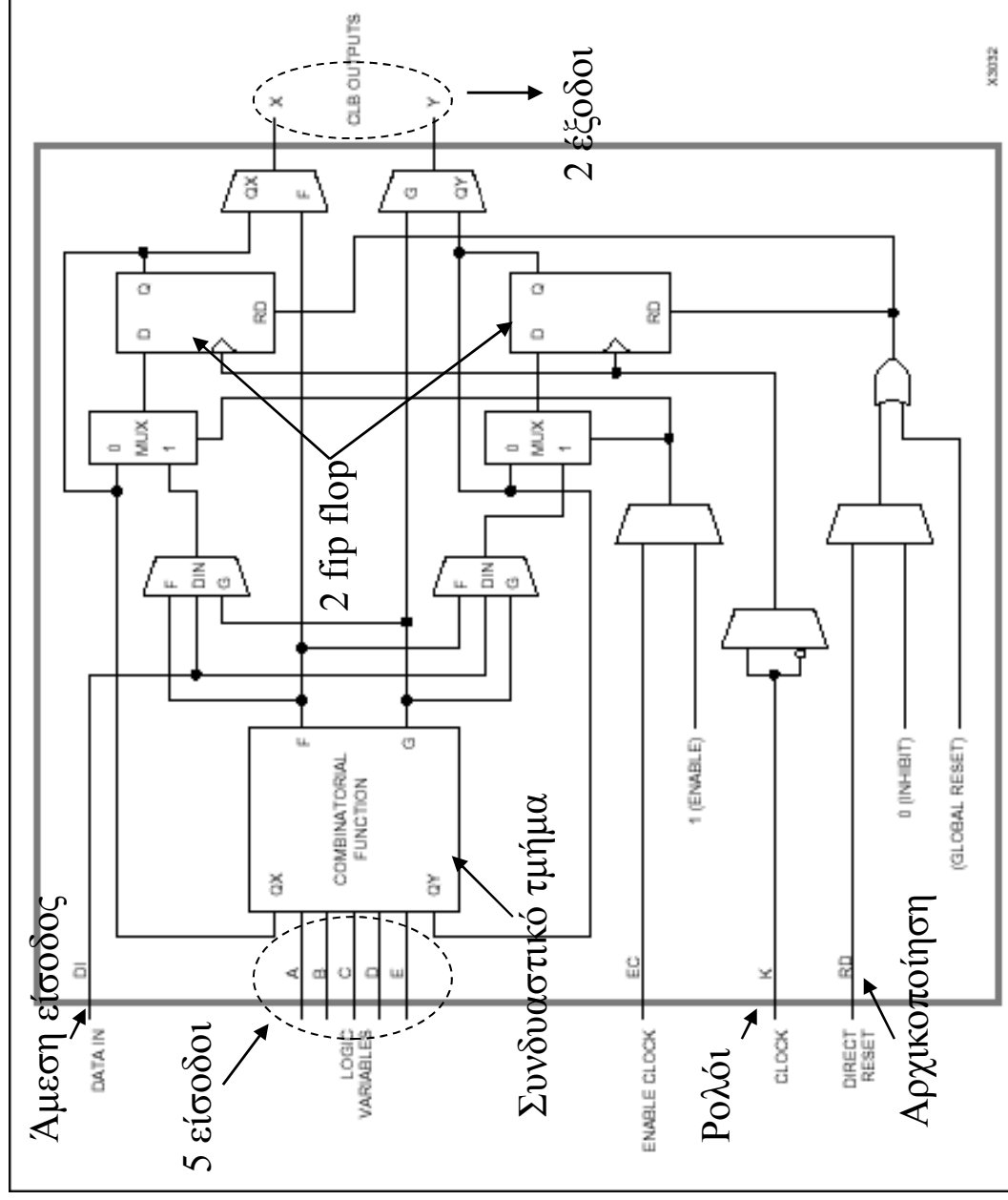
- Τέτοιες αρχιτεκτονικές, ονομάζονται *fine-grain* καθώς μοιάζουν πολύ με το βασικό κύτταρο ενός MGA.
- Βοηθούν πολύ στην επίτευξη πολύ υψηλής αξιοποίησης των δυνατοτήτων υλοποίησης λογικής (πάνω από 90%)
- Διευκολύνουν το λογισμικό στην αντιστοίχιση της σχεδιαζόμενης λογική.

Λογικά Κύτταρα με Πίνακες Αναζήτησης



Πλεονέκτημα: Σταθερή καθυστέρηση υπολογισμού μίας συνάρτησης, ανεξάρτητα της πολυπλοκότητας (μειονέκτημα σε απλές συναρτήσεις).

Λογικό Κύτταρο Xilinx 3000 CLB



Λογικό Κύτταρο Xilinx 3000 CLB

Δυνατότητες Διαμόρφωσης

- Όλες οι γραμμές I/O μπορούν να οδηγούν/οδηγούνται από το δίκτυο διασύνδεσης της προγραμματιζόμενης συσκευής.
- Η είσοδος σε κάθε flip flop μπορεί να προέρχεται είτε από τις εξόδους F, G της συνδυαστικής λογικής, είτε από την γραμμή άμεσων δεδομένων DI.
- Κάθε flip flop μπορεί να αρχικοποιηθεί είτε από την γραμμή ασύγχρονης αρχικοποίησης, είτε από την γραμμή γενικής αρχικοποίησης, που ανήκει σε ένα ειδικό δίκτυο διασύνδεσης (κρυμμένο).
- Η λογική υλοποιείται από έναν πίνακα αναζήτησης των 32 bits.
- Για συνδυαστική λογική, φροντίζουμε με προγραμματισμό των πολυπλεκτών εξόδου, να περάσουμε στις εξόδους X, Y τις εξόδους F, G του πίνακα αναζήτησης.

Λογικό Κύτταρο Xilinx 3000 CLB

Δυνατότητες Διαμόρφωσης

- Για ακολουθιακή λογική περνάμε στις εξόδους X, Y τις εξόδους των ακολουθιακών στοιχείων.
- Για μεγαλύτερη ευελιξία, ο πίνακας δέχεται και τις εξόδους των flip flops ως εισόδους καθορισμού της συνάρτησης. ➡ Μηχανές Κατάστασης.

Χρήση 5 από τις 7 εισόδους, για συναρτήσεις 5 μεταβλητών. (F, G πανομοιότυποι)

Δυνατότητες Διαμόρφωσης
Πίνακα Αναζήτησης

Διαίρεση του πίνακα στην μέση για υλοποίηση δύο συναρτήσεων (F, G) τεσσάρων μεταβλητών

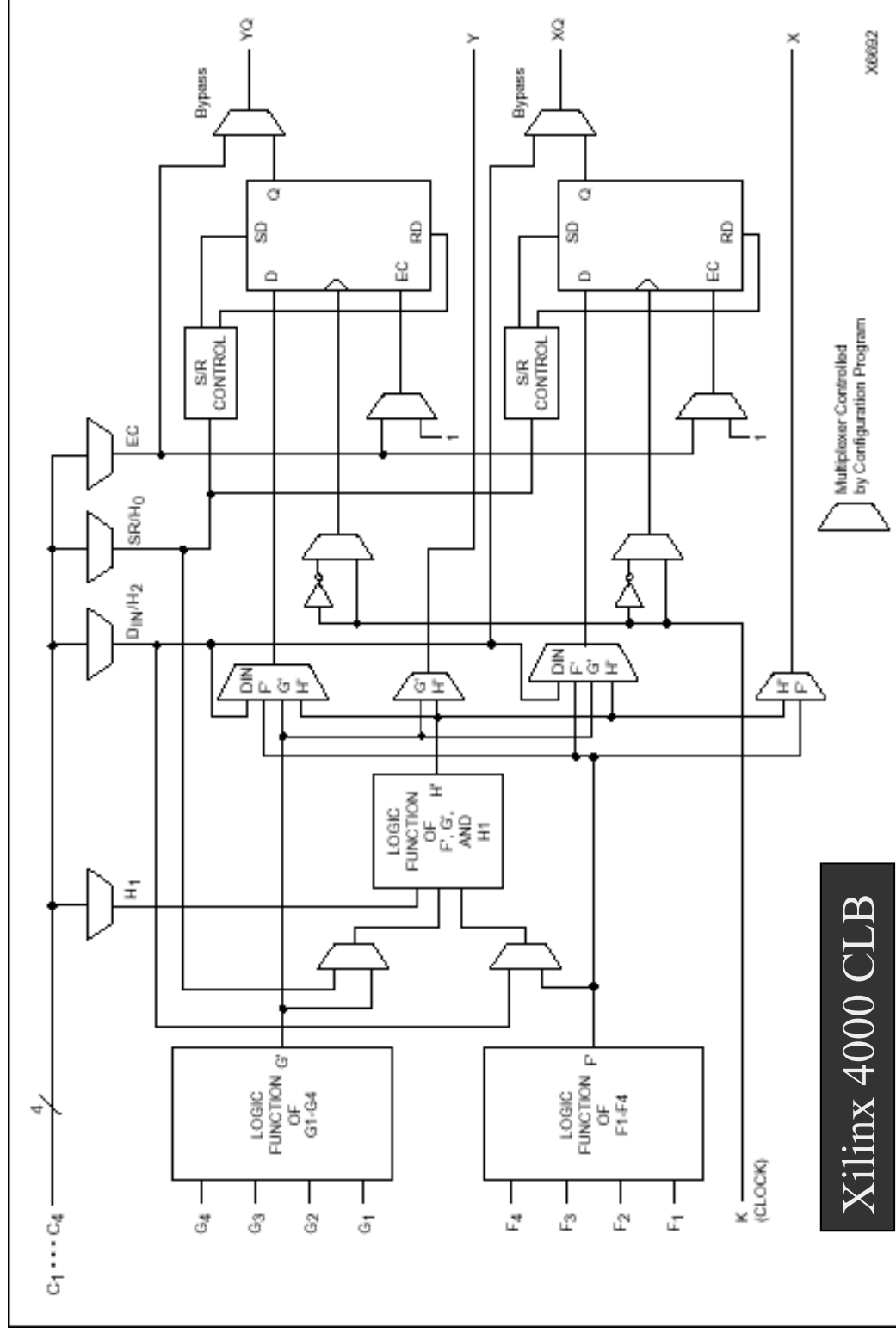
Υλοποίηση μερικών συναρτήσεων 6 ή 7 μεταβλητών.

Λογικό Κύτταρο Xilinx 4000 CLB

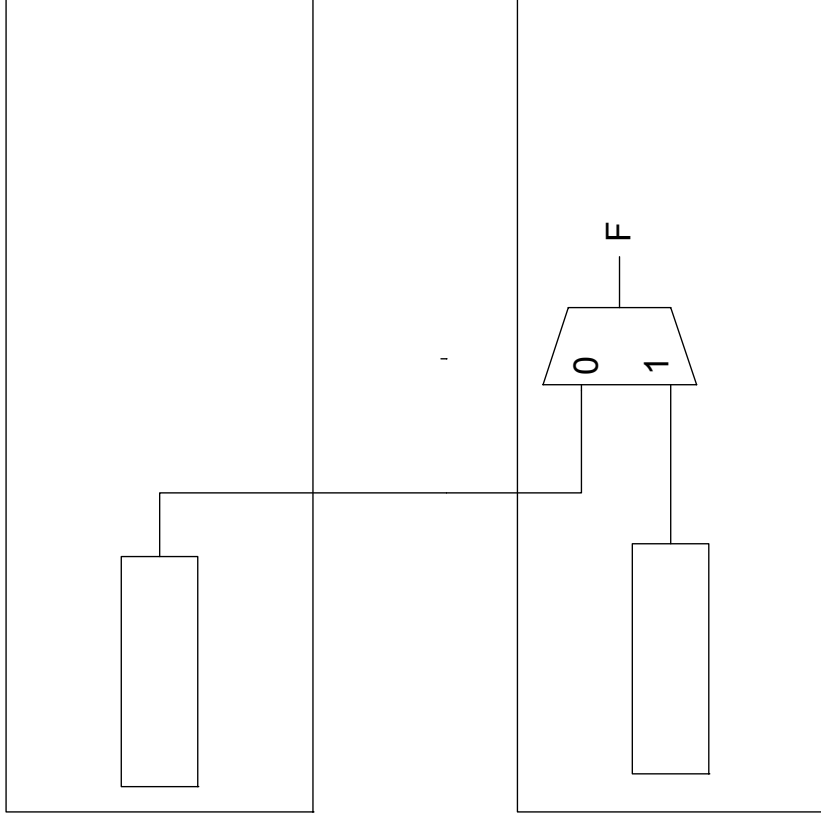
Δυνατότητες Κυττάρου

- Έχει ακόμη πιο σύνθετη δομή από το 3000.
- Η αυξημένη πολυπλοκότητα του λογικού κυττάρου οδηγεί και στην αύξηση της πολυπλοκότητας της διασύνδεσης.
- Περιλαμβάνει δύο LUTs των τεσσάρων εισόδων τα οποία τροφοδοτούν ένα LUT τριών εισόδων.
- Τα LUTs μπορούν να χρησιμοποιηθούν και ως μικρές μνήμες αποθήκευσης με διαμόρφωση 32x1 ή διπλές μνήμες διαμόρφωσης 16x1 η κάθε μία.
- Ειδικό κύκλωμα ταχείας παραγωγής κρατουμένου για την υλοποίηση αριθμητικών συναρτήσεων

Λογικό Κύτταρο Xilinx 4000 CLB



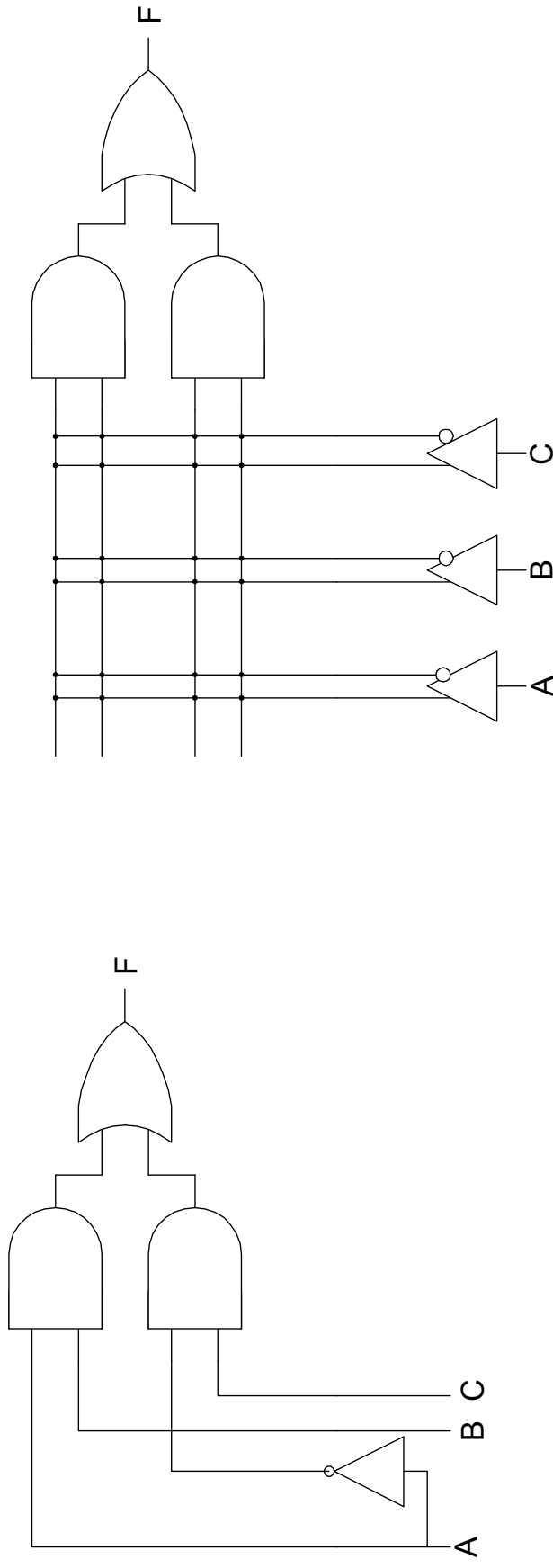
Επέκταση Λογικής



- Χρησιμοποιείται για την υλοποίηση μεγαλύτερων συναρτήσεων.
- Υλοποιήσουμε μία συνάρτηση n μεταβλητών χρησιμοποιώντας δύο συναρτήσεις ($LUTs$) $n-1$ μεταβλητών.
- Οι $LUTs$ βρίσκονται σε διαφορετικά κύτταρα, αλλά η διασύνδεση τους γίνεται με ειδικές γραμμές (χωρίς προγραμματιζόμενες διασυνδέσεις)

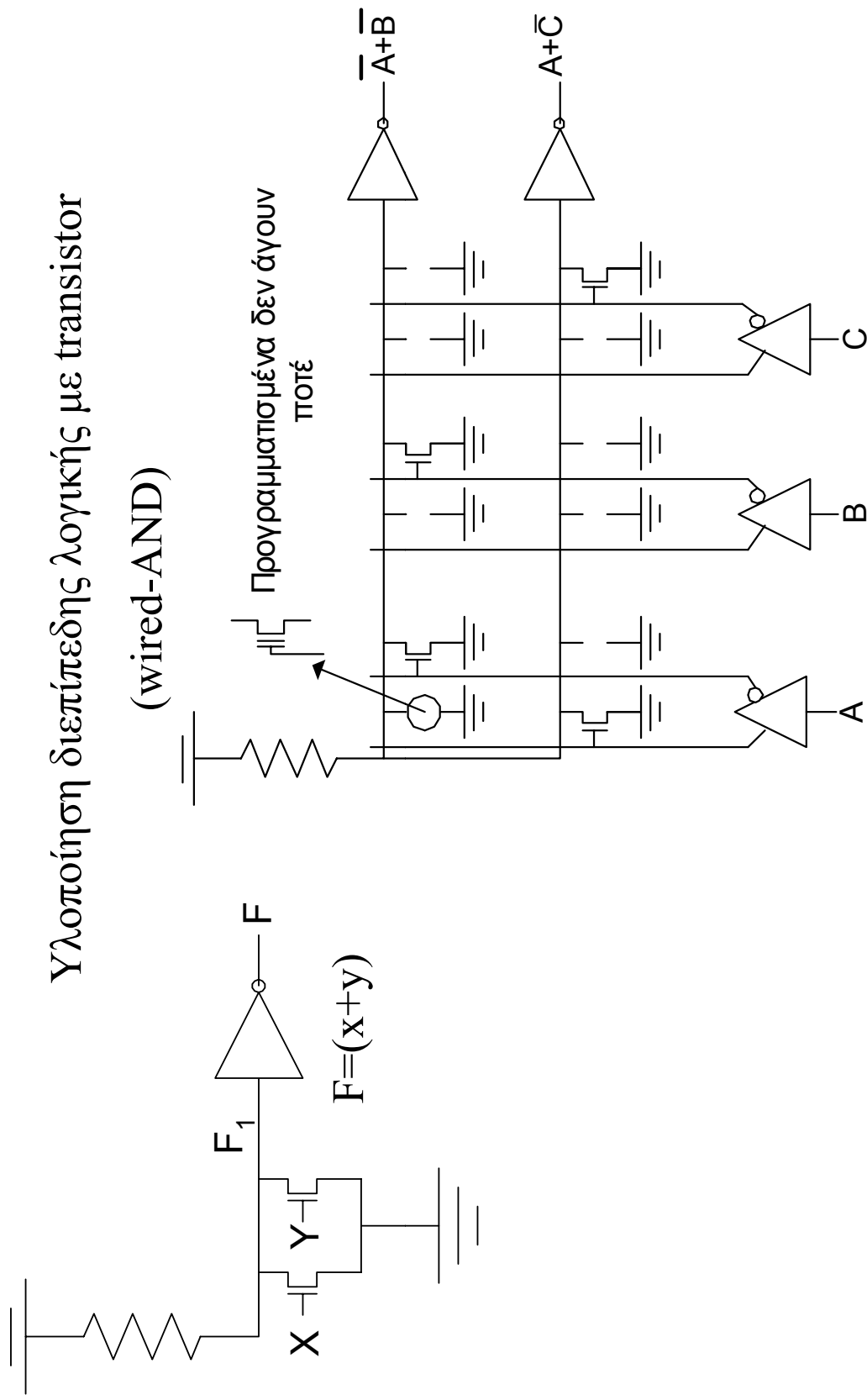
Λογικά Κύτταρα με προγραμμα/νες διατάξεις

Διεπίπεδη υλοποίηση συναρτήσεων

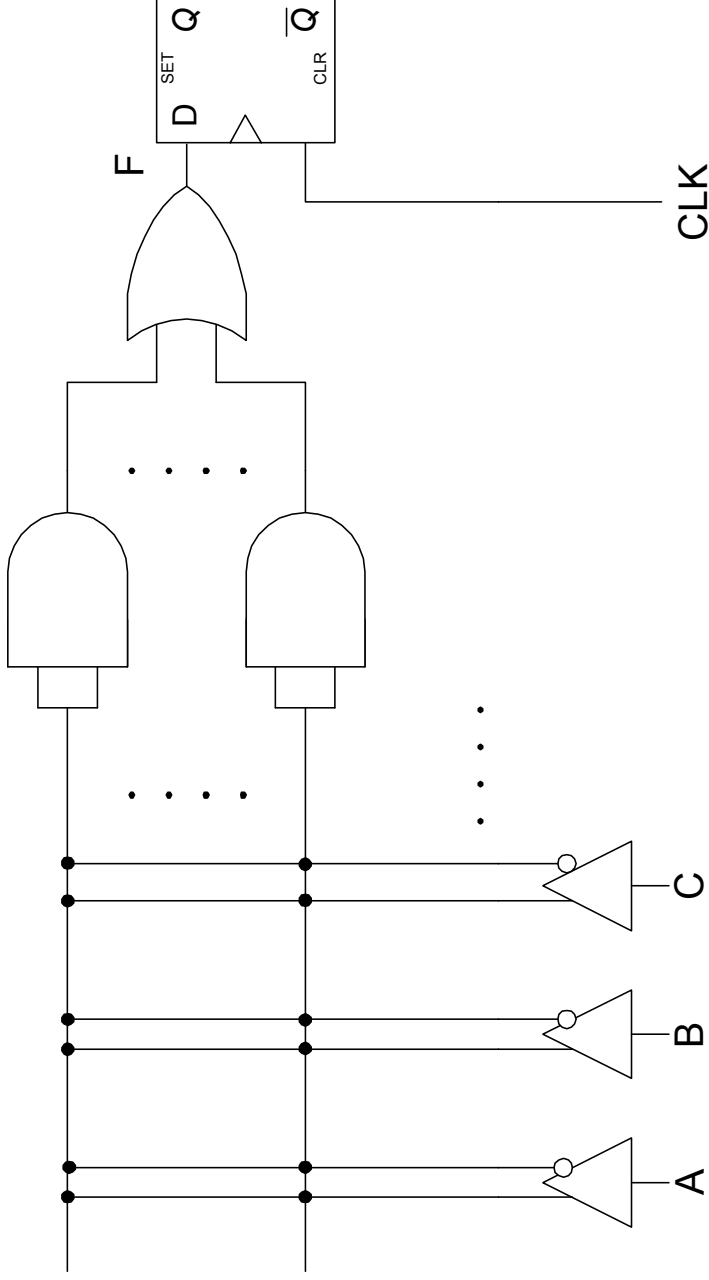


Οι συναρτήσεις εκφράζονται σαν αθροίσματα παραγόντων

Λογικά Κύτταρα με προγραμμα/νες διατάξεις

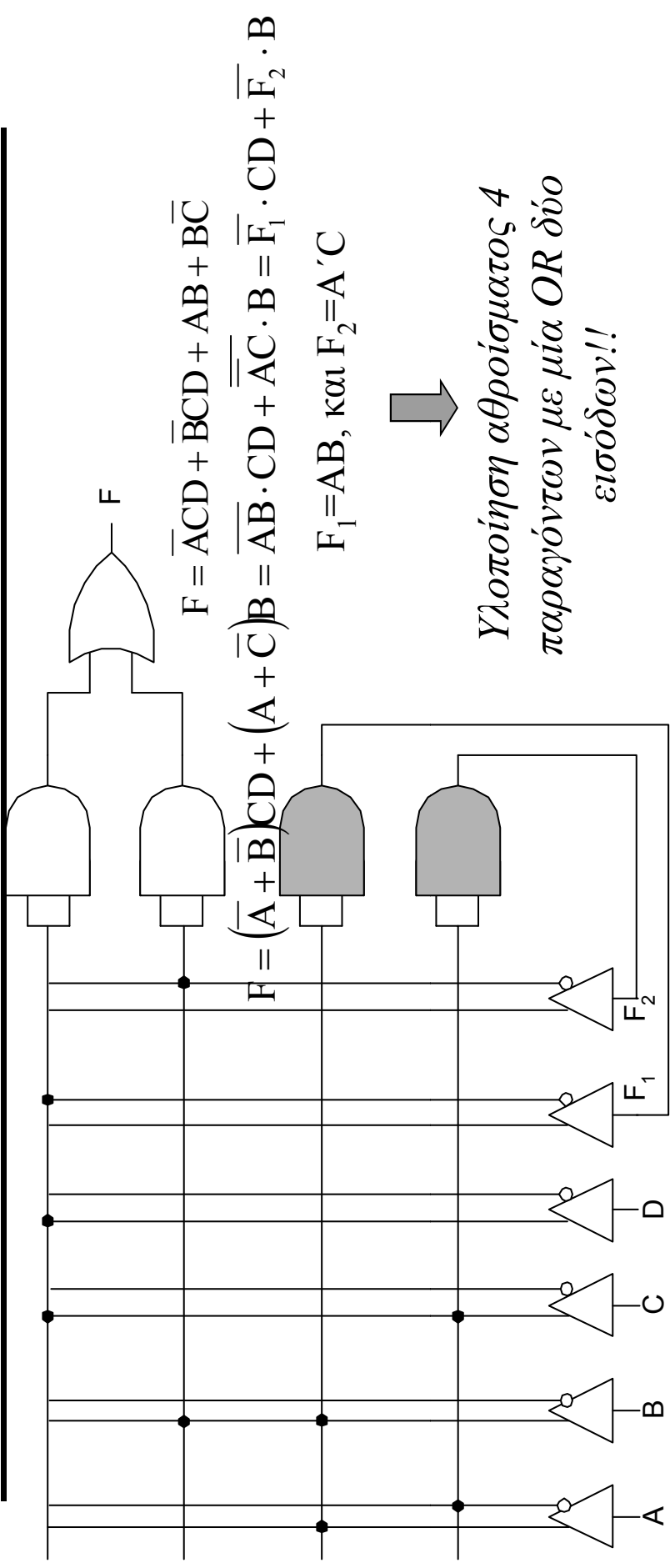


Λογικά Κύτταρα με προγραμματιζόμενες διατάξεις



- ✓ Οι προγραμματιζόμενες διατάξεις συνδυάζονται με πύλες OR και flip flops ώστε να έχουν μεγαλύτερες δυνατότητες υλοποίησης λογικής.
- ✓ Προγραμματιζόμενη αντιστροφή εξόδου μίας συνάρτησης με χρήση μίας πύλης XOR

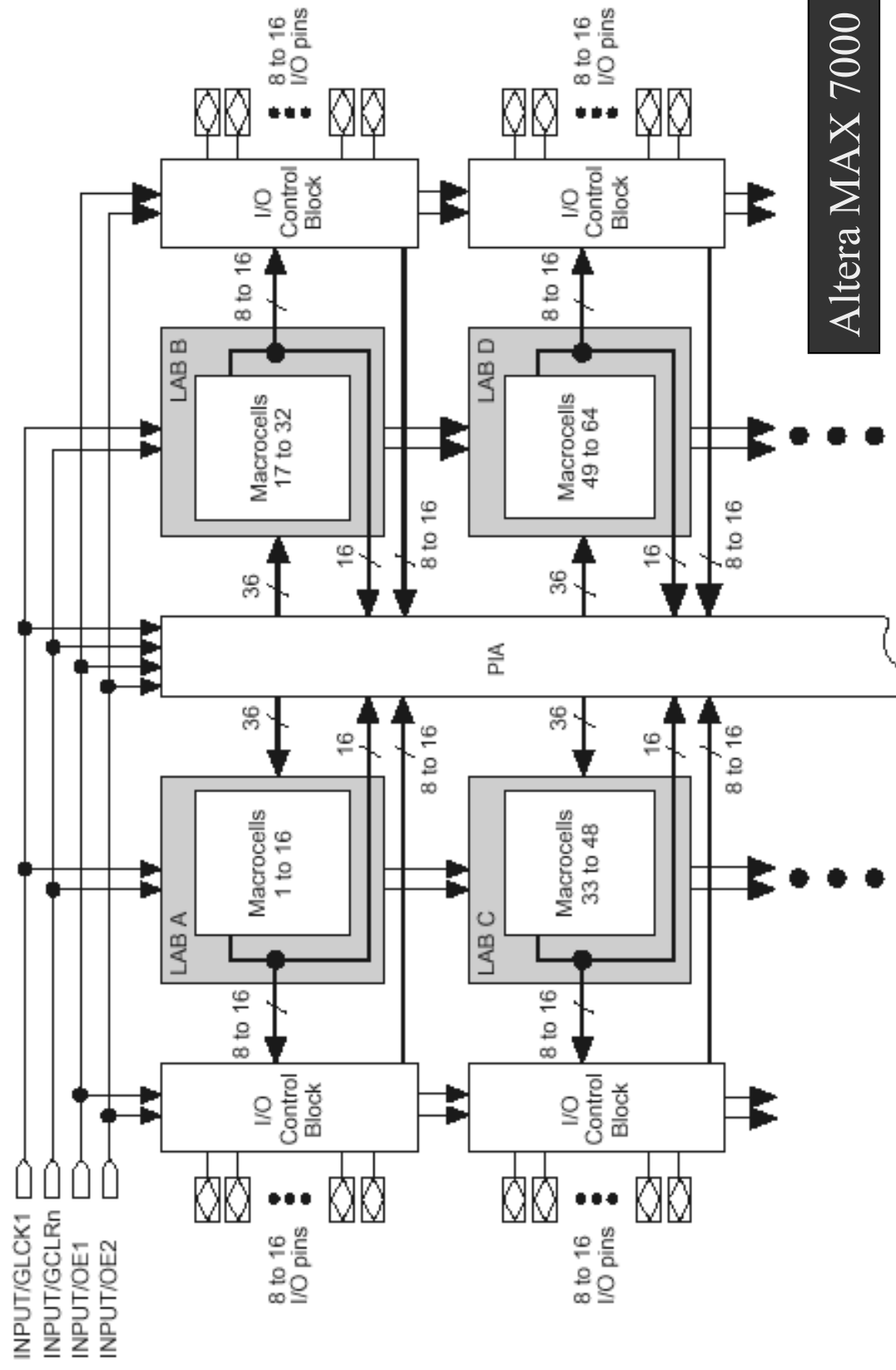
Λογικά Κύτταρα με προγραμμα/νες διατάξεις



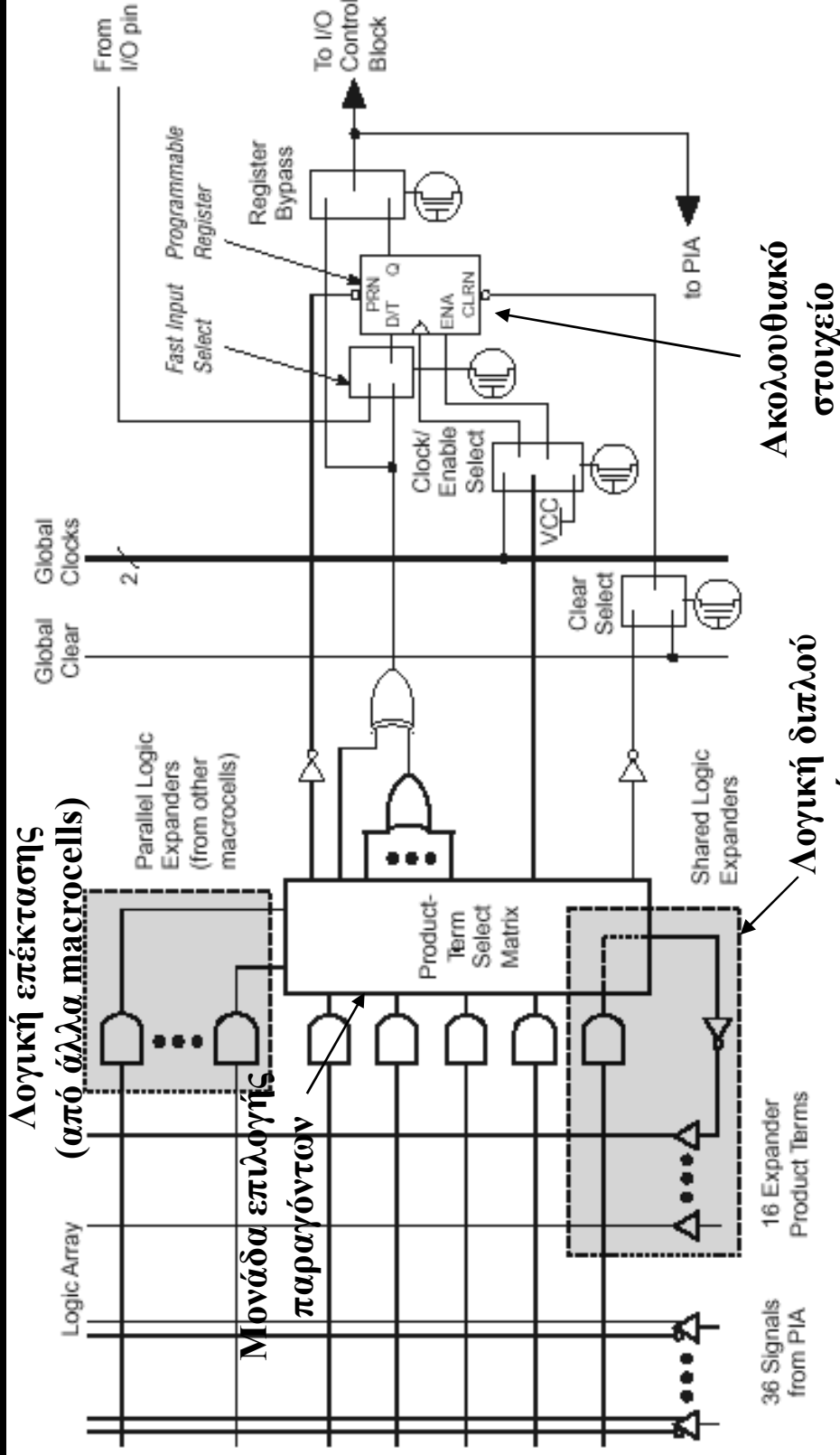
Υλοποίηση αθροίσματος 4
 παραγόντων με μία OR δύο
 εισόδων!!

Συμπεριλαμβάνουμε και λογική επέκτασης, έτσι ώστε να επιτρέπεται η
 παραγοντοποίηση και άρα η ελαχιστοποίηση της χρησιμοποιούμενης λογικής

Λογικά Κύτταρα με προγραμμα/νες διατάξεις



Altera MAX 7000 Macrocell



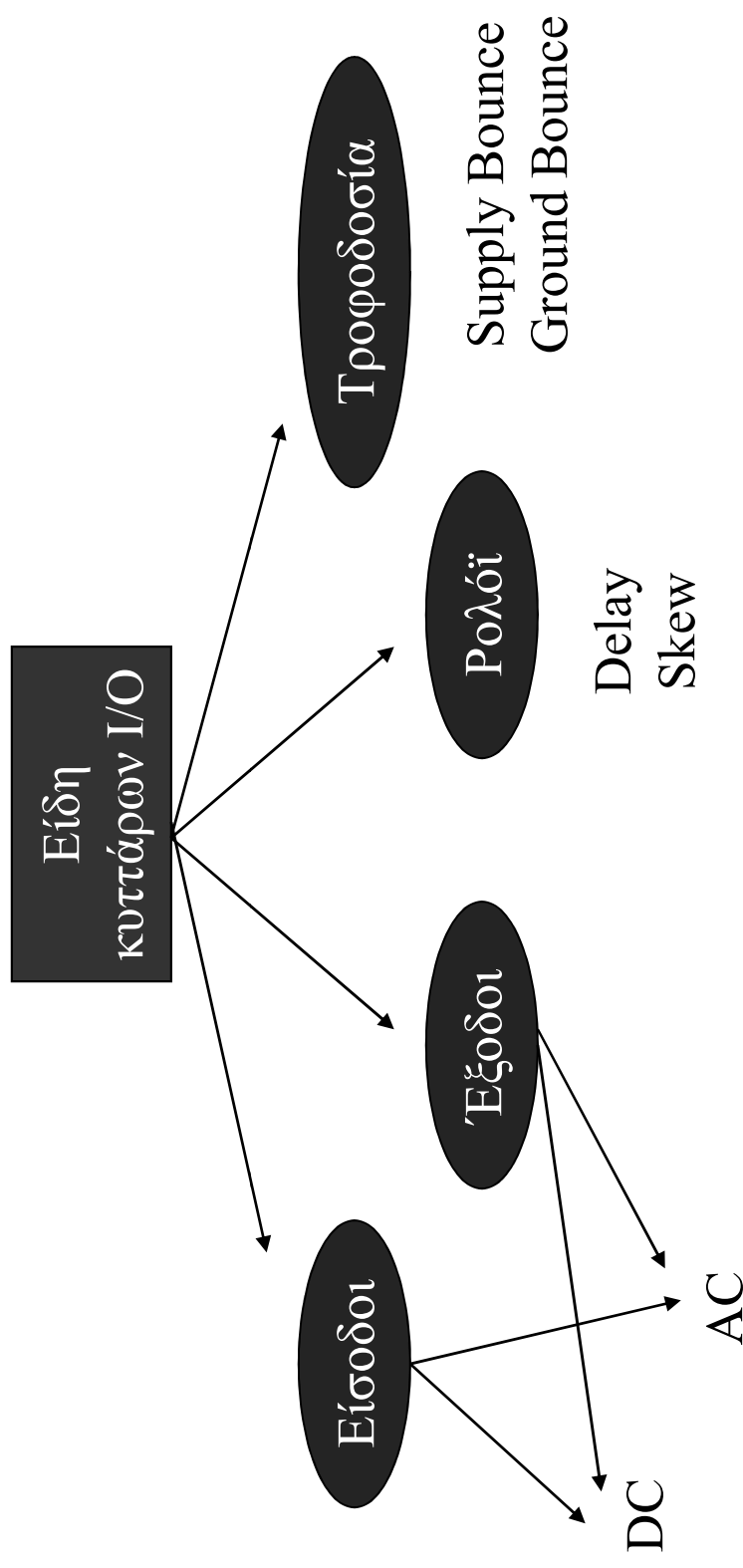
Ακολουθιακό
στοιχείο

Λογική διπλού
περάσματος

Κάθε LAB αποτελείται από
16 macrocells

Κύτταρα Εισόδου/Εξόδου

- Αναλαμβάνουν την διασύνδεση με τον εξωτερικό κόσμο.
- Παρέχουν ηλεκτροστατική προστασία.



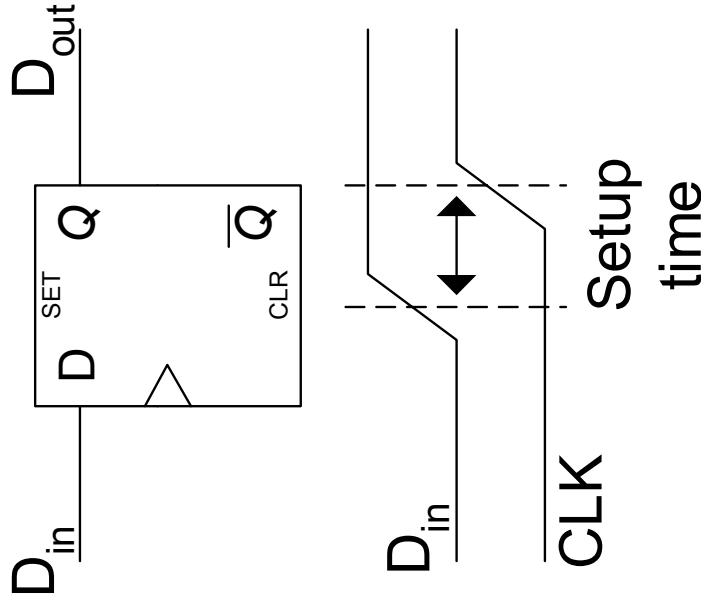
Είσοδος Ρολογιού

- Η σχεδίαση του δικτύου διανομής ρολογιού αποτελεί ένα από τα μεγαλύτερα προβλήματα σχεδίασης .
- Στόχος είναι η ελαχιστοποίηση της καθυστέρησης του ρολογιού καθώς και του "*clock skew*".
- Χρησιμοποιούνται δίκτυα απομονωτών.

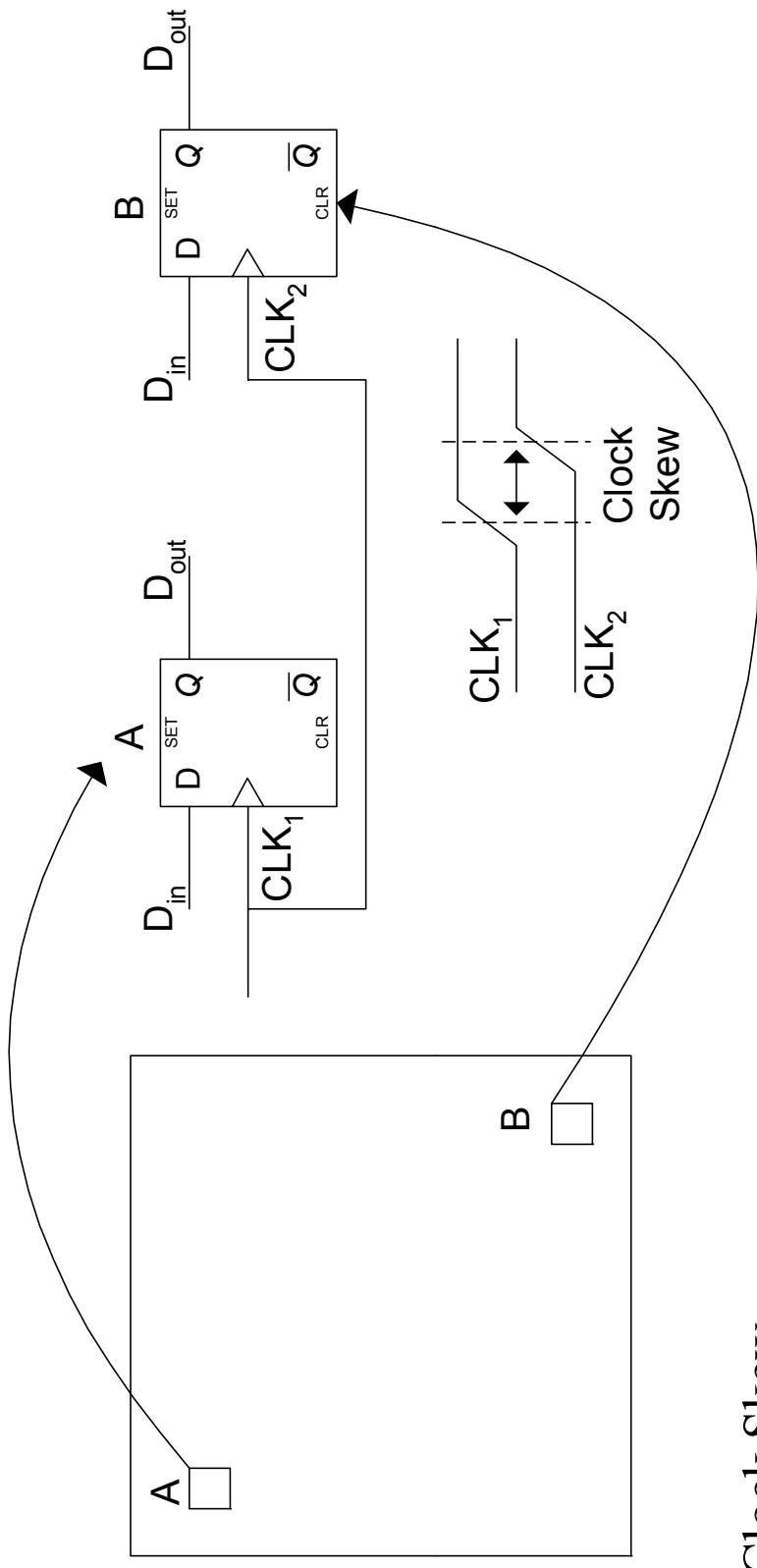
Παραβίαση των χρόνων
setup/hold οδηγεί σε
δυσλειτουργία



Διαταραχές χρόνου
ρολογιού οδηγούν σε
προβλήματα λειτουργίας.



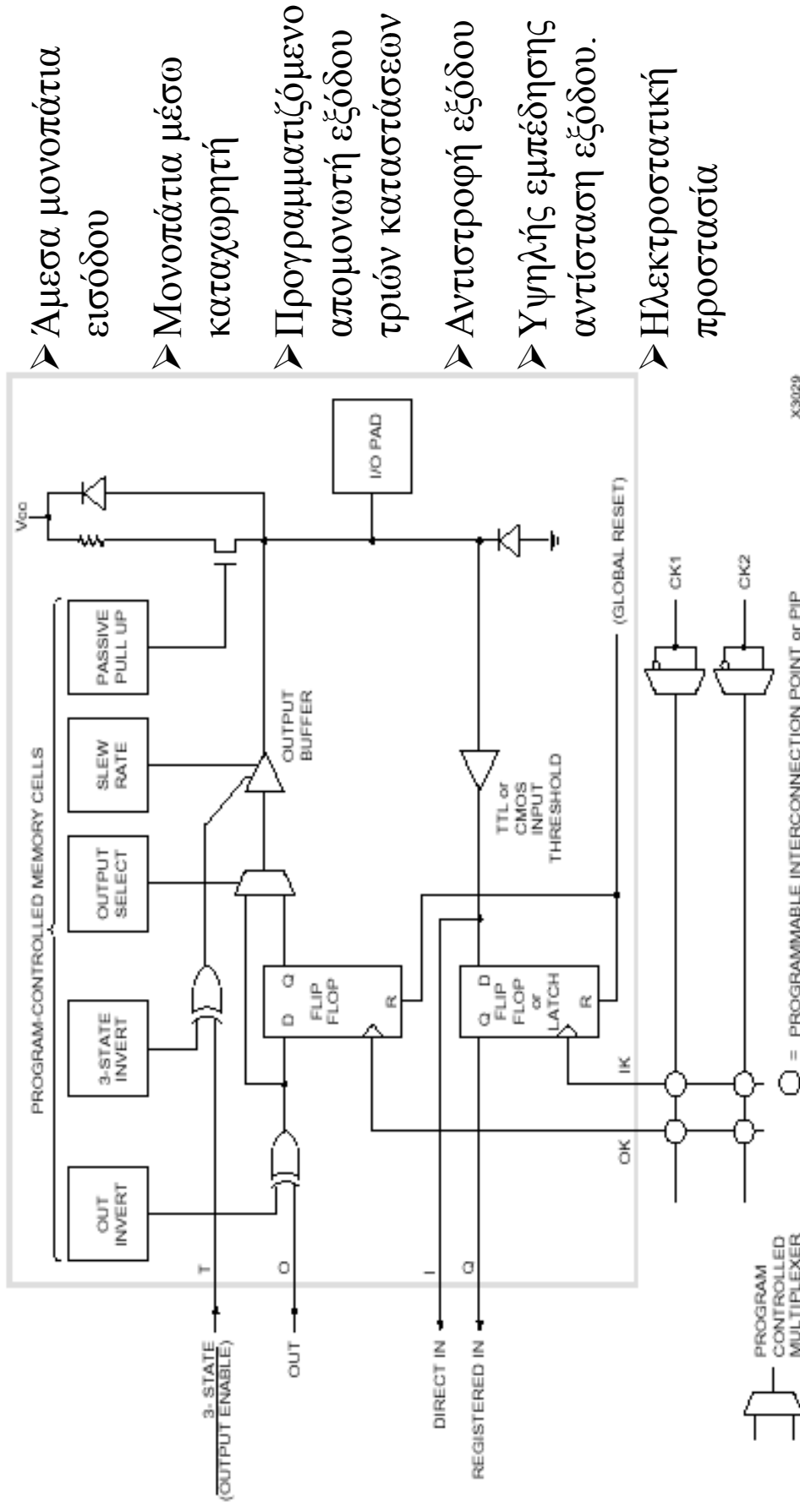
Είσοδος Ρολογιού



Clock Skew

Εάν υπάρχει μεγάλη διαφορά στο μήκος των γραμμών που διανέμουν το σήμα στα διάφορα σημεία, τότε μπορεί να φτάσει με διαφορετική καθυστέρηση.

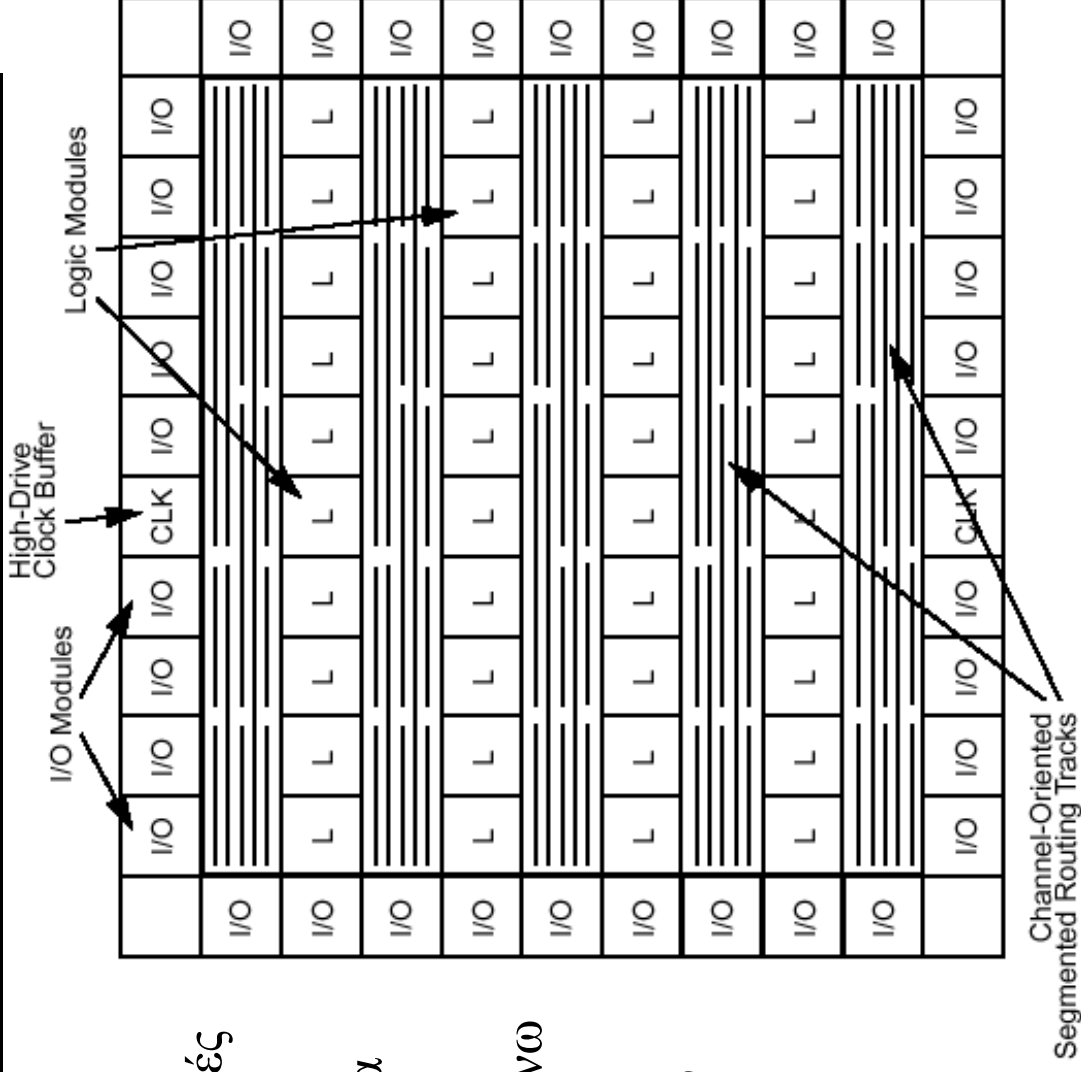
Κύτταρο I/O Xilinx 3000



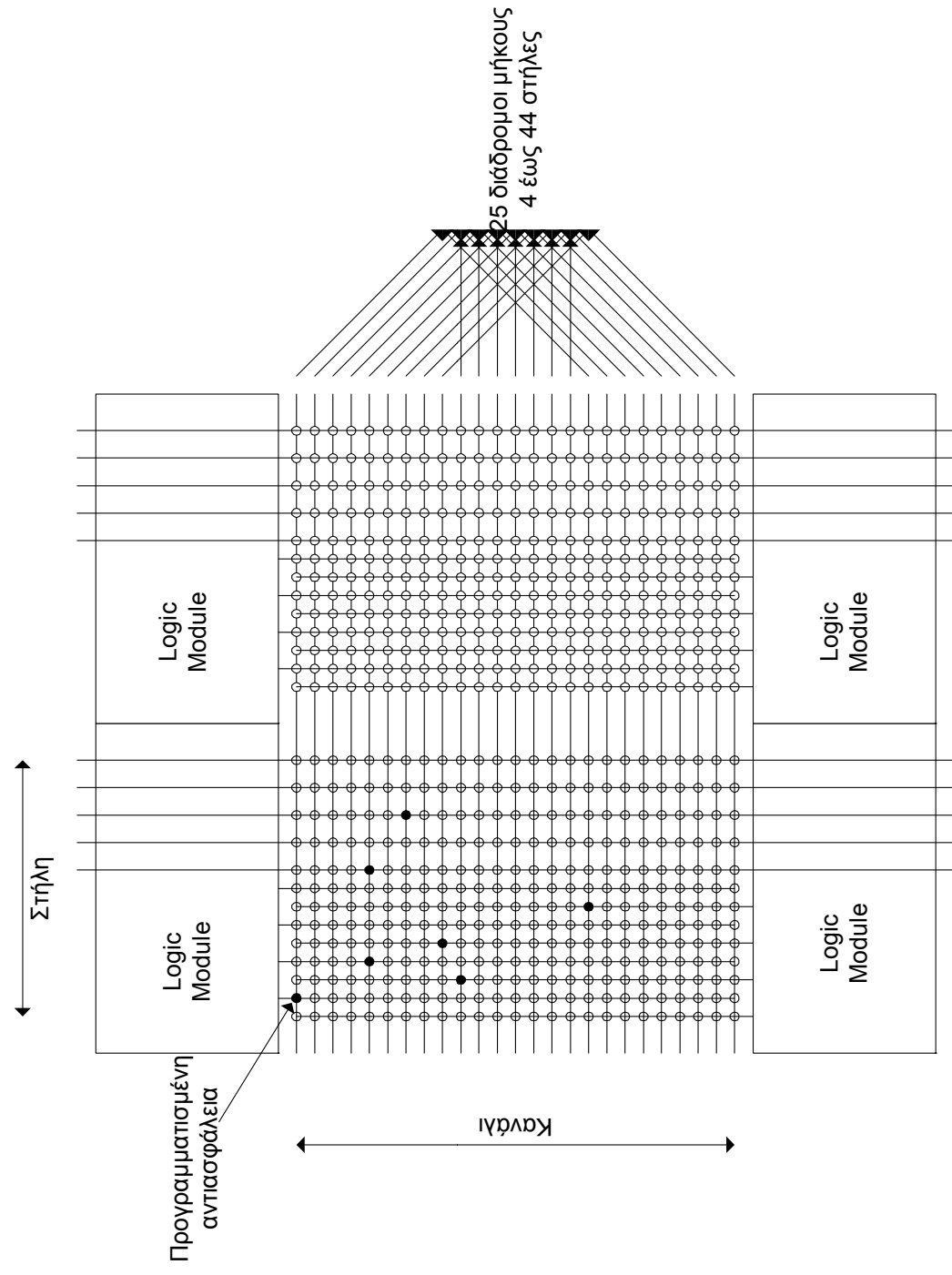
Προγραμματιζόμενες Διασυνδέσεις

Αρχιτεκτονική ACTEL ACT

- **Κανάλια διασύνδεσης:** περιοχές σταθερού μεγέθους.
- Υπάρχουν ορίζοντια και κάθετα κανάλια.
- Τα κάθετα κανάλια τρέχουν πάνω από τα λογικά κύτταρα.
- Η χωρητικότητα ενός καναλιού ισούνται με τον αριθμό των διαδρόμων που περιέχει



Προγραμματιζόμενες Διασυνδέσεις ACTEL



Προγραμματιζόμενες Διασυνδέσεις ACTEL

ACTEL ACT

- Η Actel χωρίζει τις γραμμές διασύνδεσης σε τμήματα (*segmented channel routing*).
- Αντιασφάλειες ενώνουν τα τμήματα όταν προγραμματίζονται (μη-προγραμματισμένες δεν επιτρέπουν την σύνδεση).
- Η οικογένεια ACT1 χρησιμοποιεί 25 οριζόντιους διαδρόμους: 22 για γενικής χρήσης σήματα, 2 για τροφοδοσία και γείωση και 1 για ρολόι.
- Υπάρχουν 25 διάδρομοι ανά κανάλι, με διάφορα μήκη, από 4 έως 44 στήλες (όλη την γραμμή).
- Για κάθε *Logic Module* 4 είσοδοι είναι διαθέσιμες στο κανάλι κάτω από το *Logic Module*, και 4 είσοδοι στο κανάλι πάνω από το *Logic Module*.
- Η έξοδος του *Logic Module* συνδέεται σε κάθετο διάδρομο που φθάνει έως και 2 κανάλια πάνω από το *Module* και 2 κανάλια κάτω από το *Module*

Προγραμματιζόμενες Διασυνδέσεις ACTEL

ACTEL ACT

- Σε κάθε στήλη (πλάτος ενός *Logic Module*) ο ένας κάθετος διάδρομος είναι μακρύς και διαπερνάει όλο το ύψος του ολοκληρωμένου.
- Το σύνολο των διαδρόμων ανά στήλη είναι 13 (8 είσοδοι, 4 εξοδοι και 1 μακριά).
- Κατά την διαδρόμιση των γραμμών γίνεται προσπάθεια μείωσης των αντισφαλειών που χρησιμοποιούνται για την ελαχιστοποίηση των καθυστερήσεων.

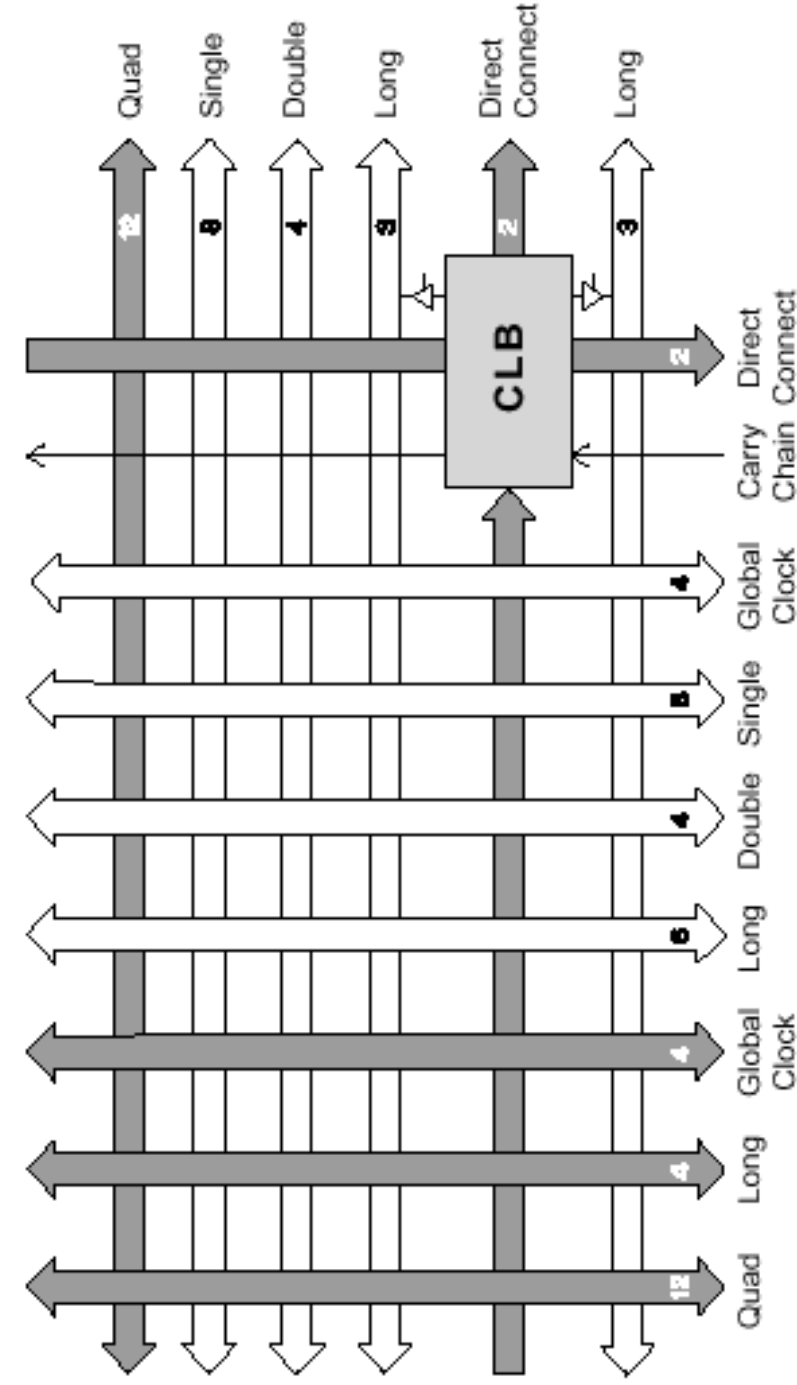
Προγραμματιζόμενες Διασυνδέσεις Xilinx

Xilinx XC4000

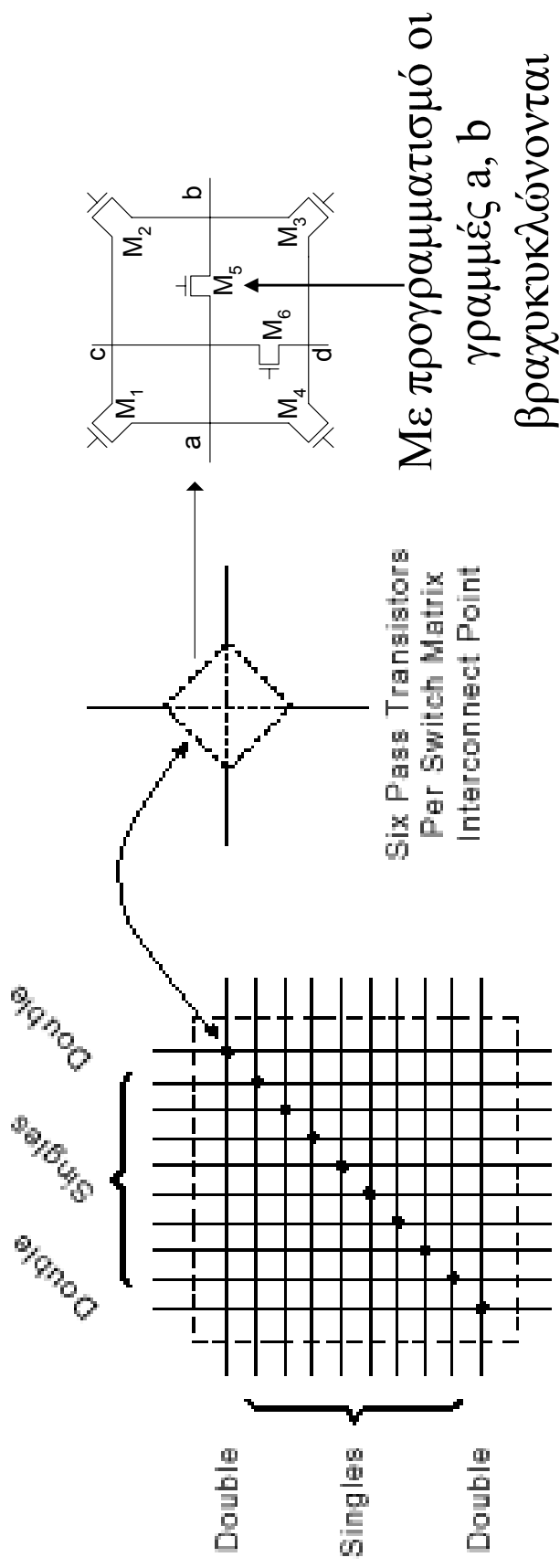
- Οι διασυνδέσεις πραγματοποιούνται από μεταλλικά τμήματα με προγραμματιζόμενα διακοπτικά στοιχεία (*switching points*) και μήτρες διακοπτικών στοιχείων (*switching matrices*) .
- Τα λογικά τμήματα ονομάζονται CLB's (*Configurable Logic Blocks*) τα οποία τοποθετούνται σε διάταξη πίνακα.
- Η διασύνδεση των CLB's σχετίζεται με κάθε γραμμή και στήλη του πίνακα των CLB's
- Η διασύνδεση των blocks εισόδου/εξόδου (IOB) διαμορφώνει ένα δακτυλίδι (VersaRing) γύρω από τον πίνακα των CLB's.
- Υπάρχει γενική διασύνδεση (Global Routing) η οποία αποτελείται από αφοσιωμένα δίκτυα (για ρολόι και σήματα με μεγάλο Fanout).

Προγραμματιζόμενες Διασυνδέσεις Xilinx

- Πέντε τύποι διασύνδεσης ξεχωρίζουν από το σχετικό μήκος των τμημάτων τους: γραμμές μονές, διπλές, τετραπλές, οκταπλές και μακριές.
- Υπάρχουν άμεσες διασυνδέσεις που επιτρέπουν γρήγορη ροή δεδομένων μεταξύ γειτονικών CLBs και μεταξύ IOBs και CLBs.

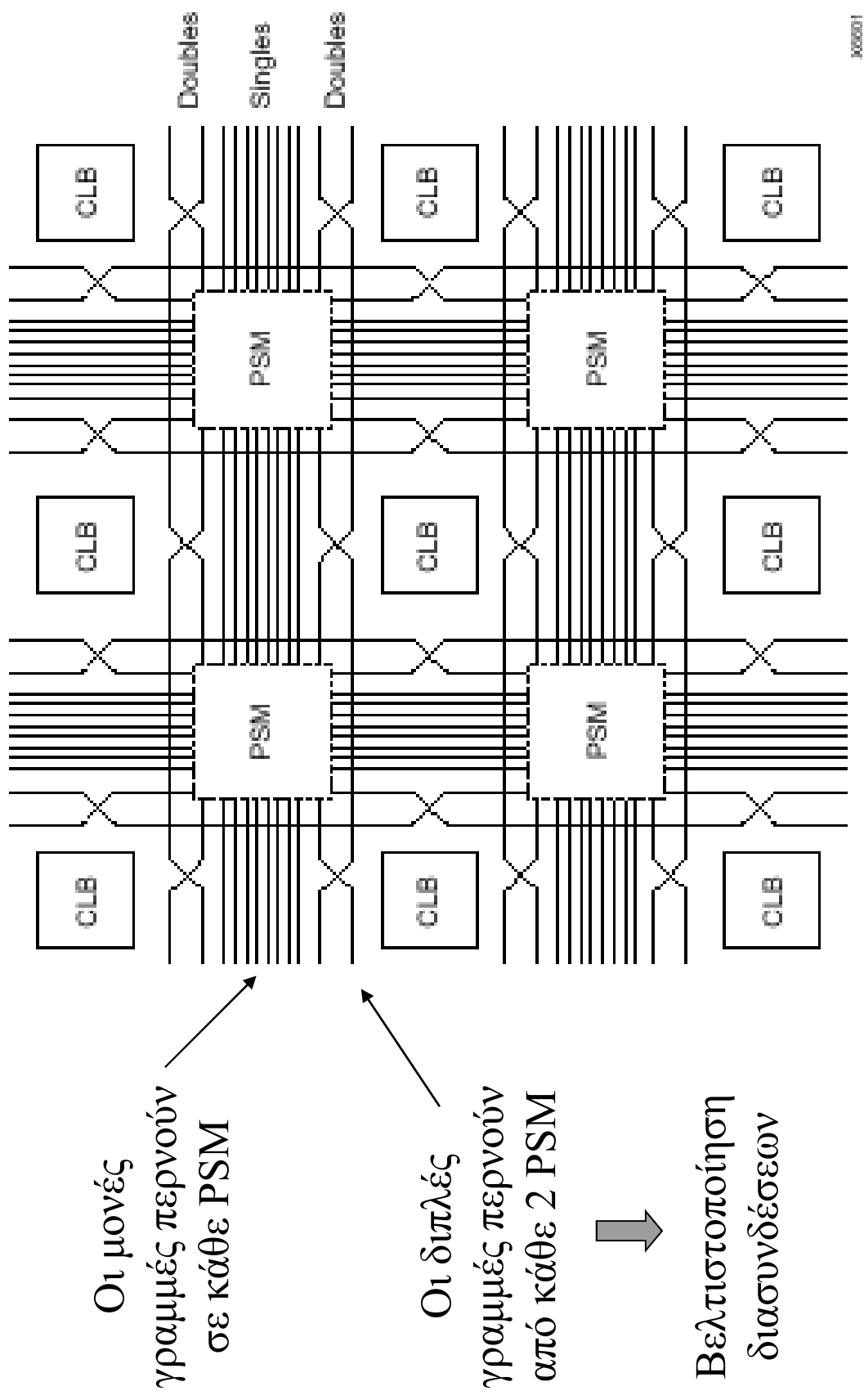


Προγραμματιζόμενες Διασυνδέσεις Xilinx

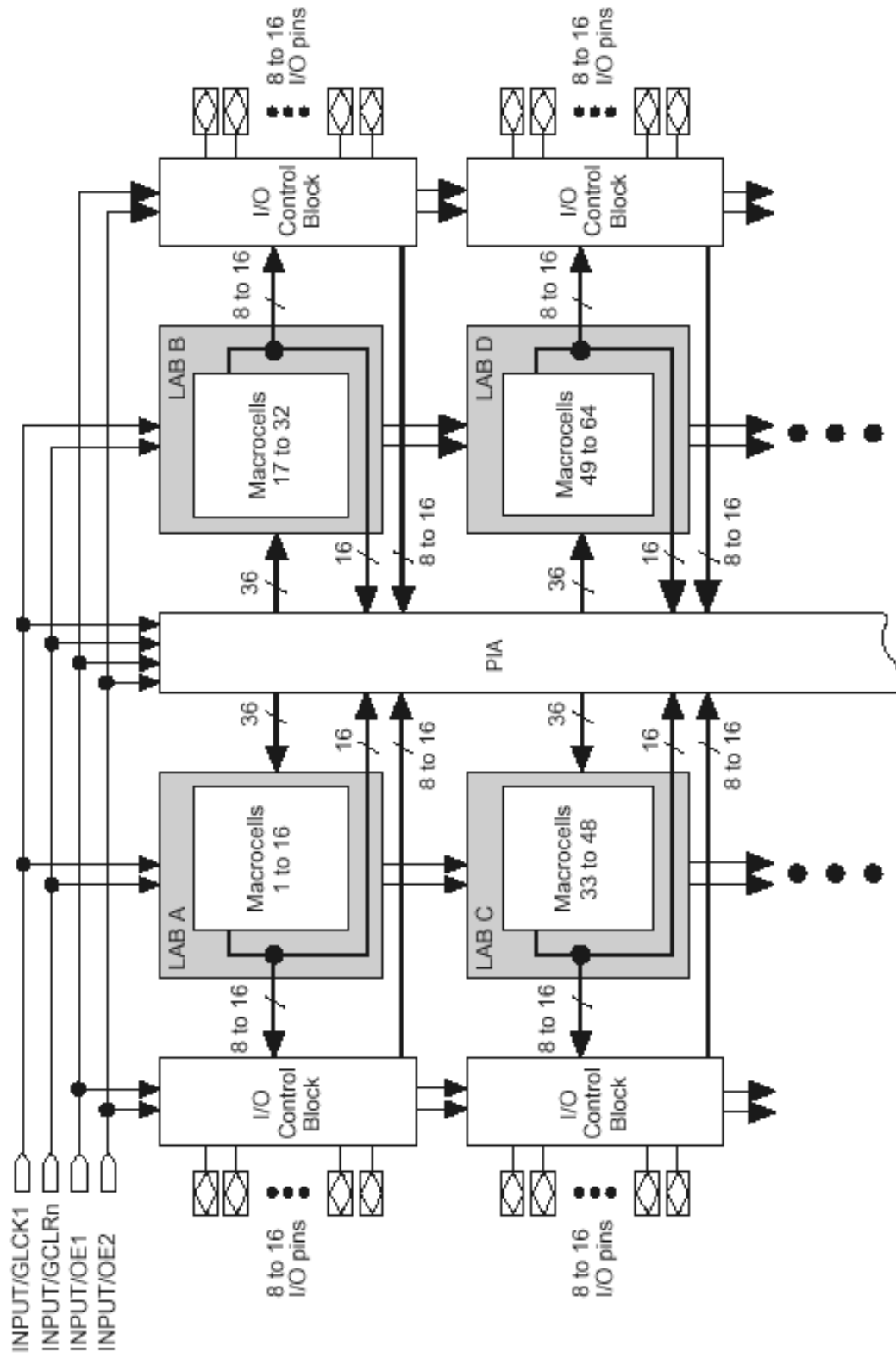


- Οι οριζόντιες και κάθετες μονές και διπλές γραμμές τέμνονται σε ένα σημείο που ονομάζεται προγραμματιζόμενη μήτρα διακοπών (*Programmable Switch Matrix – PSM*).
- Κάθε μήτρα διακοπών αποτελείται από προγραμματιζόμενα τρανζίστορ περάσματος που καθορίζουν τις διασυνδέσεις μεταξύ των γραμμών.

Προγραμματιζόμενες Διασυνδέσεις Xilinx

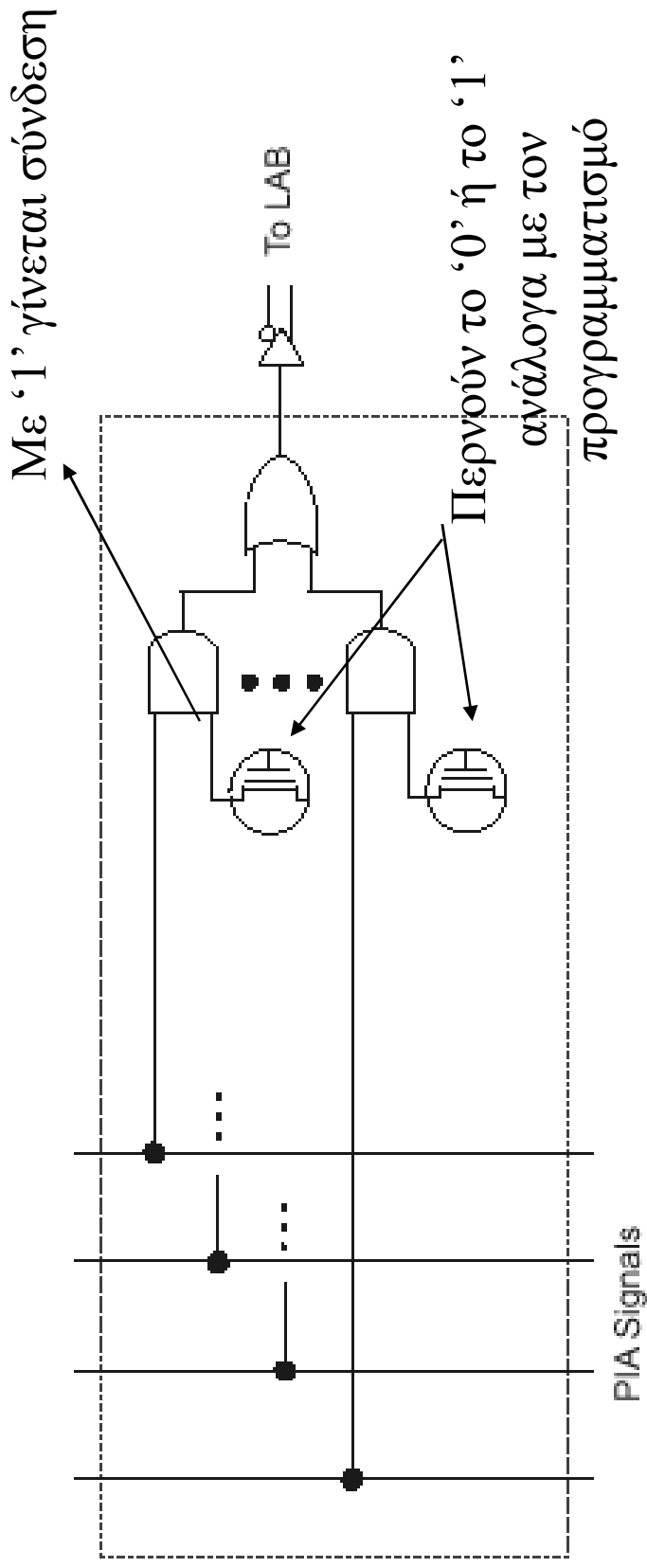


Προγραμματιζόμενες Διασυνδέσεις Altera



Προγραμματιζόμενες Διασυνδέσεις Altera

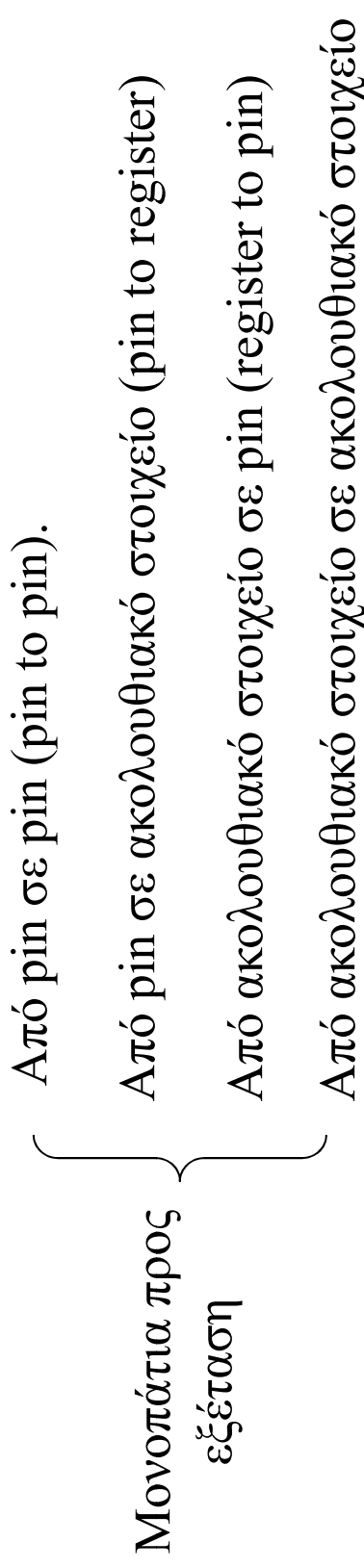
Όλα τα σήματα διασυνδέονται στην PIA και είναι διαθέσιμα σε οποιοδήποτε σημείο της συσκευής.



Προγραμματιζόμενη διασύνδεση σημάτων από την PIA στο LAB

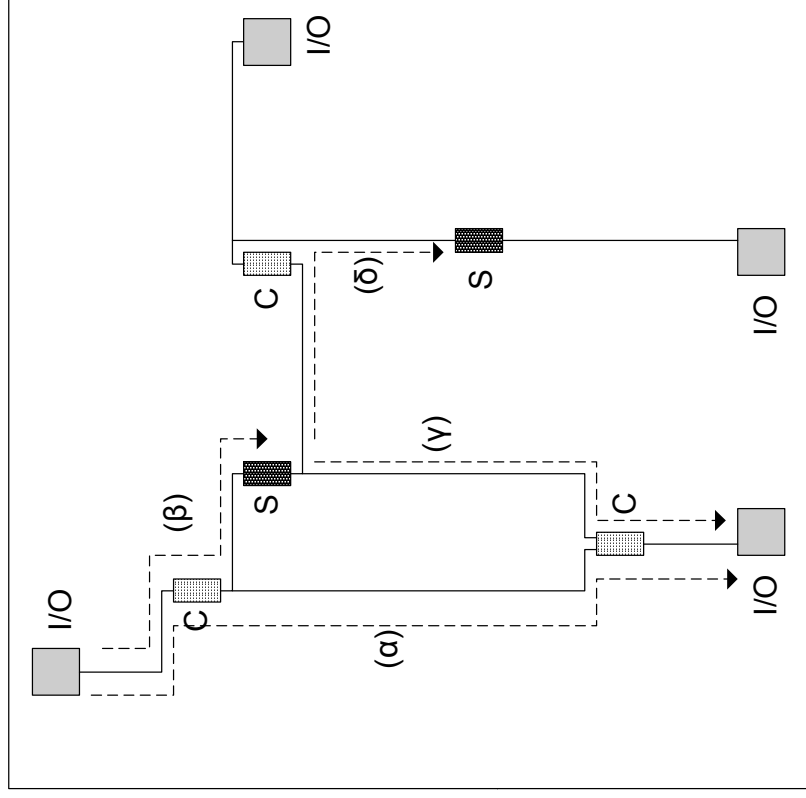
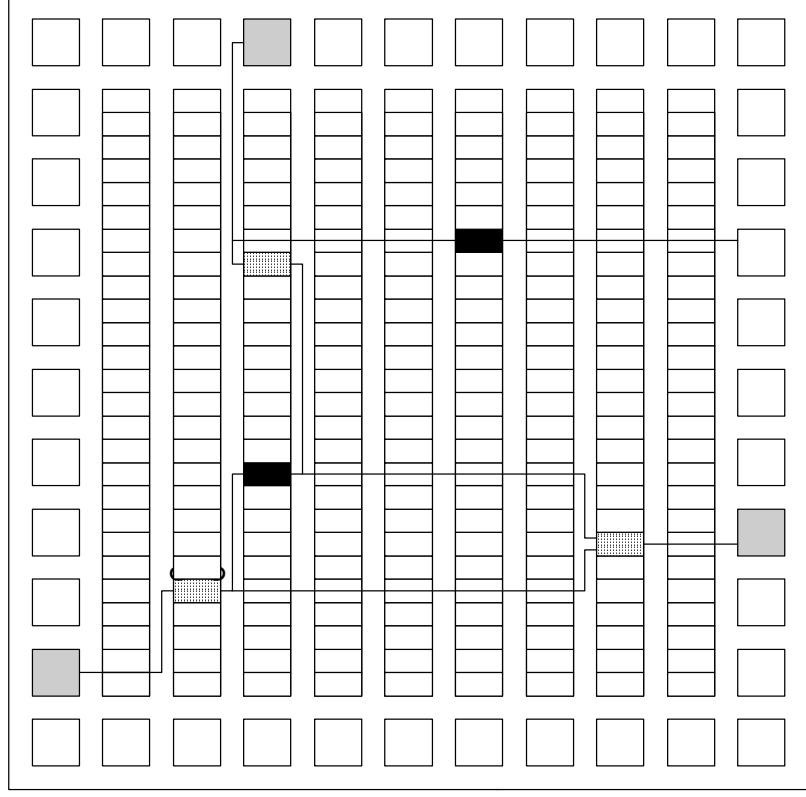
Καθορισμός Συχνότητας Ρολογιού

Το ρολόι σε κάθε σχεδίαση εξαρτάται από το μεγαλύτερο λογικό μονοπάτι το οποίο ονομάζεται και κρίσιμο μονοπάτι (critical path) . Η περίοδος του ρολογιού θα πρέπει να είναι μεγαλύτερη από την καθυστέρηση αυτού του μονοπατιού



- Στα ακολουθιακά στοιχεία πρέπει να τηρούνται και οι χρόνοι setup-hold.
- Μας ενδιαφέρει η συχνότητα να τηρεί την χειρότερη περίπτωση λειτουργίας.

Καθορισμός Συχνότητας Ρολογιού



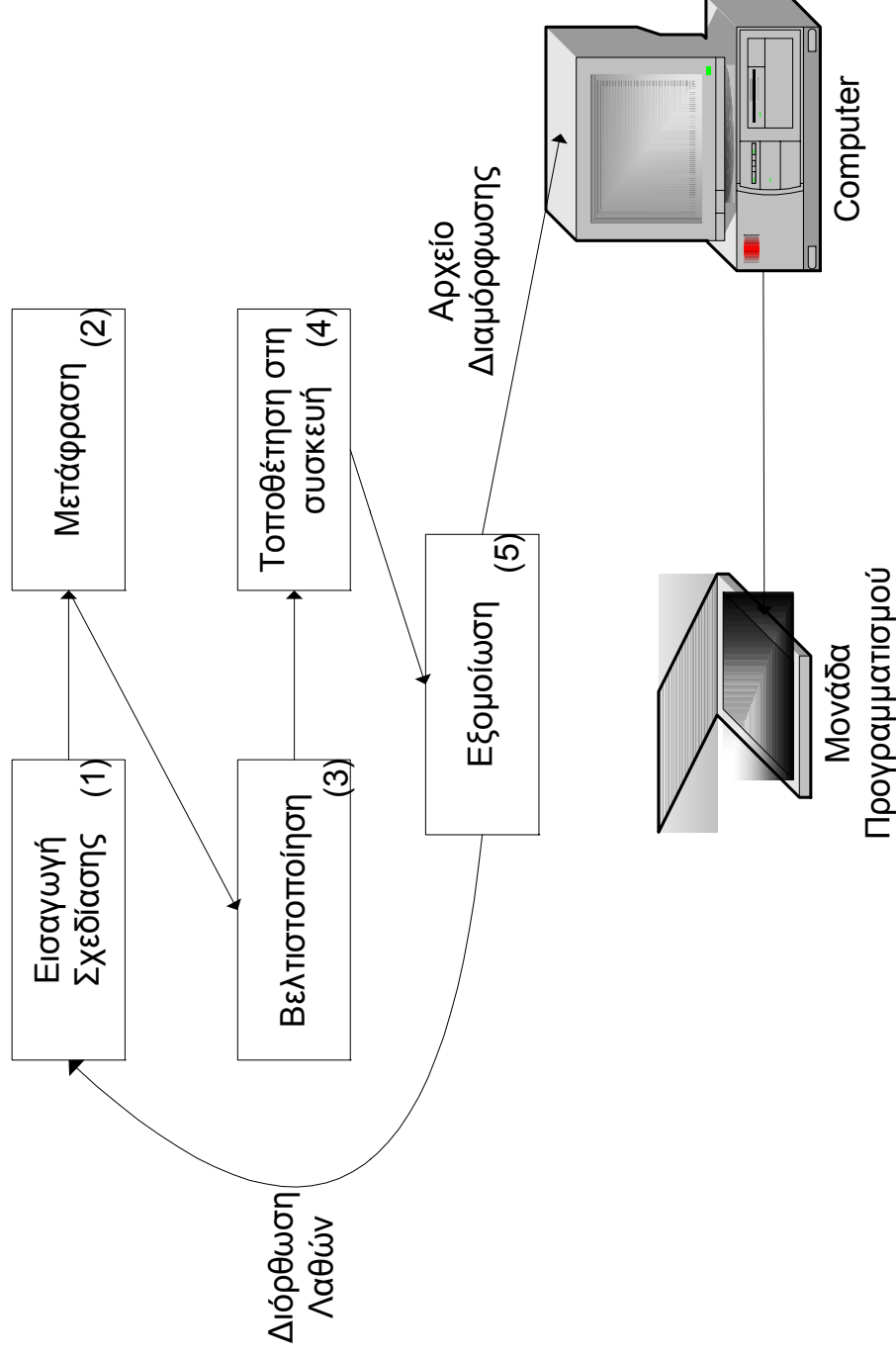
Την διαδικασία αυτή αναλαμβάνει η Στατική Χρονική Ανάλυση

Λογισμικό Προγραμματισμού

- Η πολυπλοκότητα των FPDs και FPGAs κάνει απαραίτητη την χρήση ειδικού λογισμικού για την σχεδίαση και υλοποίηση συστημάτων.
- Κάθε εταιρία παρέχει το δικό της λογισμικό προγραμματισμού που μπορεί να εκμεταλλευτεί βέλτιστα τις δυνατότητες των συσκευών της.
- Υποστηρίζει εισαγωγή σχεδιασμού, βελτιστοποίηση λογικής, ταίριασμα λογικής με την συσκευή, εξομίωση και διαμόρφωση συσκευής.
- Οι βιβλιοθήκες κυττάρων και το λογισμικό σχεδίασης είναι μοναδικές για κάθε κατασκευαστή.
- Στόχος είναι η βελτιστοποίηση της απόδοσης των αλγορίθμων για την κάθε αρχιτεκτονική χωριστά.
- Παρέχουν ακόμη και χειροκίνητο έλεγχο της διαδικασίας τοποθέτησης και διασύνδεσης για βελτιστοποίηση από τον σχεδιαστή κατευθείαν.

Λογισμικό Προγραμματισμού

Διαδικασία Σχεδίασης SPLDs



Λογισμικό Προγραμματισμού

CPLDs: Η διαδικασία σχεδιασμού είναι όμοια.

FPGAs: Απαιτούνται επιπλέον εργαλεία λόγω πολυπλοκότητας συσκευών.

Κύρια διαφορά είναι στο Device Fitting:

- Αντιστοίχιση της λογικής στην χρησιμοποιούμενη τεχνολογία για την μετατροπή βασικών λογικών πυλών σε λογικά blocks των FPGAs .
- Διαδικασία τοποθέτησης με βάση την οποία θα επιλεγούν τα κατάλληλα logic blocks.
- Διαδικασία διαδρόμησης η οποία θα ενεργοποιήσει διασυνδέσεις λογικών τμημάτων .

Λογισμικό Προγραμματισμού

Πρόβλημα λογισμικού: ανυπαρξία standards στην ονοματολογία που χρησιμοποιεί η κάθε εταιρία



Μία σχεδίαση σε προγραμματιζόμενη συσκευή είναι σχεδόν απίθανο να μεταφερθεί σε άλλη αρχιτεκτονική, ακόμη και της ίδιας εταιρίας



Με την χρήση HDLs το πρόβλημα λύνεται αφού η λογική σύνθεση αναλαμβάνει την αντιστοίχιση ίδιου σχεδιασμού σε διαφορετικές συσκευές/τεχνολογίες.



Επιπλέον η σύνθεση
βελτιστοποιεί τον σχεδιασμό. { Γενική Βελτιστοποίηση
Ειδική Βελτιστοποίηση

Λογισμικό Προγραμματισμού & Εξομοίωση

Το λογισμικό προγραμματισμού παρέχει πάντα και δυνατότητες εξομοίωσης.



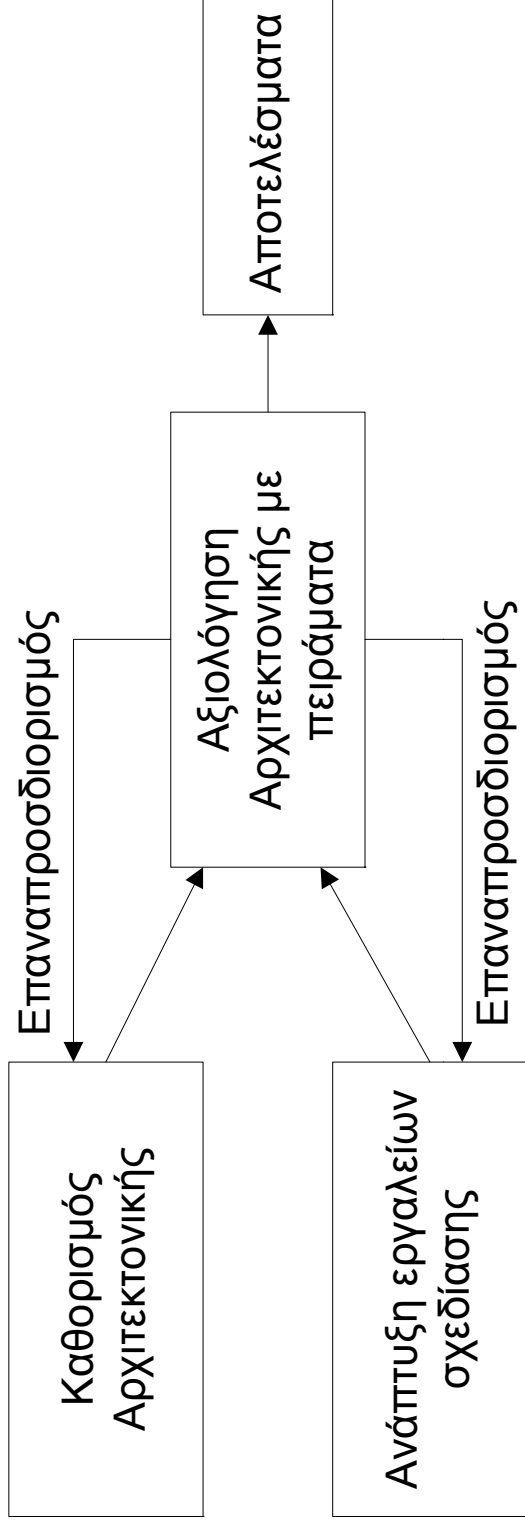
Λογικός Εξομοιωτής

- Ο σχεδιαστής παρέχει κυματομορφές εισόδου.
- Εντοπίζονται λάθη συμπεριφοράς λειτουργικά και χρονικά.
- Μπορεί να γίνει σε διάφορα στάδια σχεδίασης.
- Ο σχεδιαστής θα πρέπει να ανακαλύψει τις συνθήκες χειρότερης περίπτωσης.

Χρονικός Αναλυτής

- Δεν χρειάζεται κυματομορφές.
- Ψάχνει για κρίσιμα μονοπάτια.
- Ελέγχει για παραβιάσεις περιορισμών.

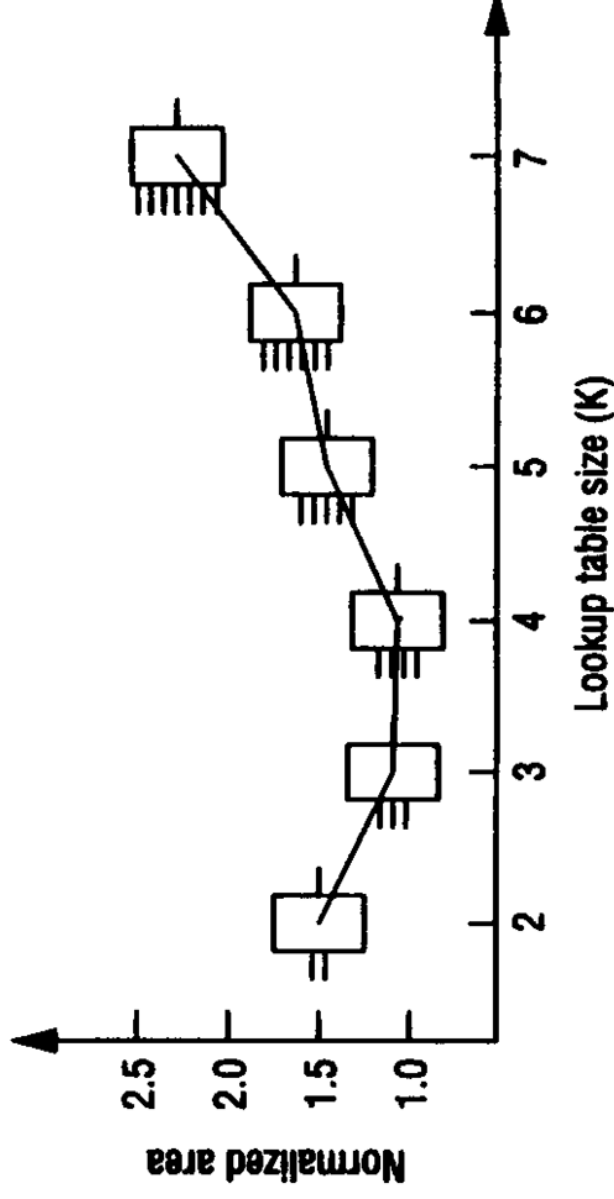
Παράγοντες απόδοσης αρχιτεκτονικών



- Ορίζεται μία αρχιτεκτονική και αναπτύσσονται τα κατάλληλα εργαλεία.
- Επιλέγονται γνωστά κυκλώματα δοκιμής (benchmarks) τα οποία υλοποιούνται σε FPGAs και καταγράφεται η απόδοσή τους.
- Με τα πειράματα που γίνονται ανακαλύπτονται σημεία των αρχιτεκτονικών που έχουν πρόβλημα και βελτιώνονται διαρκώς.

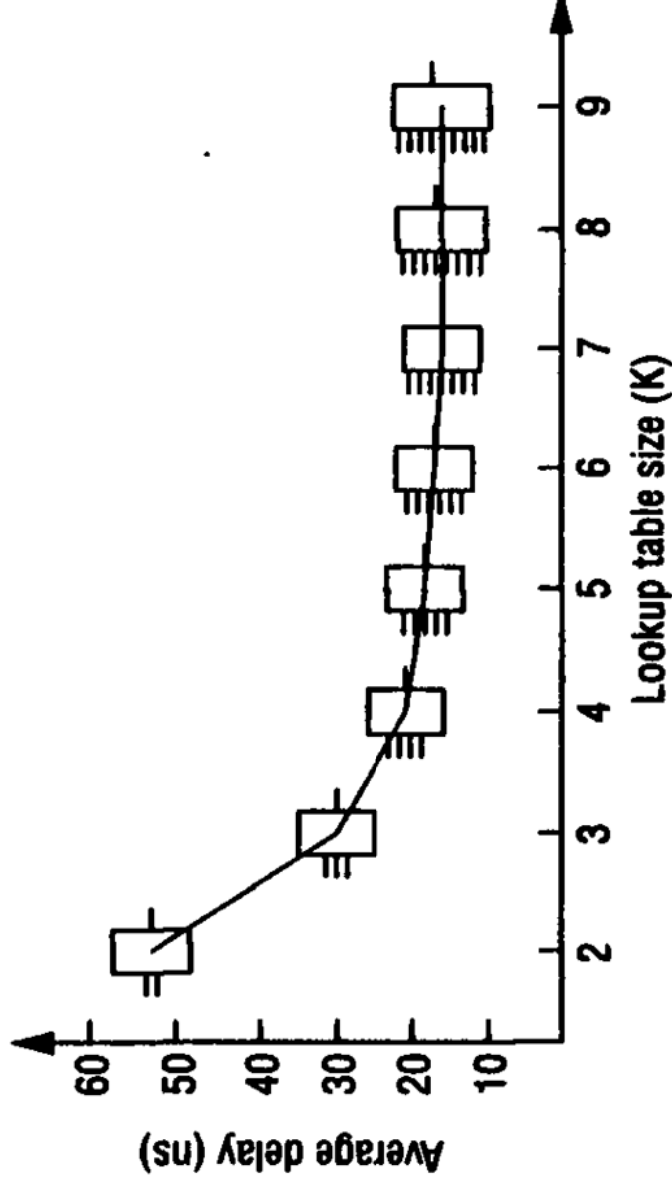
Πολυπλοκότητα Λογικού Block

- Αντικείμενο της διερεύνησης είναι η ποσότητα της λογικής που πρέπει να υλοποιεί ένα λογικό block ώστε να είναι αποδοτική η αρχιτεκτονική.
- Θεώρηση: α) χρήση Lookup Tables και β) ποσότητα λογικής που απαιτεί κάθε block = αριθμός των εισόδων k του Lookup Table.



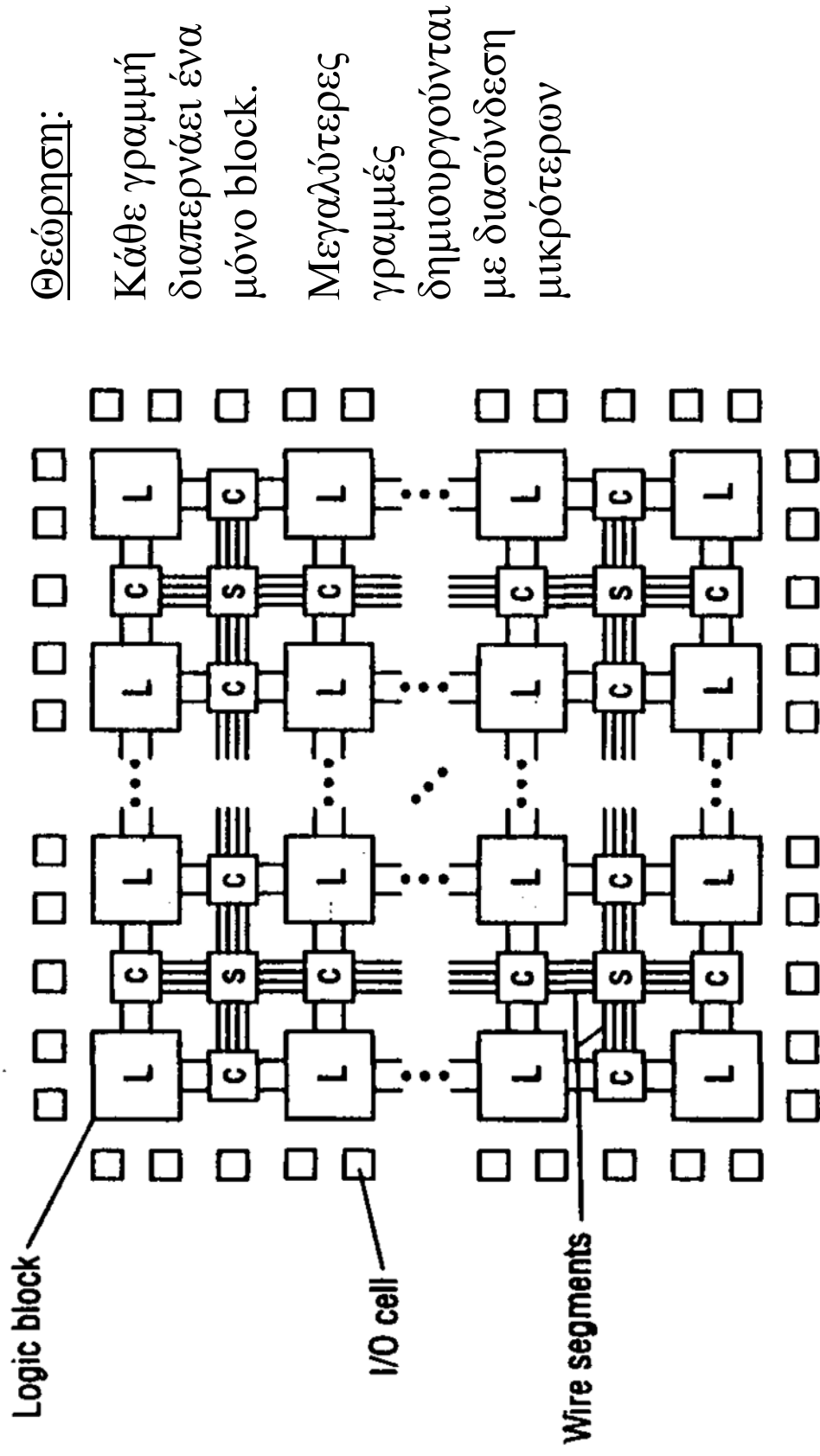
Πολυπλοκότητα Λογικού Block

Ταχύτητα σε σχέση με το k



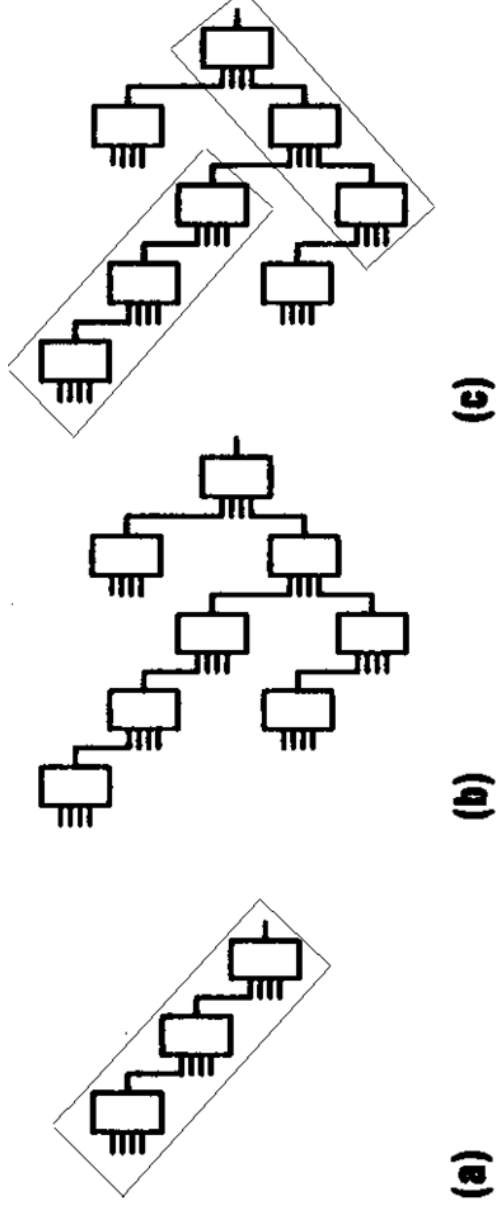
Συμπέρασμα διαγραμμάτων: ιδανική τιμή $k=4$ (Flex 8000)

Ευελιξία Διασυνδέσεων



Φυσικά διασυνδεδεμένα Λογικά Blocks

- Ένας τρόπος για να μειωθεί η καθυστέρηση διασύνδεσης είναι να χρησιμοποιηθούν λογικά blocks τα οποία είναι φυσικά διασυνδεδεμένα στην δομή του FPGA (hardwired).
- Στόχος είναι να μειωθούν οι διακόπτες διασύνδεσης που μπαίνουν στα κρίσιμα μονοπάτια με αποτέλεσμα να μειωθούν οι καθυστερήσεις τους.

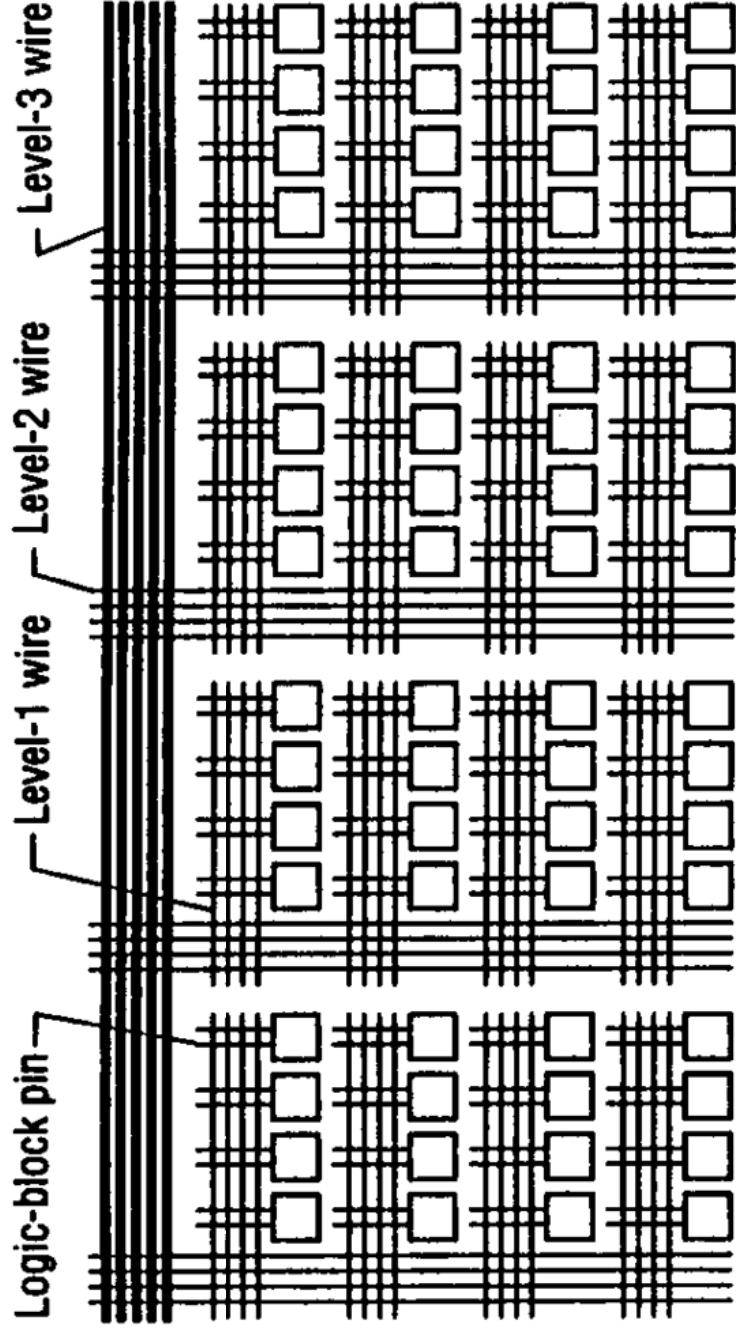


Ιεραρχική Αρχιτεκτονική

Επίπεδο 1: διασυνδέσεις μεταξύ των λογικών blocks ενός τμήματος

Επίπεδο 2: διασυνδέσεις μεταξύ τμημάτων μίας στήλης

Επίπεδο 3: μεταξύ διαφορετικών στηλών τμημάτων



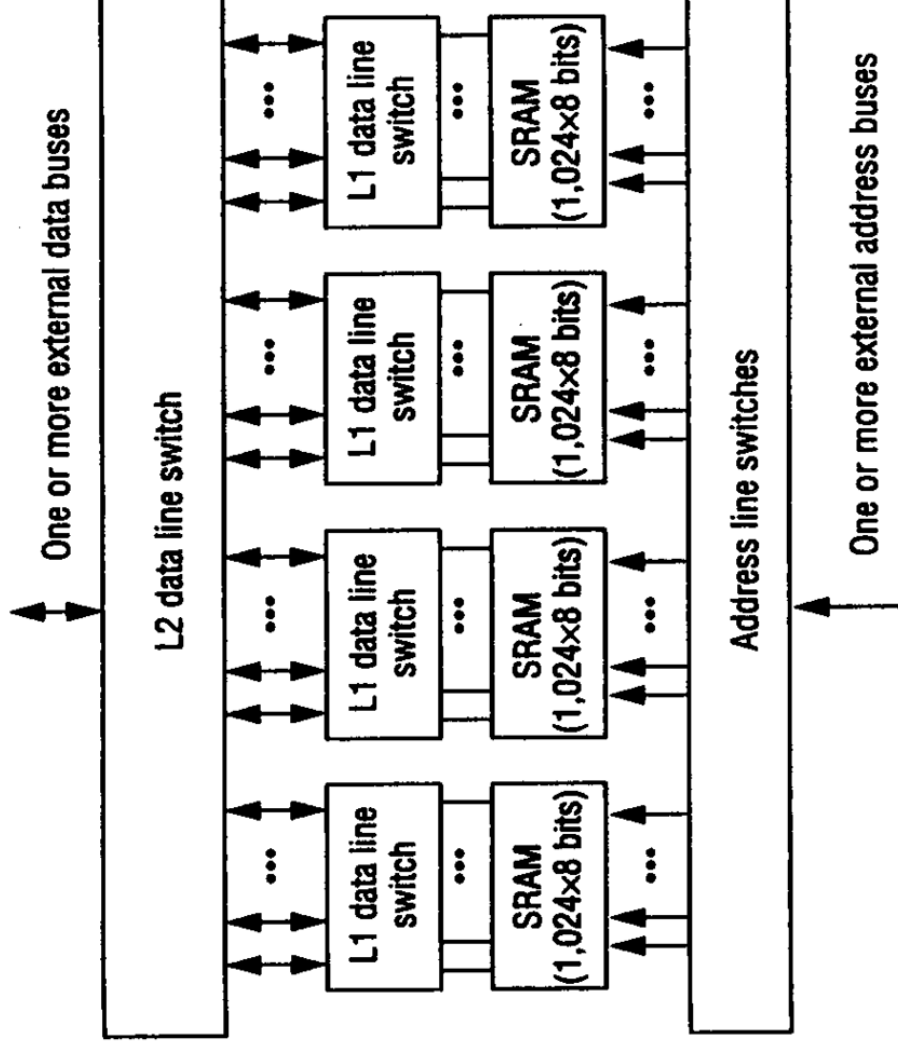
Διαμόρφωση Μνημών

Δυνατότητα διαμόρφωσης
FPGAs σαν μνήμες
ανάγνωσης / εγγραφής

Πρώτο στάδιο διακοπών: οι γραμμές διευθύνσεων κατευθύνονται στα διάφορα block της μνήμης ανάλογα με την επιθυμητή διαμόρφωση.

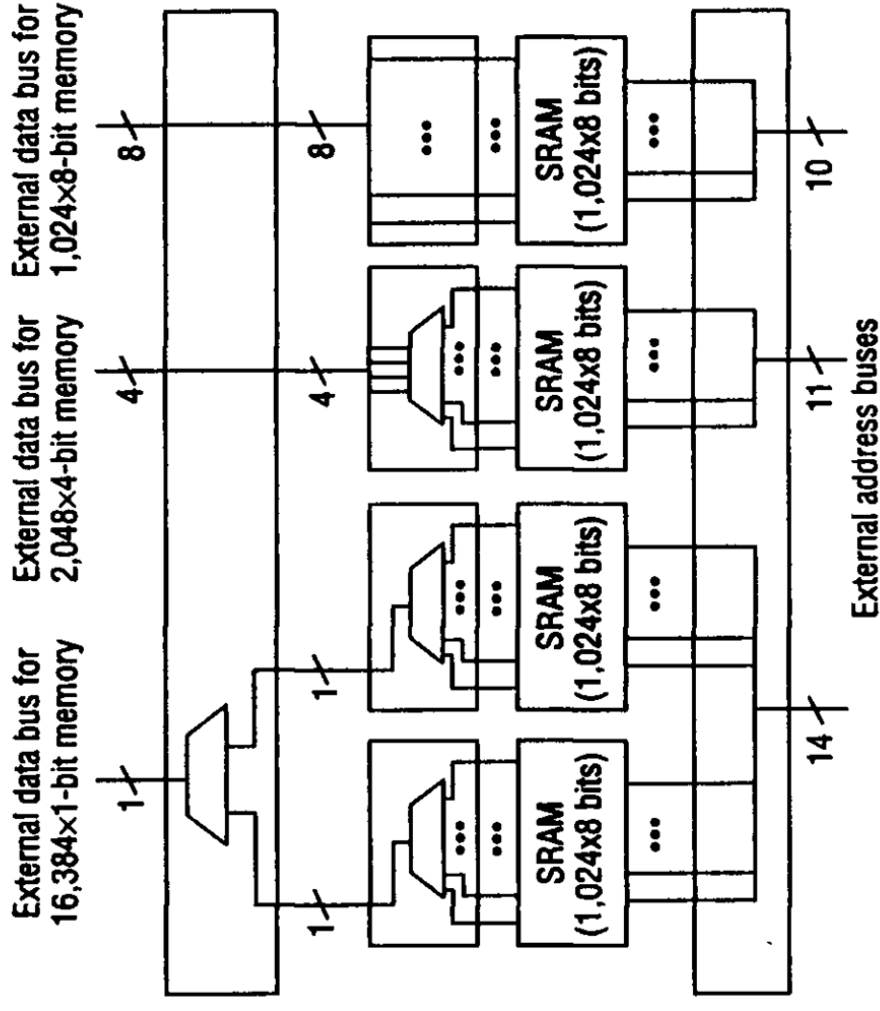
Δεύτερο στάδιο διακοπών (L1): δέχεται τις γραμμές δεδομένων των block μνήμης και με χρήση πολυπλεκτών καθορίζει τα aspect ratios.

(πχ με πολύπλεξη των 4 low με τα 4 high bits μιας μνήμης 1024x8 μπορούμε να δημιουργήσουμε μνήμη 2048x4



Διαμόρφωση Μνημών

Τρίτο στάδιο διακοπών (L2): μπορεί να χρησιμοποιηθεί για την διαμόρφωση block μνημών με περισσότερα bits ανά θέση μνήμης.



(πχ η πολυπλεξία
δύο όμοιων block
μνήμης των 8 bits
δίνει ένα block
μνήμης όμοιου
μεγέθους αλλά των
16 bits ανά θέση
μνήμης.