

11/3/2025

Οργάνωση κοινόχρηστης μνήμης (I)

Η διασύνδεση επεξεργαστών-μνημών



Λ8

Συστήματα
& Λογισμικό
Υψηλών
Επιδόσεων

Παραλληλισμός στον επεξεργαστή I

- Αύξηση επιδόσεων => παραλληλία
 - » **ΠΑΡΑΛΛΗΛΙΑ ΜΕΣΑ ΣΤΟΝ ΕΠΕΞΕΡΓΑΣΤΗ**
- 1^η ιδέα: παραλληλισμός στα bits (αύξηση bit length)
- 2^η ιδέα: Διοχέτευση (pipelining)
 - Ο κύκλος εκτέλεσης μίας εντολής σπάει σε βήματα που επικαλύπτονται χρονικά μέσω πολλαπλών εντολών:

Η εκτέλεση εντολών ακολουθεί τα παρακάτω απλά βήματα

 - Προσκόμιση της εντολής από την μνήμη (fetch)
 - Αποκωδικοποίηση, ανάγνωση τελεστών από καταχωρητές (decode – operand read)
 - Εκτέλεση ή υπολογισμός διεύθυνσης μνήμης (execute)
 - Προσπελαση μνήμης (memory access)
 - Εγγραφή αποτελέσματος στο αρχείο καταχωρητών (write-back)
- Διοχέτευση => αύξηση throughput
- Καθυστερήσεις και εξαρτήσεις εντολών => όρια στο που μπορούμε να φτάσουμε

Παραλληλισμός στον επεξεργαστή II

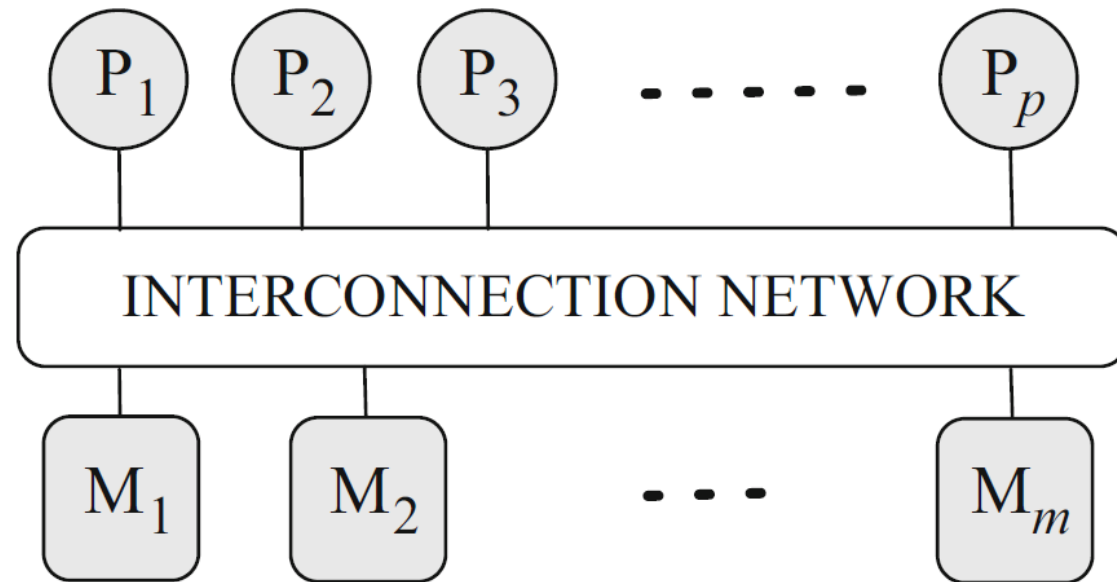
- 3^η ιδέα: *instruction level parallelism (ILP)*
 - Προσκόμιση και εκτέλεση πολλών εντολών μαζί
 - Πρόβλημα οι εξαρτήσεις και το πολύ hardware
- «Παραλλαγές» και τεχνικές:
 - Superscalar (εντός σειράς)
 - Εκτέλεση εκτός σειράς (out-of-order execution)
 - Πρόγνωση διακλαδώσεων (branch prediction)
 - Εικαζόμενη εκτέλεση (speculative execution)

Αυτά και άλλα σε ένα καλό paper που τα έχει μαζεμένα (αν και παλιότερο):

Dezso Sima, "Decisive aspects in the evolution of Microprocessors", *Proceedings of the IEEE*, vol 92, No 12, Dec 2004

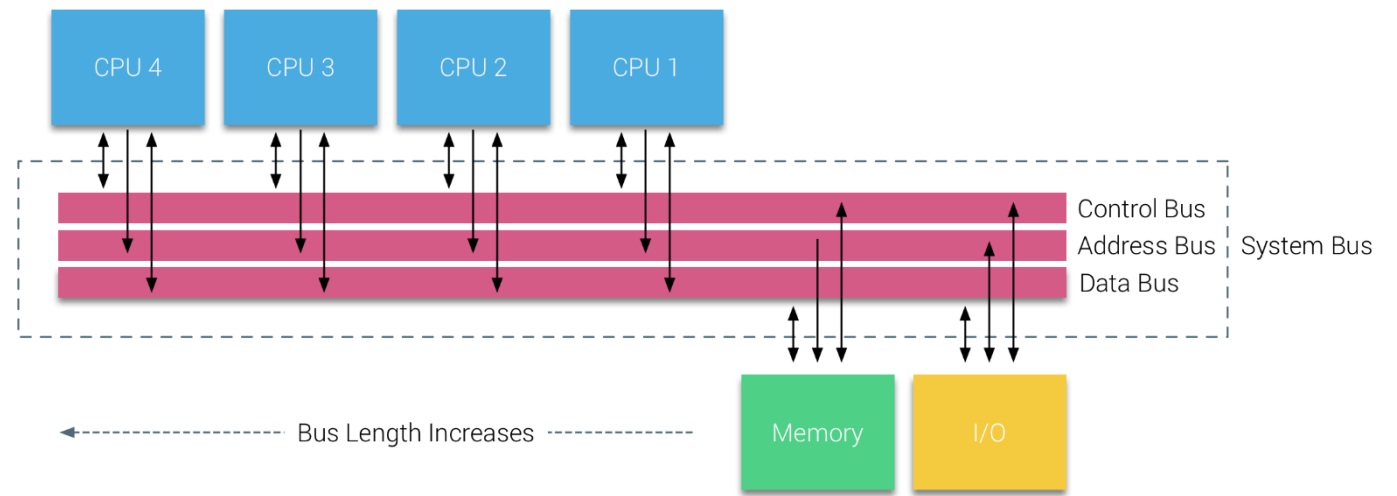
Παραλληλισμός συστήματος: πολλαπλοί επεξεργαστές

- Βασική οργάνωση συστήματος κοινής μνήμης



Δίκτυο κοινού μέσου, system bus

- System / backplane bus
 - Ο δίαυλος του συστήματος επάνω στις πλακέτες
 - Το backplane bus συνήθως με εξωτερική καλωδίωση
 - Υψηλές ταχύτητες
 - Πυκνή καλωδίωση (50 – 300 γραμμές και παραπάνω)
 - Γραμμές δεδομένων
 - Γραμμές διευθύνσεων
 - Γραμμές ελέγχου



Χαρακτηριστικά διαύλου συστήματος

- Χρονισμός μεταφοράς
 - Σύγχρονος / ασύγχρονος
- Διαιτησία (arbitration)
 - Κεντρικός διαιτητής
 - Αποκεντρωμένη (δεν υπάρχει διαιτητής)
- Ολοκλήρωση ενεργειών
 - Ο διαύλος κατειλημμένος καθ' όλη την διάρκεια της πράξης (π.χ. ανάγνωση από τη μνήμη)
 - Βελτίωση: *Split-transaction buses*
 - Προβλήματα με ατομικές πράξεις
- Παραδείγματα:
 - SGI PowerPath-2 (1.2 GB/s), DEC AlphaServer (2.1 GB/s), SUN GigaPlane (2.68 GB/s)
(όλα με *split transactions*, > 300 γραμμές)

Προβλήματα

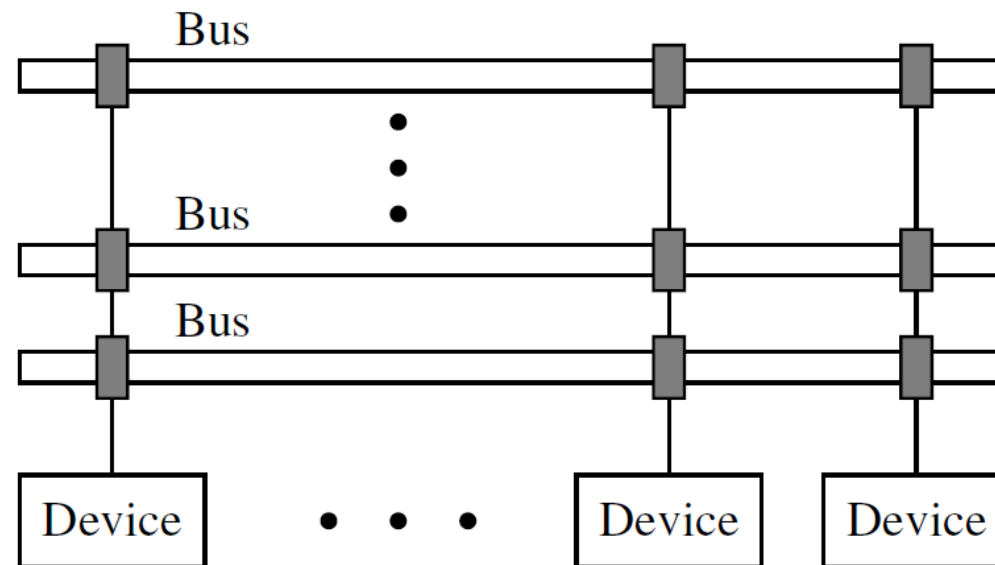
- Δεν κλιμακώνονται εύκολα σε μεγάλο αριθμό επεξεργαστών
 - Λίγοι επεξεργαστές
 - Ο δίαυλος γίνεται το bottleneck
- Καλωδίωση:
 - Λίγα καλώδια, μικρή ταχύτητα
 - Πολλά καλώδια, δύσκολη κατασκευή
- Όχι ταυτόχρονη χρήση του μέσου (άρα όχι παράλληλες επικοινωνίες)
- Χρησιμοποιούνται μόνο σε μικρά παράλληλα συστήματα

Βελτιώσεις: υβριδικά δίκτυα

- Αποτελούνται συνήθως από δίκτυα πολλαπλών διαύλων, τα οποία ενώνονται μεταξύ τους με κάποιο τρόπο
- Τρόπος να «κλιμακώσουμε» το κοινό μέσο (το οποίο πλέον δεν θα είναι κοινό σε όλο το μήκος του)
- Ξαναγίνονται ενδιαφέροντα, λόγω οπτικής τεχνολογίας
- Μερικά από αυτά
 - Multiple buses (πολλαπλοί δίαυλοι)
 - Ιεραρχικοί δίαυλοι
 - ...

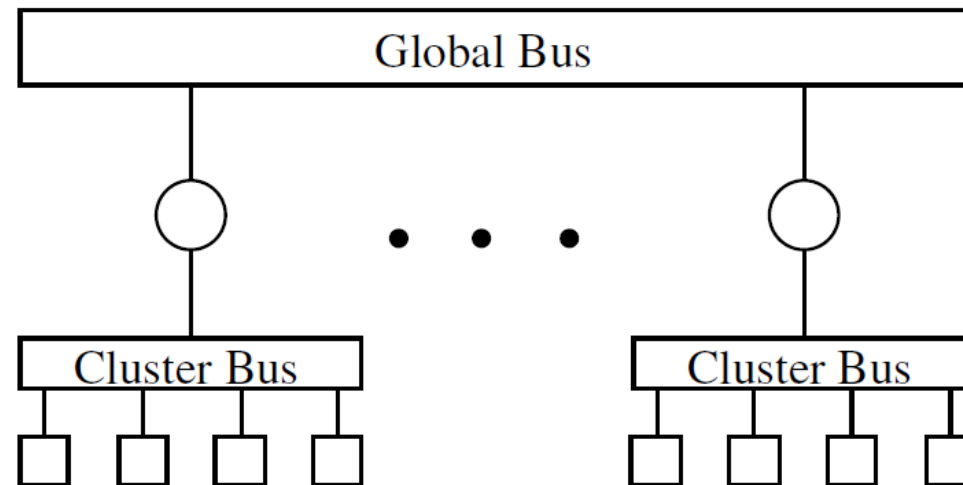
Πολλαπλοί δίαυλοι

- Πολλαπλοί δίαυλοι
 - Δύσκολο wiring
 - Στην πράξη δεν έχει πολυχρησιμοποιηθεί
 - Ίσως πάνω σε οπτικές ίνες



Ιεραρχικοί δίαυλοι

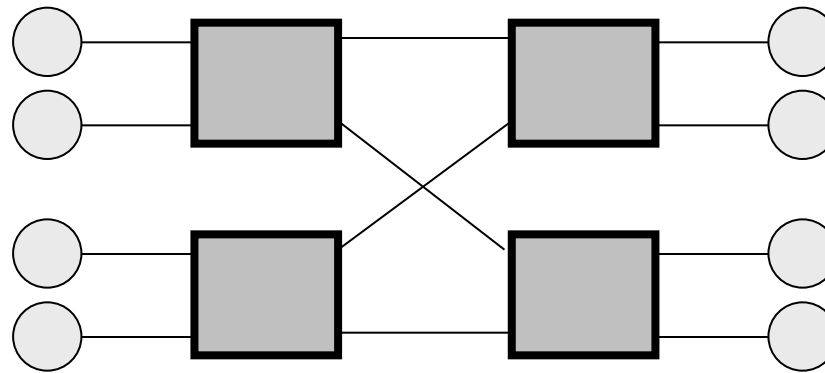
- Οι δίαυλοι υψηλότερα στην ιεραρχία πρέπει να έχουν μεγαλύτερο bandwidth
- Π.χ. bridged ethernets, Encore Gigamax (είχε οπτικές ίνες για το global bus για αύξηση του bandwidth)



Διακοπτικά δίκτυα

Δίκτυα διακοπτών (switch-based networks)

- Οι επεξεργαστές / μνήμες ΔΕΝ αποτελούν κόμβους του δικτύου, αλλά εισόδους / εξόδους
- Το δίκτυο αποτελείται από διακόπτες συνδεδεμένους μεταξύ τους.
 - Οι διακόπτες ΔΕΝ δημιουργούν κίνηση, απλά την προωθούν
 - Δεν υπάρχουν «γειτονικοί» επεξεργαστές/μνήμες. Για να επικοινωνήσουν ένας επεξεργαστής με μία μνήμη πρέπει να γίνει σύνδεση μέσω διακοπών.

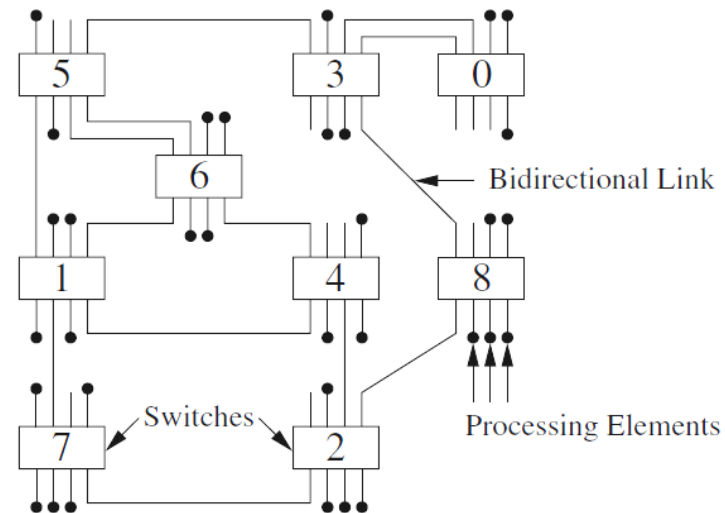


Δίκτυα διακοπών

- Πρωτοχρησιμοποιήθηκαν στην τηλεφωνία
- Χρησιμοποιούνται εσωτερικά σε high-performance ethernet / ATM / optical / κλπ. switches (δηλαδή το switch φτιάχνεται από διακοπτικό δίκτυο (!))
- Χρησιμοποιούνται σε παράλληλα συστήματα για διασύνδεση επεξεργαστών μεταξύ τους (κατανεμημένη μνήμη) ή για διασύνδεση επεξεργαστών με μνήμες (κοινή μνήμη)
 - Συνήθως αριστερά οι επεξεργαστές («είσοδοι» του δικτύου) και δεξιά οι μνήμες ή πάλι οι επεξεργαστές («έξοδοι» του δικτύου)

Διάφορα είδη

- 1 μεγάλος διακόπτης (crossbar switch)
 - Μία κατηγορία από μόνος του
- Πολλοί μικρότεροι, διασυνδεδεμένοι μεταξύ τους (multistage networks)
 - Δομημένα (υπάρχει δομημένος τρόπος διασύνδεσης των διακοπών)
 - Αδόμητα (οι διακόπτες συνδέονται με ακανόνιστο τρόπο παράγοντας ένα εντελώς ασύμμετρο δίκτυο)
 - Π.χ. Myrinet switches μπορούν να συνδεθούν με οποιοδήποτε τρόπο μεταξύ τους.

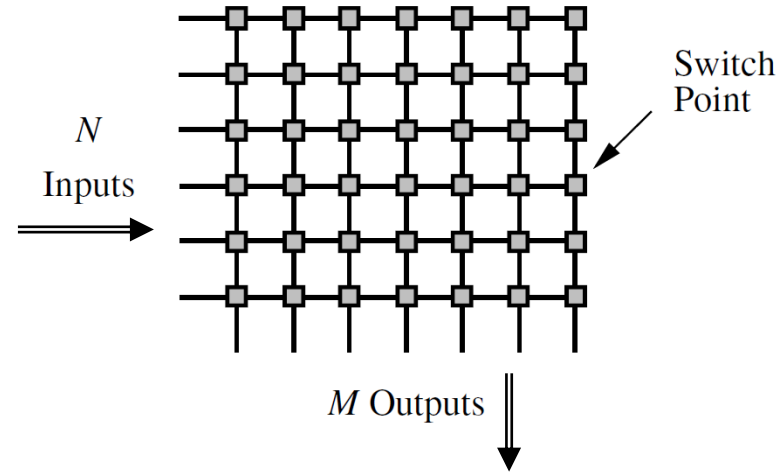


Διακόπτης crossbar (διασταυρωτικός)

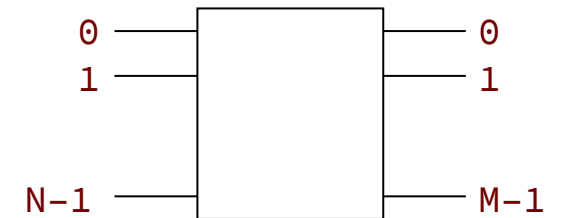
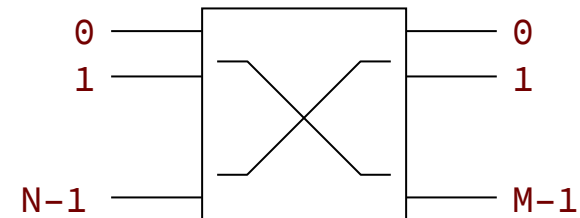
Διακόπτης crossbar (διασταυρωτικός)

Διασταυρωτικός διακόπτης $N \times M$

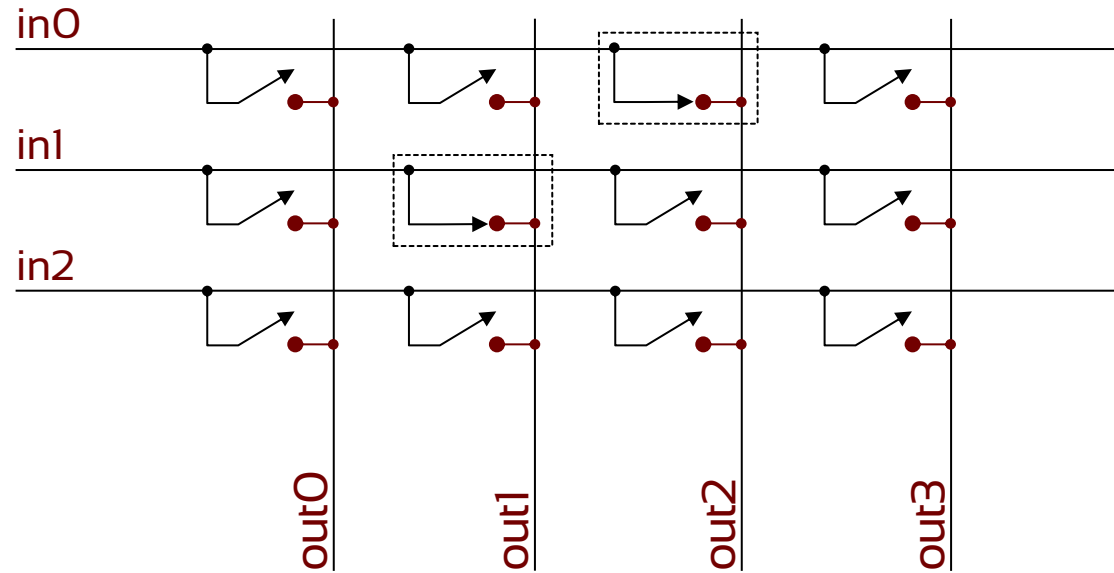
- Έχει N «εισόδους» και M «εξόδους»



- Συμβολισμός:

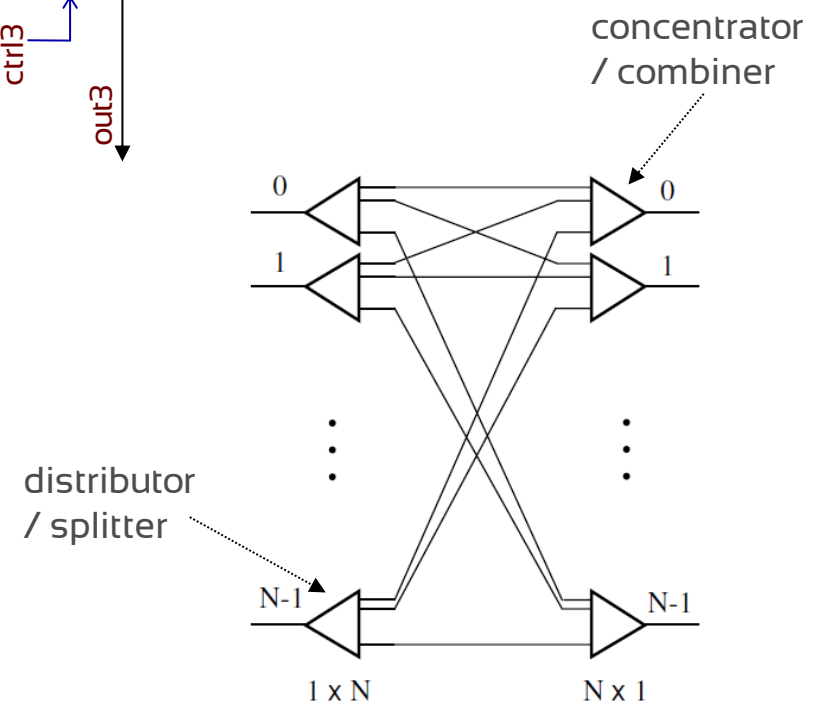
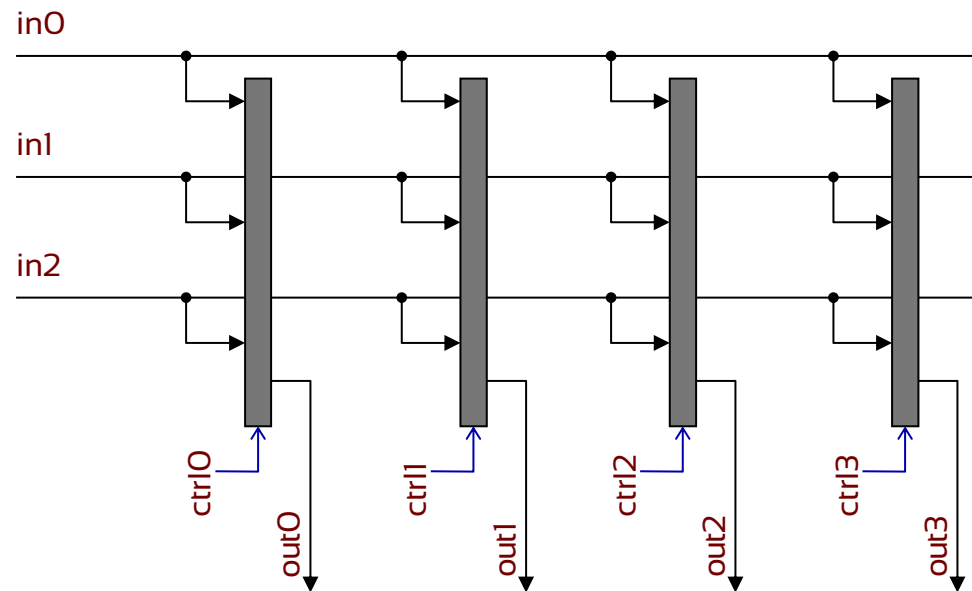


Λειτουργία



- Αν $N = M$, μπορούν ταυτόχρονα όλες οι είσοδοι να είναι συνδεδεμένες με όλες τις εξόδους (κάθε είσοδος με μία διαφορετική έξοδο)
 - Όλες οι δυνατές μεταθέσεις

Υλοποίηση με πολυπλέκτες / συμπυκνωτές

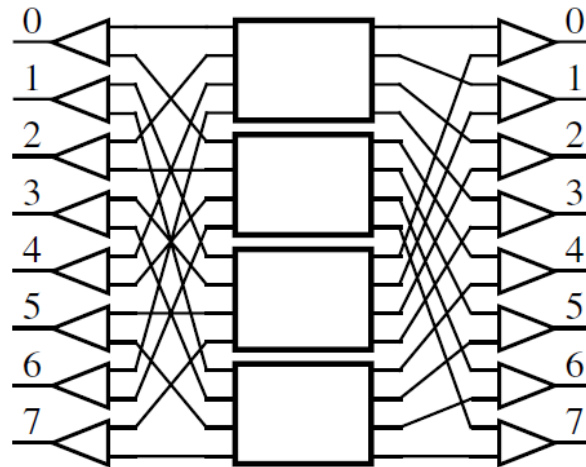


Κόστος υπερβολικό

- Για τετράγωνους ($N = M$), το κόστος είναι τάξης N^2
 - N^2 διακοπτικά σημεία στο πλέγμα
 - N concentrators και distributors, κόστους $\Theta(N)$ ο καθένας
 - $\Theta(N^2)$ κόστος υλοποίησης σε VLSI για area layout
- Αν χρησιμοποιείται ως system interconnect (αντί για δίαυλο), τότε ΚΑΘΕ γραμμή εισόδου / εξόδου θα αποτελείται από εκατοντάδες σήματα / καλώδια (σήματα διευθύνσεων, δεδομένων, ελέγχου).
 - Αδύνατη η κατασκευή για μεγάλο N .
- Αν το / τα chip περιέχουν μόνο τον διακόπτη, συνήθως έχει υπερβολικό αριθμό ακίδων (pin-limited), αλλιώς επικρατεί το τετραγωνικό κόστος για το area layout (area-limited)

Κόστος και κατασκευή

- Μπορεί να υλοποιηθεί σχετικά δομημένα και από μικρότερους crossbar – το κόστος παραμένει τετραγωνικό, όμως

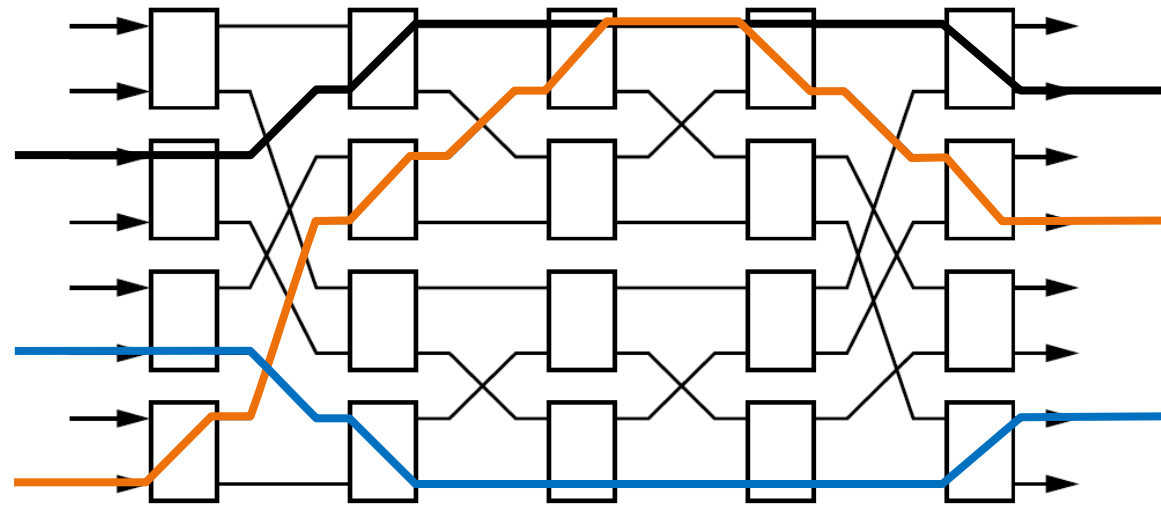


- Μόνο για μικρό # εισόδων / εξόδων (ή μέτριο με λίγα σήματα ανά γραμμή)

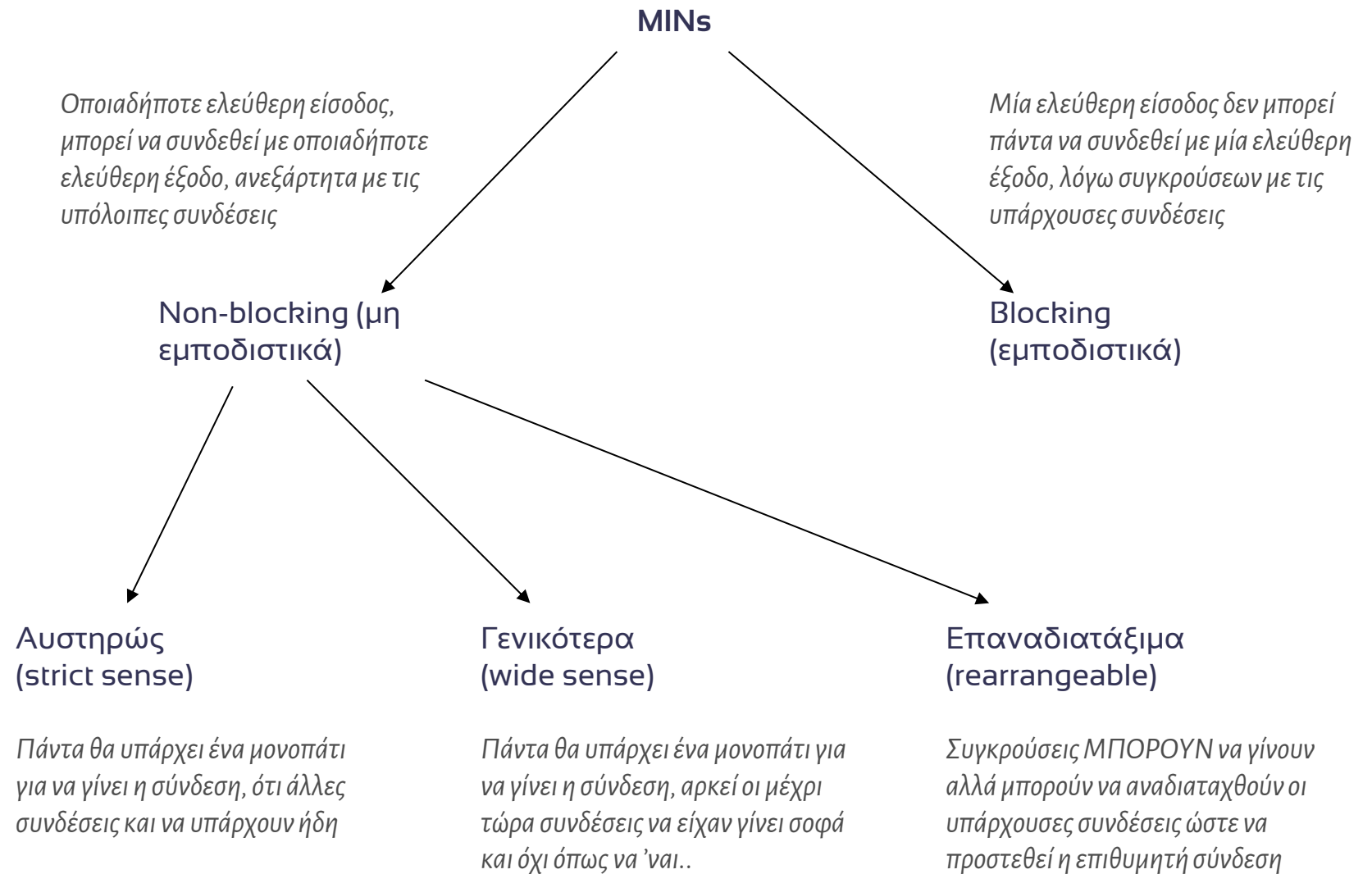
Πολυεπίπεδα δίκτυα (multistage interconnection networks – MINs)

Πολυεπίπεδα / πολλαπλών σταδίων δίκτυα (MINs)

- Πολλαπλά επίπεδα ή στάδια από μικρούς διακόπτες crossbar.
- Τα στάδια συνδέονται μεταξύ τους
- Στο πρώτο στάδιο βρίσκονται οι είσοδοι του δικτύου, στο τελευταίο οι έξοδοι



Κατηγορίες MIN

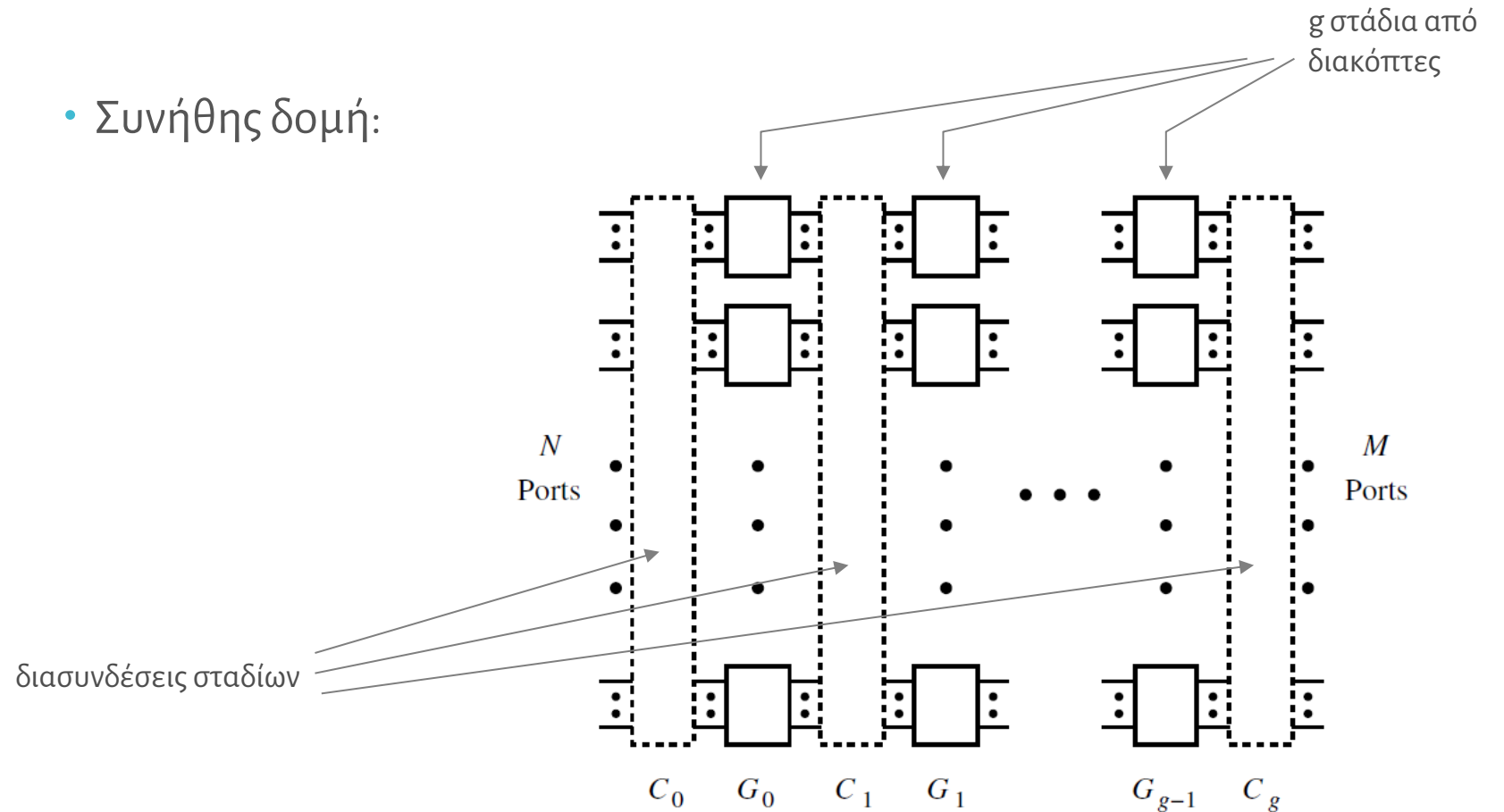


Ενδιαφέροντα μη εμποδιστικά δίκτυα

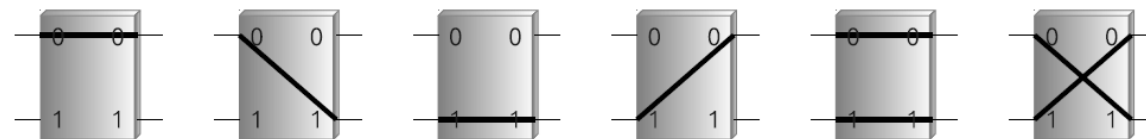
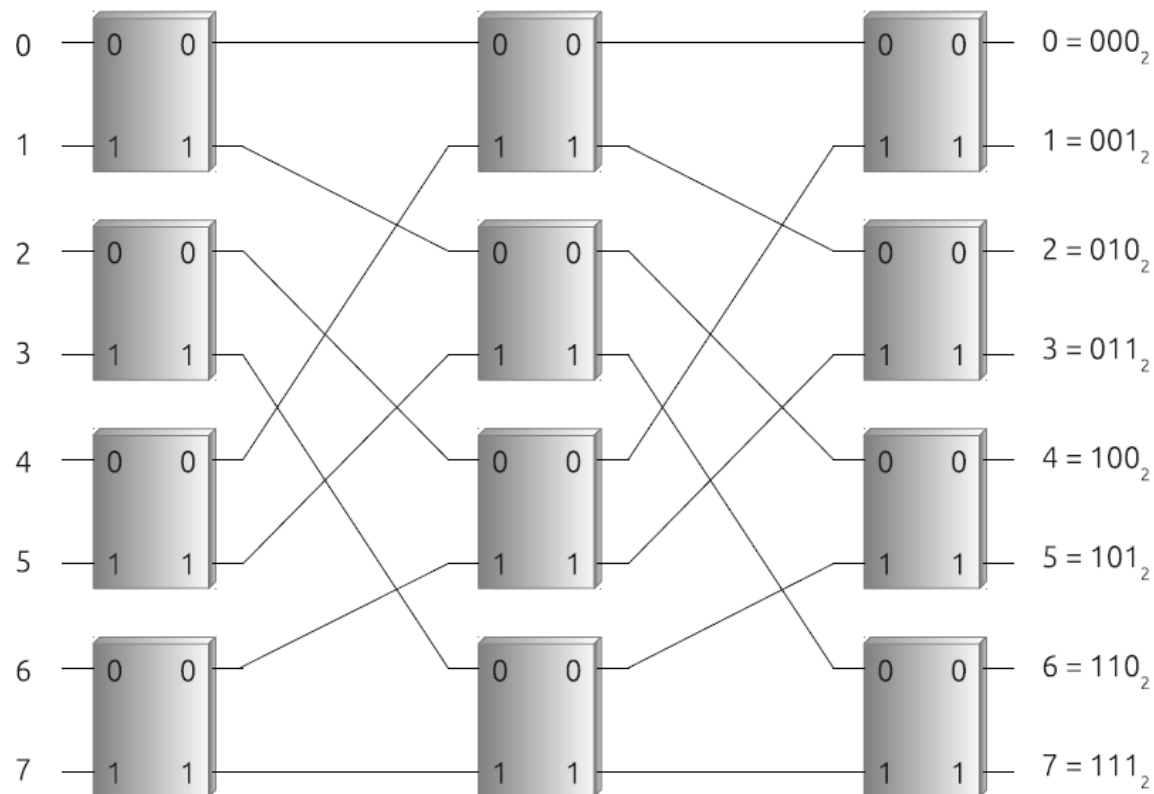
- Strictly non-blocking ή πιο απλά, σκέτο non-blocking
 - Ο διακόπτης crossbar (MIN ενός σταδίου, με 1 διακόπτη)
 - Κάποια από τα δίκτυα **Clos**
- Γενικά αυτά τα δίκτυα είναι μεγάλου κόστους
- Rearrangeable
 - Κάποια από τα δίκτυα **Clos**
 - Δίκτυο **Benes** (προκύπτει από κατάλληλη συνένωση εμποδιστικών δικτύων)

Εμποδιστικά δίκτυα

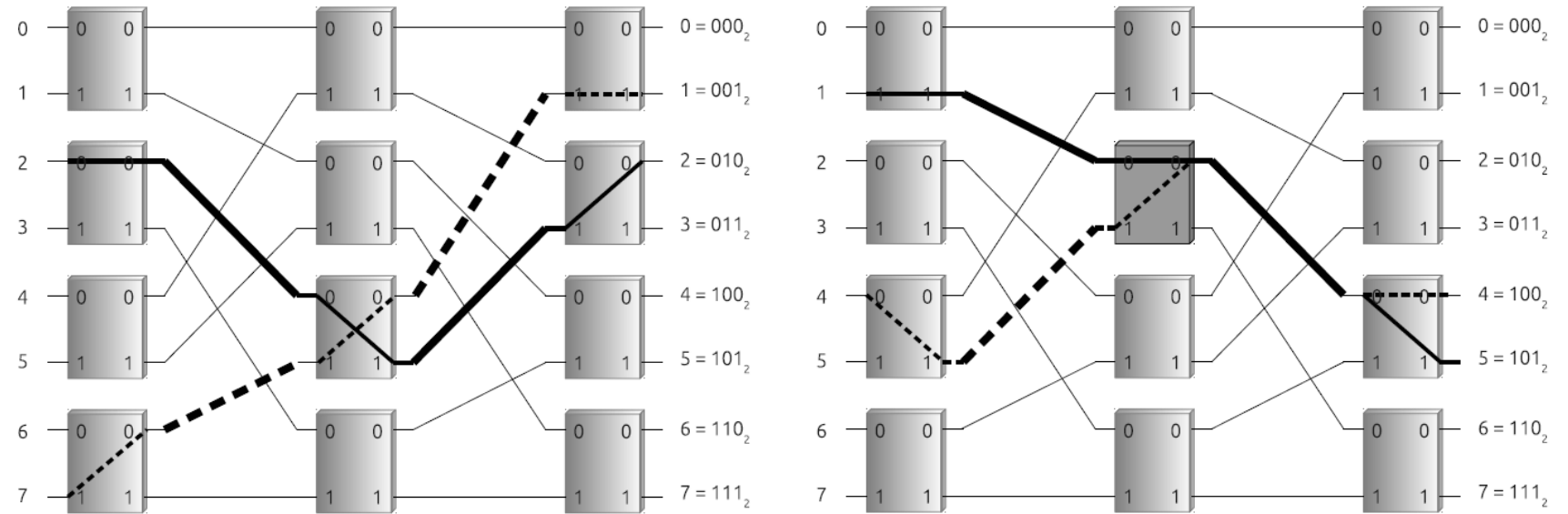
- Τα πιο συνηθισμένα παρά την εμποδιστικότητά τους, τα πιο οικονομικά
- Επιτρέπουν high-speed routing
- Συνήθης δομή:



Παράδειγμα: δυαδικό δίκτυο $2^3 \times 2^3$



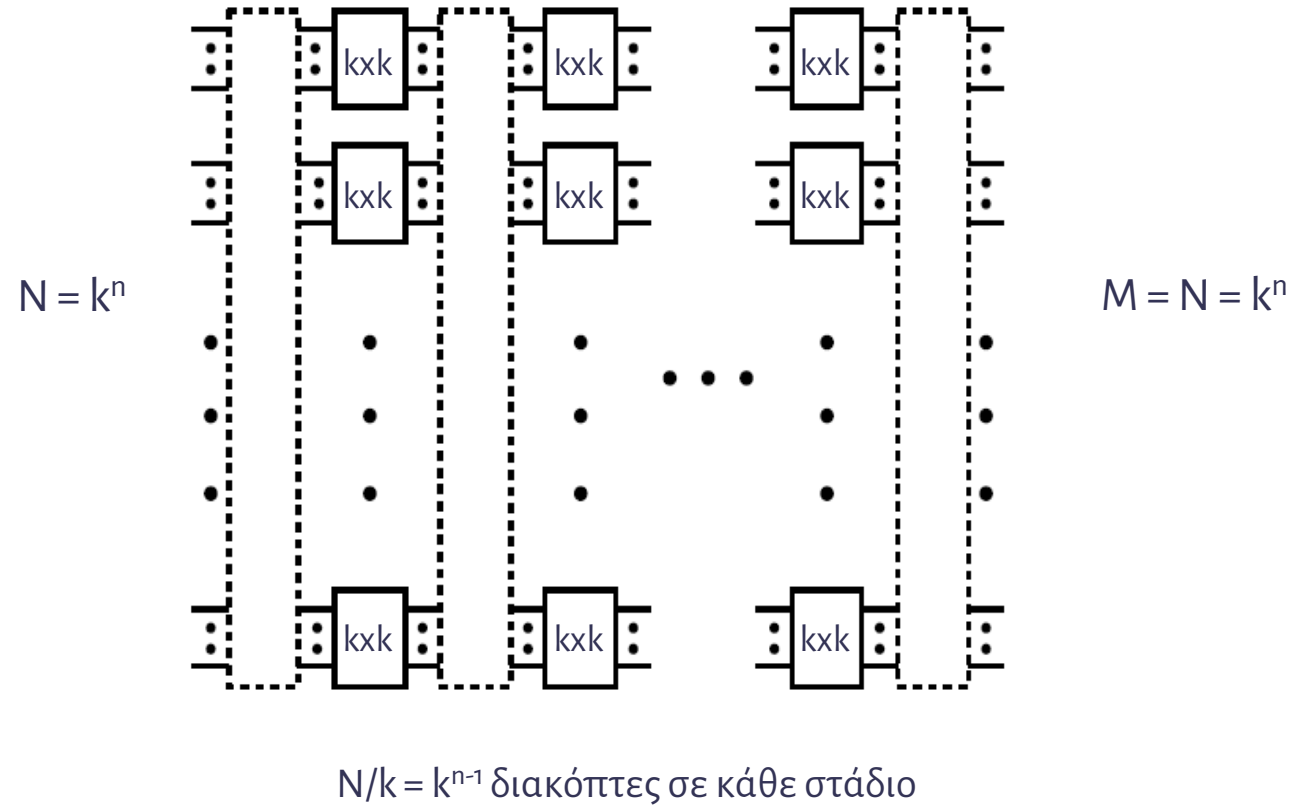
Παραδείγματα διαδρόμησης



Συνήθεις τύποι εμποδιστικών δικτύων

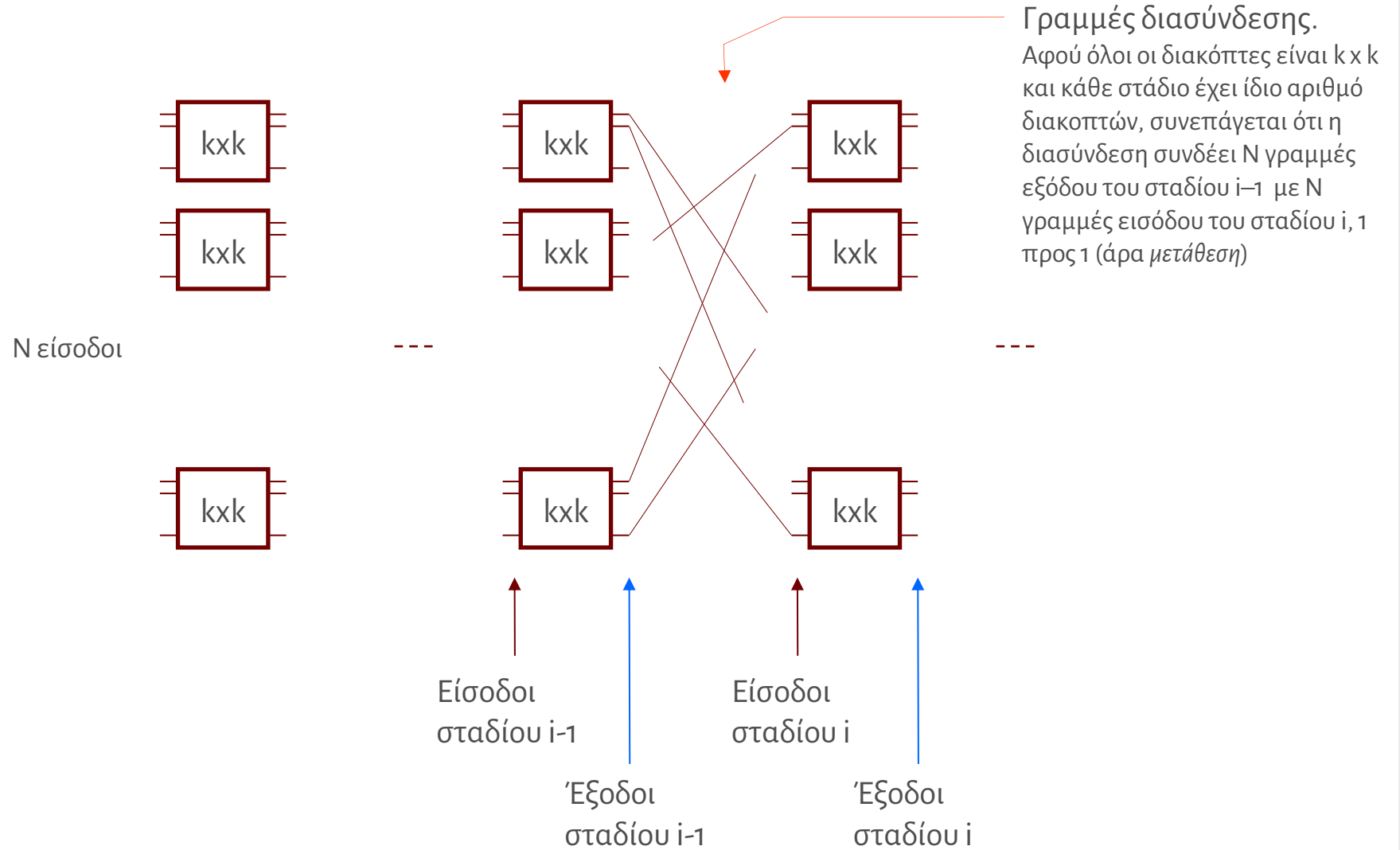
- Δίκτυα banyan
 - Υπάρχει **μοναδικό** μονοπάτι μεταξύ μίας εισόδου και μίας εξόδου τους
- Δίκτυα delta
 - Είναι banyan,
 - Όλοι οι διακόπτες του δικτύου είναι **ίδιοι** και
 - Η διαδρομή (σχηματισμός του μονοπατιού) μπορεί να γίνει γνωρίζοντας **μόνο τον προορισμό**, σε οποιοδήποτε στάδιο
- Συνήθως μιλάμε για *συμμετρικά ή τετράγωνα* δίκτυα, όπου
 - όλοι οι διακόπτες είναι $k \times k$
 - $\# \text{εισόδων} = N = M = \# \text{εξόδων} = k^n$.
 - Δυσადικά: $k = 2$.

Συμμετρικά δίκτυα banyan / delta



- Συνήθως $\Theta(n)$ στάδια
 - Άρα $\Theta(n \times (N/k)) = \Theta(N \log_k N)$ διακόπτες και άρα ανάλογο κόστος.

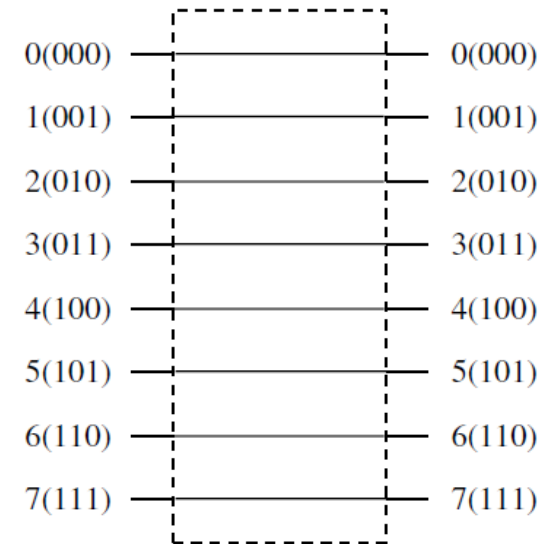
Στο στάδιο i



Διασυνδέσεις μεταξύ των σταδίων

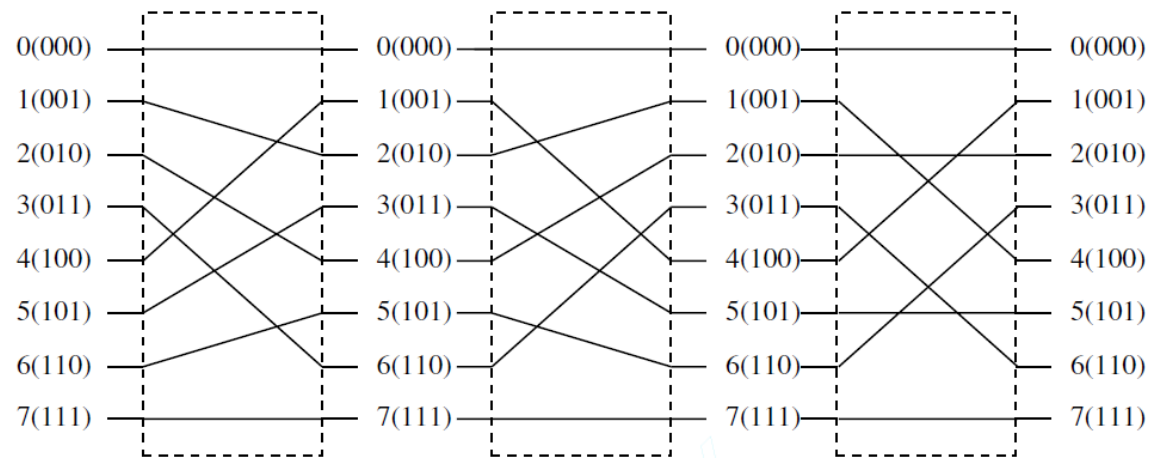
- Διαφορετικά δίκτυα δέλτα για διαφορετικές διασυνδέσεις ανάμεσα στα στάδια.
- Βασικές διασυνδέσεις προκύπτουν από βασικές και σημαντικές μεταθέσεις.
- Αριθμούμε τις γραμμές σε κάθε στάδιο από 0 έως $N-1$ (ως δεκαδικούς) ή από $(0,0, \dots, 0)$ έως $(k-1,k-1, \dots, k-1)$ (ως n -ψήφιους k -αδικούς)
- Συμβολίζουμε τη διασύνδεση στο στάδιο i με C_i .
 - τότε η έξοδος x του επιπέδου $i-1$ συνδέεται στην είσοδο y του σταδίου i , όπου $y = C_i(x)$.

C_i = identity
permutation



$$I_i(x) = x$$

C_i = shuffle,
inverse shuffle,
bit reversal



The *perfect k -shuffle permutation* σ^k is defined by

$$\sigma^k(X) = \left(kX + \left\lfloor \frac{kX}{N} \right\rfloor \right) \bmod N$$

$$\sigma^k(x_{n-1}x_{n-2} \dots x_1x_0) = x_{n-2} \dots x_1x_0x_{n-1}$$

The *inverse k -shuffle* is defined by:

$$\sigma^{k^{-1}}(x_{n-1}x_{n-2} \dots x_1x_0) = x_0x_{n-1} \dots x_2x_1$$

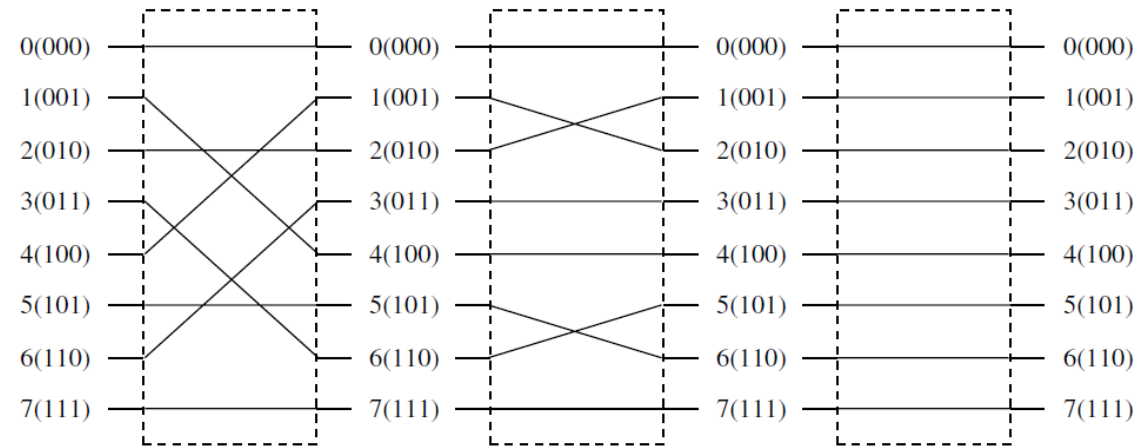
The *digit reversal permutation* ρ^k is defined by

$$\rho^k(x_{n-1}x_{n-2} \dots x_1x_0) = x_0x_1 \dots x_{n-2}x_{n-1}$$



$C_i = i$ -th butterfly permutation

(εξαρτάται από το στάδιο i)



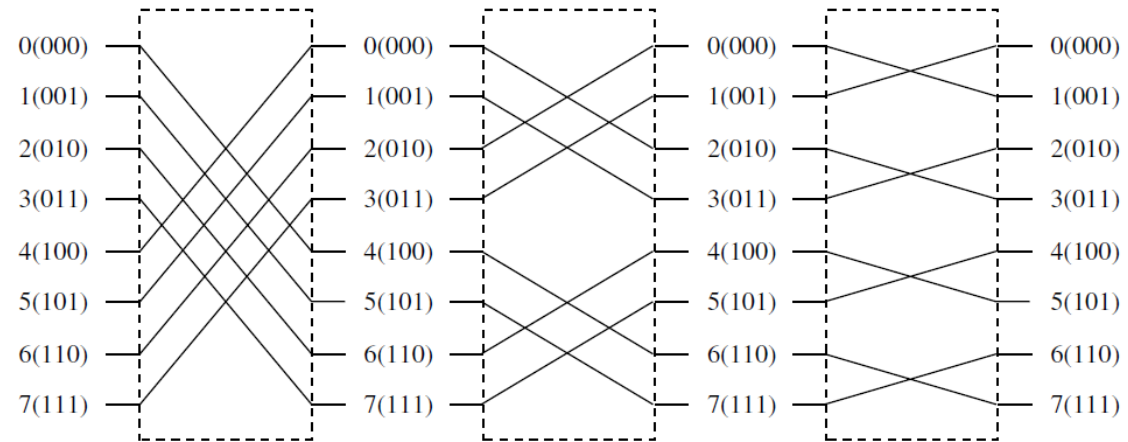
The i th k -ary butterfly permutation β_i^k , for $0 \leq i \leq n - 1$, is defined by

$$\beta_i^k(x_{n-1} \dots x_{i+1} x_i x_{i-1} \dots x_1 x_0) = x_{n-1} \dots x_{i+1} x_0 x_{i-1} \dots x_1 x_i$$

The i th butterfly permutation interchanges the zeroth and i th digits of the index.

C_i = i -th cube permutation

(εξαρτάται από το στάδιο i)



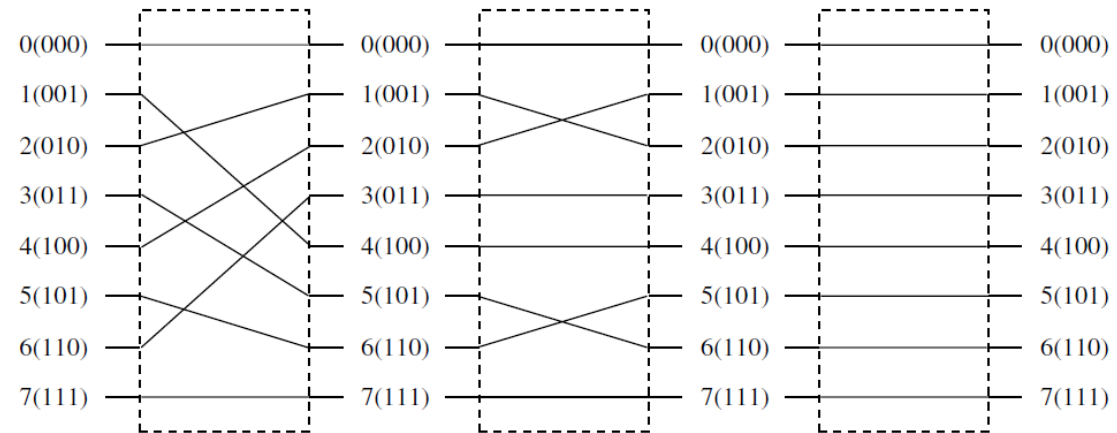
The i th cube permutation E_i , for $0 \leq i \leq n - 1$, is defined only for $k = 2$ by

$$E_i(x_{n-1} \dots x_{i+1} x_i x_{i-1} \dots x_0) = x_{n-1} \dots x_{i+1} \bar{x}_i x_{i-1} \dots x_0$$

The i th cube permutation complements the i th bit of the index.

C_i = i -th baseline permutation

(εξαρτάται από το στάδιο i)

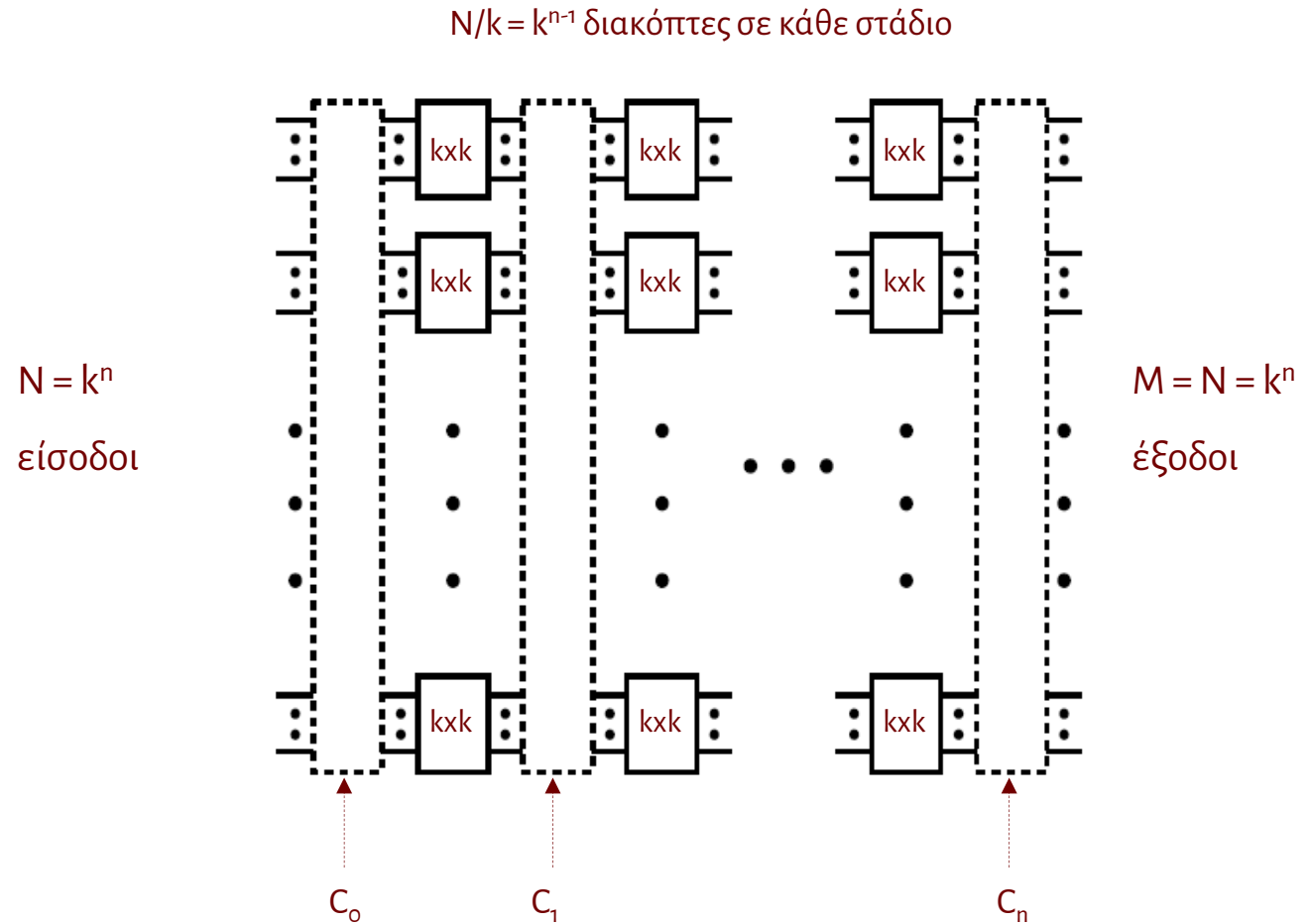


The i th k -ary baseline permutation δ_i^k , for $0 \leq i \leq n - 1$, is defined by

$$\delta_i^k(x_{n-1} \dots x_{i+1} x_i x_{i-1} \dots x_1 x_0) = x_{n-1} \dots x_{i+1} x_0 x_i x_{i-1} \dots x_1$$

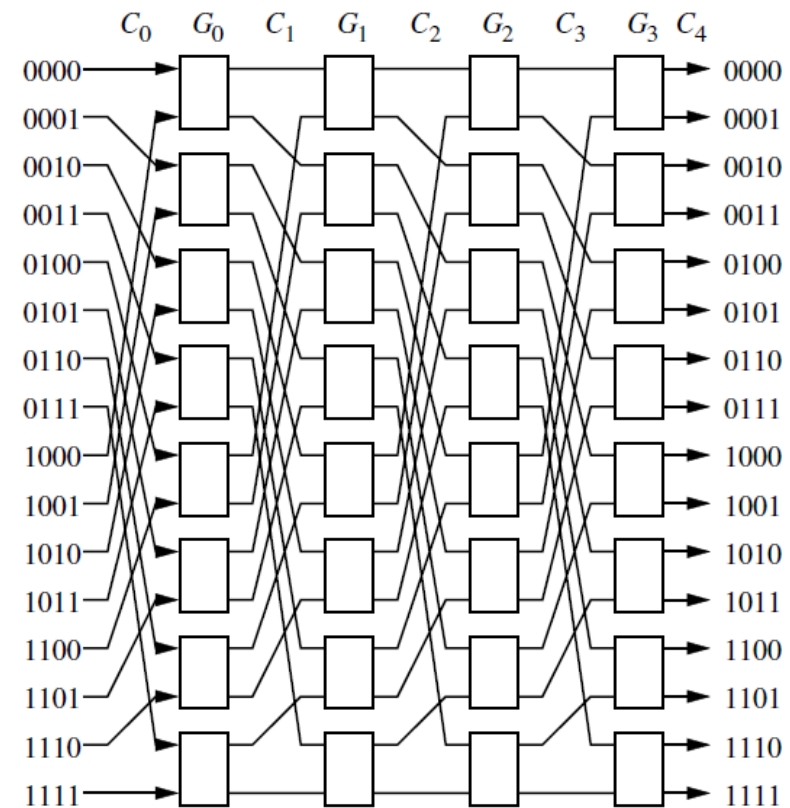
The i th baseline permutation performs a cyclic shifting of the $i + 1$ least significant digits

Δημοφιλή δίκτυα (τύπου Δέλτα)

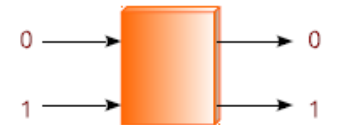
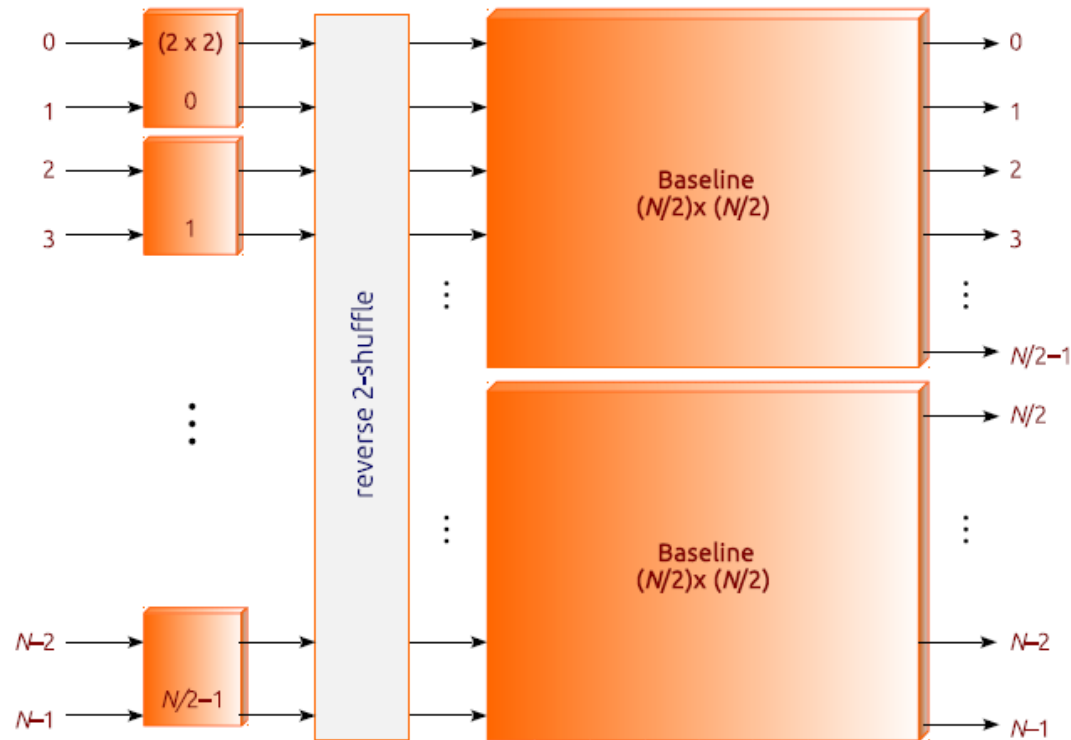


Δίκτυο Omega

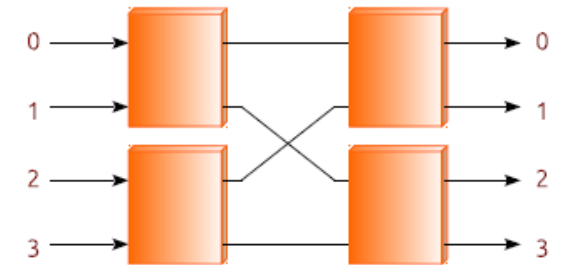
- Σε όλα τα στάδια, $C_i = \sigma$ (shuffle).
- Μετά το τελευταίο, τίποτε (δηλ. $C_n = I$)
- Αν το αντιστρέψουμε προκύπτει το *flip network*



Δυαδικό baseline: αναδρομικός και μη ορισμός



Baseline 2x2

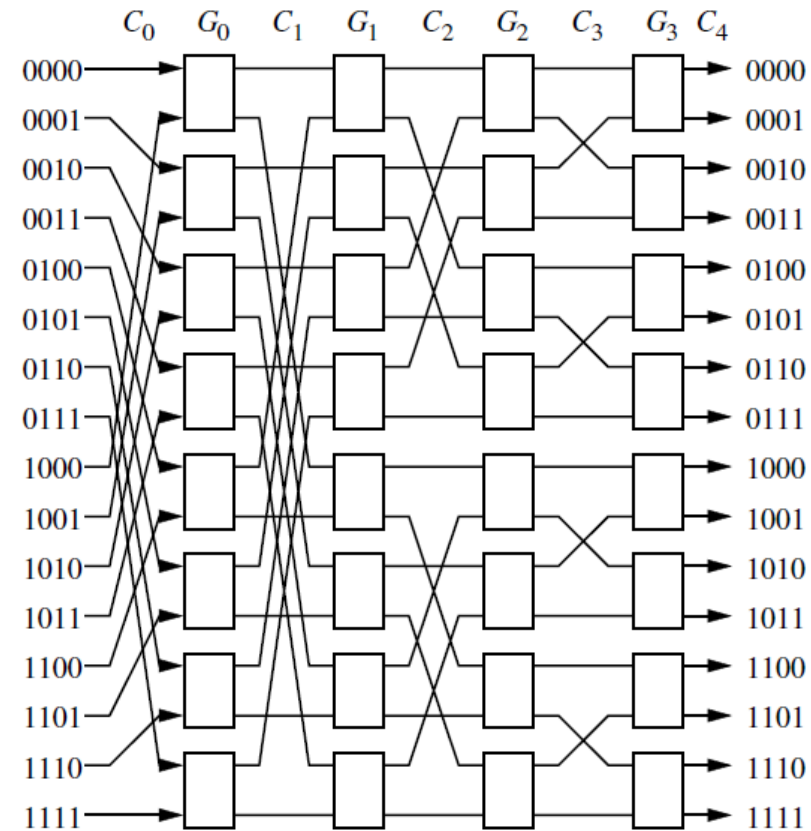


Baseline 4x4

- Ισοδύναμα (μη αναδρομικός):
 - $C_0 = I$
 - $C_i = \delta_{n-i}$ ((n-i)-baseline) για $i = 1, 2, \dots, n$

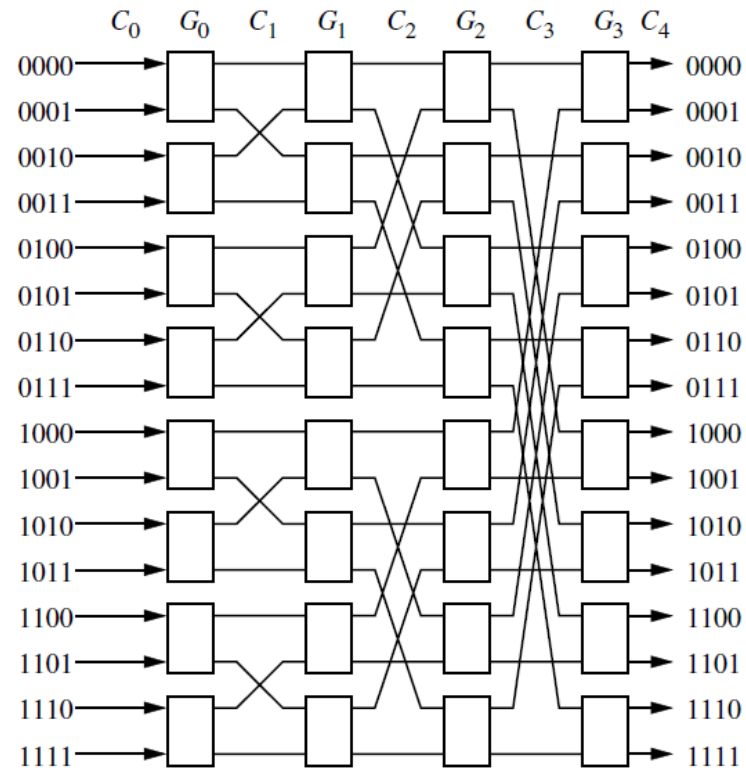
Δίκτυο multistage cube ή n-cube

- $C_0 = \sigma$ (shuffle).
- $C_i = \beta_{n-i}$ ((n-i)-butterfly) για $i = 1, 2, \dots, n$

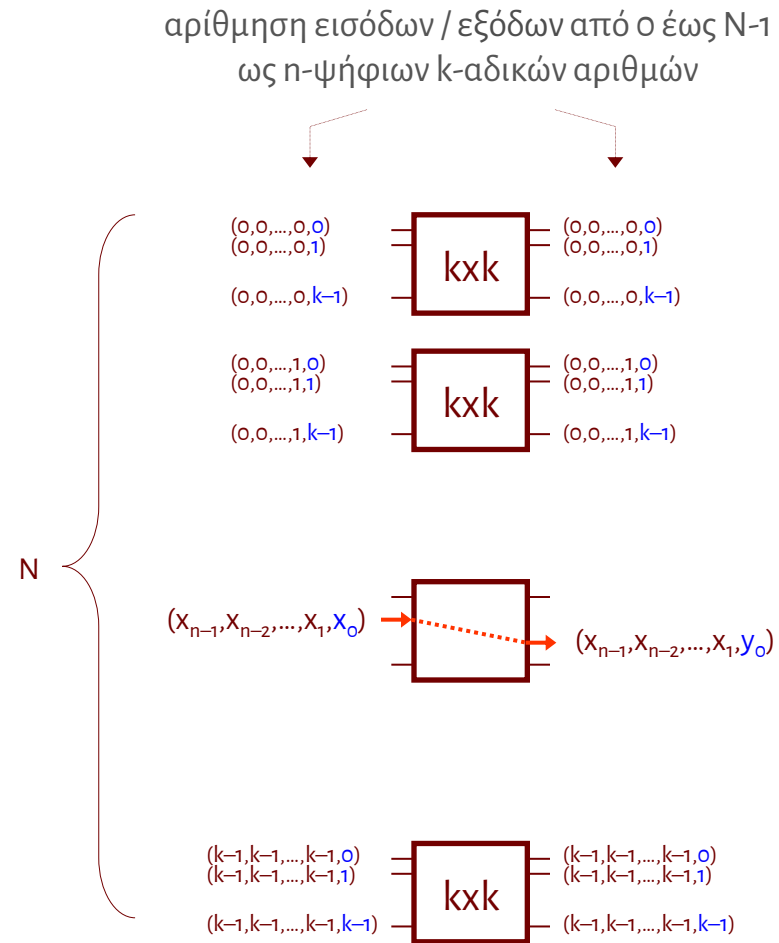


Δίκτυο butterfly (ή *SW-banyan* ή *indirect binary cube*)

- Για $i = 0, 1, \dots, n-1$, χρησιμοποιείται η i -οστή πεταλούδα, $C_i = \beta_i$
- Στο τέλος, $C_n = I$
- Αν το αντιστρέψουμε (και προσθέσουμε μία shuffle στην αρχή) προκύπτει το δίκτυο n -cube



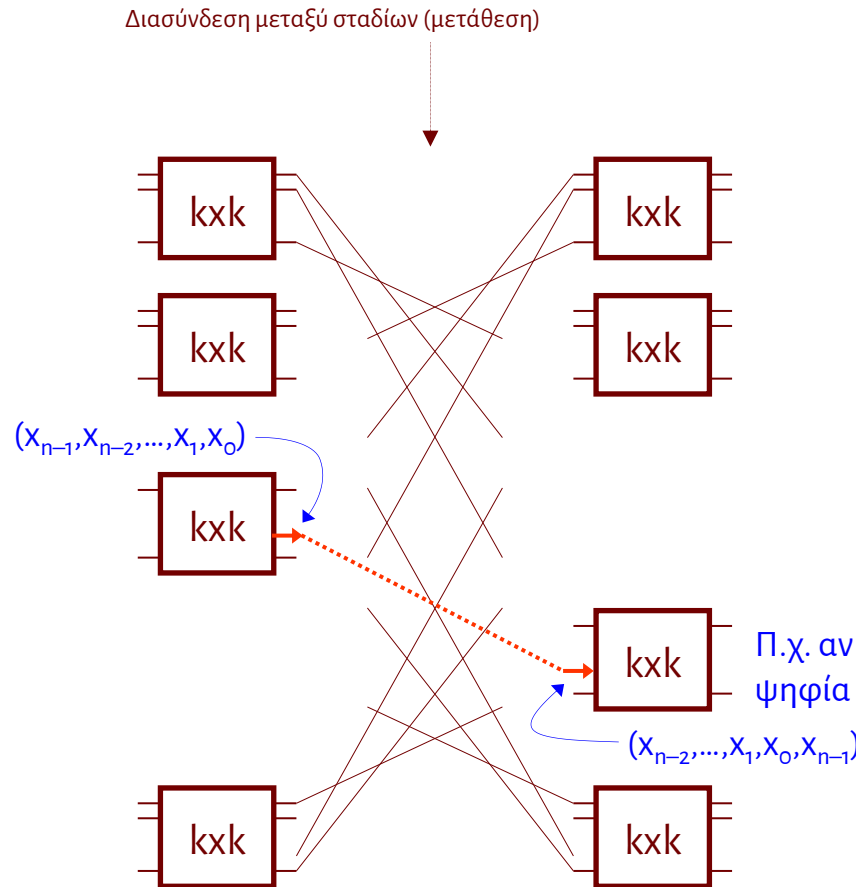
Τι συμβαίνει σε
ένα μονοπάτι ;



Επομένως, η διέλευση από ένα επίπεδο
διακοπών απλά

ΑΛΛΑΖΕΙ ΤΗΝ ΤΙΜΗ ΤΟΥ ΠΡΩΤΟΥ ΨΗΦΙΟΥ

Τι συμβαίνει σε
ένα μονοπάτι ;;



Επειδή η διασύνδεση μεταξύ των σταδίων στα banyan είναι μετάθεση n -ψήφιων k -αδικών αριθμών, η μεταφορά από την έξοδο ενός σταδίου στην είσοδο του επομένου

ΔΕΝ ΑΛΛΑΖΕΙ ΤΗΝ ΤΙΜΗ ΤΩΝ ΨΗΦΙΩΝ,
ΑΛΛΑΖΕΙ ΜΟΝΟ ΤΗ ΘΕΣΗ ΤΟΥΣ

Π.χ. αν η διασύνδεση είναι shuffle, τότε τα ψηφία περιστρέφονται μία θέση αριστερά

$(x_{n-2}, \dots, x_1, x_0, x_{n-1})$

Άρα σε ένα μονοπάτι:

- Αν ξεκινήσουμε από μία είσοδο δικτύου $x = (x_{n-1}, x_{n-2}, \dots, x_1, x_0)$ τότε:
 - Σε κάθε μεταφορά από το ένα στάδιο στο επόμενο, αλλάζει η θέση των ψηφίων
 - Κατά τη δίοδο από κάποιον διακόπτη ενός σταδίου, τροποποιείται το πρώτο (λιγότερο σημαντικό) ψηφίο.
- Πάνω σε αυτό στηρίζεται η διαδρομή στα δίκτυα αυτά
- Για αυτό και υπάρχουν n στάδια:
 - Διότι, για να συνδεθούμε με οποιαδήποτε έξοδο $y = (y_{n-1}, y_{n-2}, \dots, y_1, y_0)$ του δικτύου, θα πρέπει να «διορθωθούν» τα ψηφία του x ένα προς ένα και αφού σε 1 στάδιο διορθώνεται 1 ψηφίο, θέλουμε τουλάχιστον n στάδια.

Διαδρόμηση

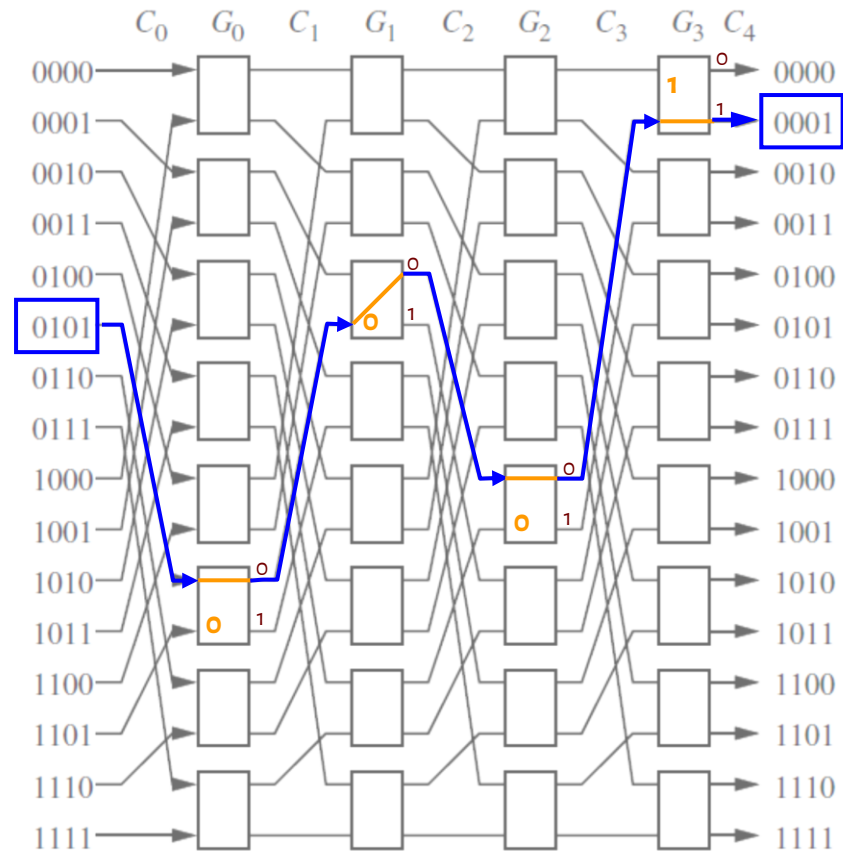
- Κατανεμημένα (self-routing networks)
- Κάθε διακόπτης που λαμβάνει αίτηση για σύνδεση με μία έξοδο του δικτύου $y = (y_{n-1}, y_{n-2}, \dots, y_1, y_0)$, αποφασίζει μόνος του (και ανεξάρτητα από πού του ήρθε η αίτηση) σε ποια από τις k εξόδους του θα την προωθήσει, ούτως ώστε τελικά να σχηματιστεί το (ένα και μοναδικό) μονοπάτι προς την y .

Γενικός κανόνας για διαδρόμηση σε όλα τα δίκτυα τύπου delta

- Ένας διακόπτης στο στάδιο i που λαμβάνει αίτηση για σύνδεση με την έξοδο του δικτύου $y = (y_{n-1}, y_{n-2}, \dots, y_1, y_0)$,
 1. Απομονώνει ένα μόνο ψηφίο από το y (έστω το y_j)
 2. Προωθεί την αίτηση στην p -οστή έξοδό του, όπου $p = y_j$.
- Το ποιο ψηφίο θα εξετάσει εξαρτάται από το δίκτυο.

Παράδειγμα: διαδρόμηση στο Omega

- Οι διακόπτες στο στάδιο i , χρησιμοποιούν το y_{n-1-i} .
- Π.χ. διαδρόμηση από 0101 σε **0001** ($y_3 = 0, y_2 = 0, y_1 = 0, y_0 = 1$)



Στα υπόλοιπα

-
-
-

(HW) για την μεθεπόμενη
*Ποιο bit προορισμού χρησιμοποιεί κάθε
διακόπτης στα υπόλοιπα δίκτυα;*

Όλα τα δίκτυα
τύπου delta είναι
«ισοδύναμα»!

- Τοπολογικά ισοδύναμα / ισομορφικά
- Λειτουργικά «σχεδόν» ισοδύναμα
 - Επιτρέπουν συνολικά τον ίδιο αριθμό από μεταθέσεις
 - Καθένα επιτρέπει διαφορετικές μεταθέσεις από το άλλο (λόγω της διαφορετικής σειράς «διόρθωσης» των ψηφίων)
 - Το omega και το n-cube ακριβώς τις ίδιες
 - Το baseline και το inverse baseline ακριβώς τις ίδιες

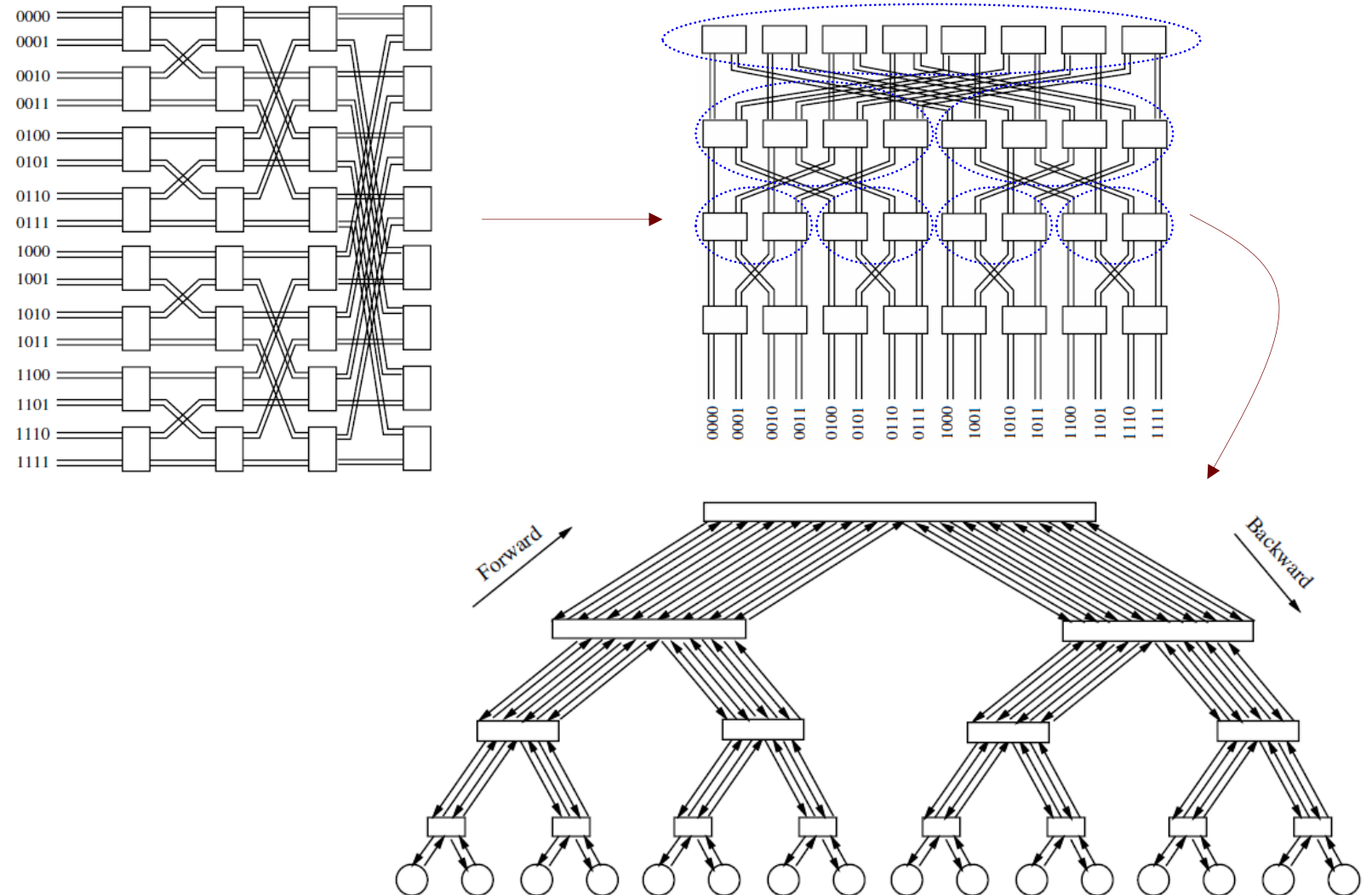
Άλλα παρόμοια δίκτυα

- Flip network
 - Barrel shifter
 - Modified data manipulator
 - Batcher merging networks (το bitonic merger είναι ο multistage n-cube)
 - Bitonic sorting network (χρησιμοποιεί ακολουθίες από διασυνδέσεις πεταλούδας και baseline)
 - ...
-
- Τα banyan / delta είναι τα δημοφιλέστερα λόγω του self-routing

Άλλα διακοπτικά δίκτυα

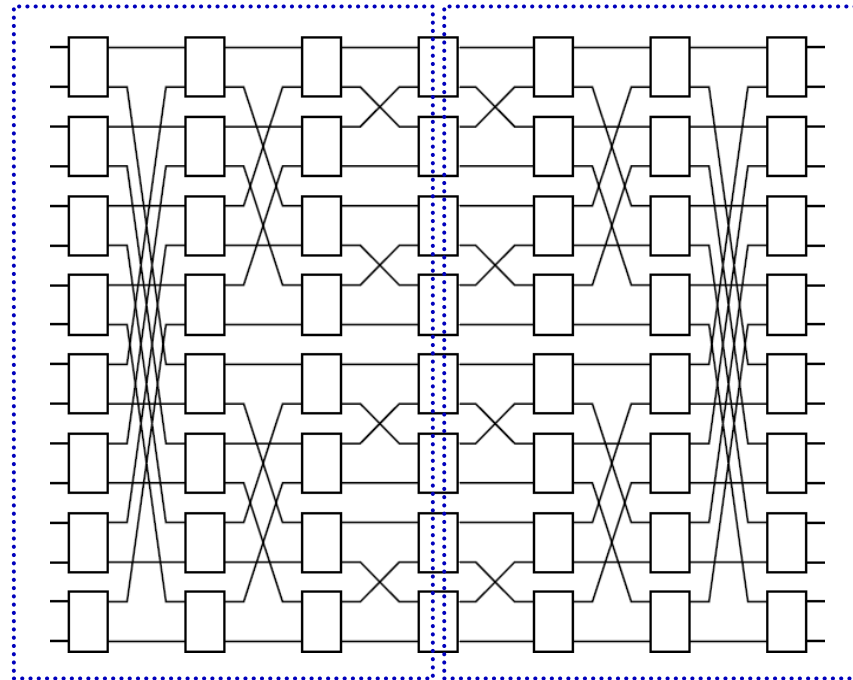
Fat trees

- Βασικά είναι δικατευθυντήριες πεταλούδες



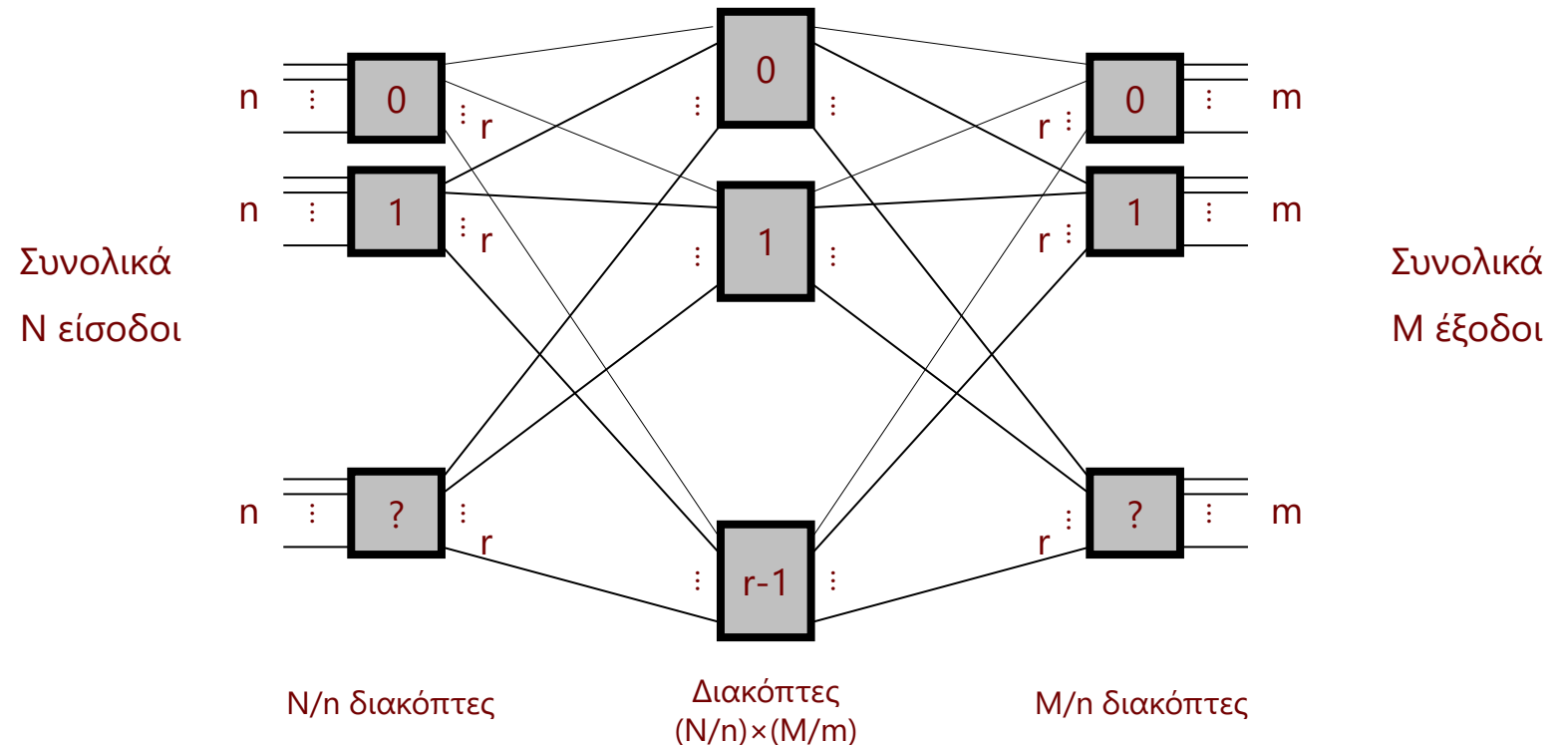
Δίκτυο Benes

- **Επαναδιατάξιμο (rearrangeable)**
- Πρόκειται για δύο πεταλούδες πλάτη με πλάτη (δηλ. μία αντίστροφη και μία κανονική)



Δίκτυα Clos N x M

- Αποτελούνται από 3 στάδια διακοπών, με πλήρη διασύνδεση μεταξύ των σταδίων
 - Στο πρώτο στάδιο έχει διακόπτες $n \times r$ (πόσους?)
 - Στο τρίτο στάδιο έχει διακόπτες $r \times m$ (πόσους?)
 - Στο δεύτερο στάδιο έχει r διακόπτες (είσοδοι x έξοδοι?)



Ιδιότητες

- Πόσες διαφορετικές διαδρομές υπάρχουν μεταξύ μίας εισόδου x και μίας εξόδου y ;
 - Απάντηση: r ,
αφού από το πρώτο επίπεδο μπορώ να πάω σε οποιονδήποτε από τους r μεσαίους διακόπτες (από τον οποίο συνδέομαι στον σωστό διακόπτη του τρίτου επιπέδου που περιλαμβάνει την έξοδο y).
- Δίκτυα Clos με 5 στάδια:
 - Αντικαθιστούμε κάθε διακόπτη στο μεσαίο στάδιο με δίκτυο Clos 3 επιπέδων
- Γενικεύοντας, με αυτόν τον αναδρομικό τρόπο, παίρνουμε δίκτυα Clos με k στάδια, όπου k περιττός
- Τα 3 στάδια είναι το συνηθισμένο.
- Το βέλτιστο κόστος τους είναι $\Theta(N^{3/2})$ και επιτυγχάνεται για $n = \Theta(N^{1/2})$.

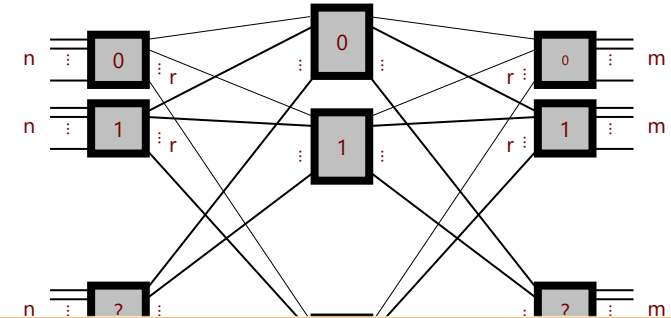
Μη εμποδιστικότητα των Clos

Θεώρημα του Clos

- Το δίκτυο Clos 3 επιπέδων είναι (αυστηρώς) μη εμποδιστικό αν και μόνο αν $r \geq n + m - 1$.

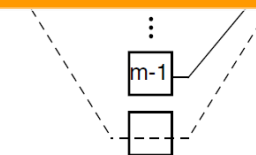
Απόδειξη:

Υποθέτοντας ότι είναι μη εμποδιστικό, τότε αν υπάρχει μία ασύνδετη είσοδος και μία ασύνδετη έξοδος (άρα υπάρχει χώρος για μία ακόμα σύνδεση), η σύνδεση θα μπορεί να ικανοποιηθεί. Έστω A_0



(HW) για την μεθεπόμενη
Ολοκληρώστε την απόδειξη

Το αντίστροφο είναι λίγο πιο εύκολο. ■

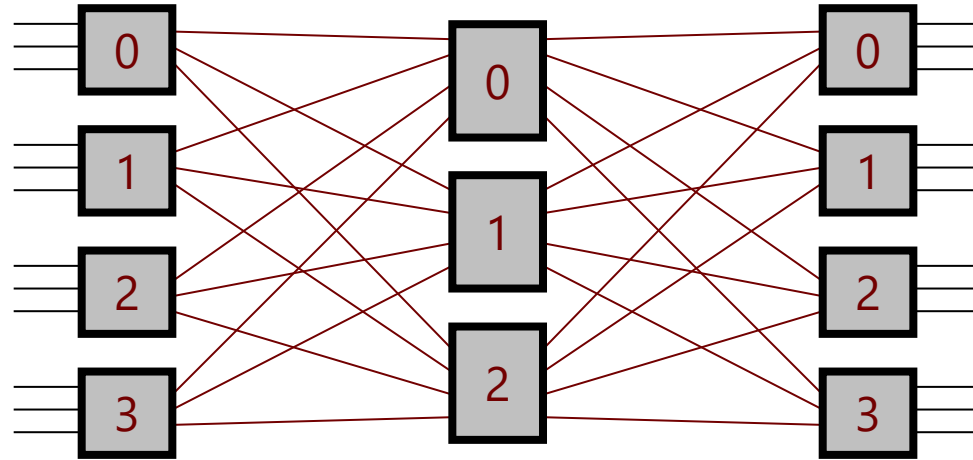


Επαναδιαταξι- μότητα των Clos

Θεώρημα Slepian-Duguid

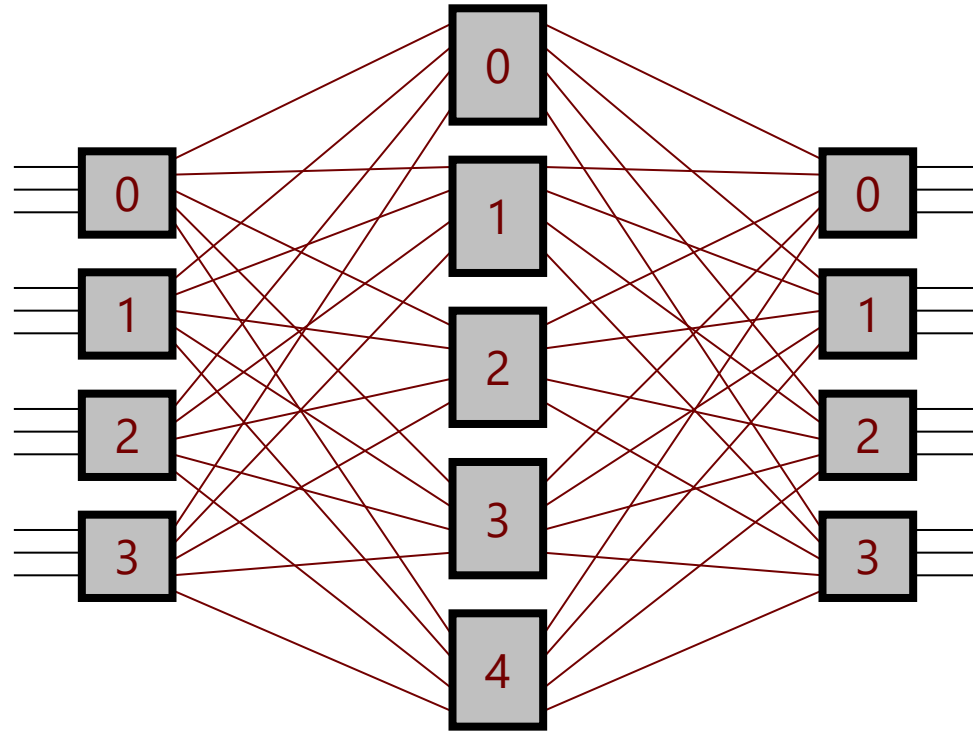
- Το δίκτυο Clos 3 επιπέδων είναι επαναδιατάξιμο αν και μόνο αν
 - $r \geq \max(n, m)$

Παράδειγμα Clos 1



- $n = m = 3, r = 3$ και άρα ΔΕΝ είναι μη εμποδιστικό, είναι επαναδιατάξιμο, όμως

Παράδειγμα Clos 2



- $n = m = 3, r = 5 = (n+m-1)$ και άρα ΕΙΝΑΙ μη εμποδιστικό