

ΣΧΕΔΙΑΣΗ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ ΓΙΑ ΥΨΗΛΗ ΤΑΧΥΤΗΤΑ ΚΑΙ ΧΑΜΗΛΗ ΚΑΤΑΝΑΛΩΣΗ

Η
ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ

Υποβάλλεται στην

ορισθείσα από την Γενική Συνέλευση Ειδικής Σύθεσης
του Τμήματος Πληροφορικής
Εξεταστική Επιτροπή

από την

Μαρία Χαλκιά

ως μέρος των Υποχρεώσεων

για τη λήψη

του

ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΣΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ

ΜΕ ΕΞΕΙΔΙΚΕΥΣΗ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ-ΕΦΑΡΜΟΓΕΣ

Ιούνιος 2010

ΑΦΙΕΡΩΣΗ

Στους γονείς μου Σωτήρη και Αποστολία, και στον αδερφό μου Αλέξανδρο με αγάπη.

ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω θερμά τον κ. Τσιατούχα Γεώργιο, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων, για τη συνεχή και εποικοδομητική επίβλεψη του μεταπτυχιακού μου, καθώς και για την υπομονή του. Επίσης, θα ήθελα να ευχαριστήσω τον κ. Καβουσιανό Χρυσοβαλάντη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων, και τον κ. Τενέντε Βασίλη, διδάκτορα του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων, για τη παροχή των διανυσμάτων ελέγχου για τα IWLS κυκλώματα. Τέλος, ευχαριστώ τους γονείς μου και τον αδελφό μου για τη βοήθεια και την αγάπη τους.

ΠΕΡΙΕΧΟΜΕΝΑ

	Σελ
ΑΦΙΕΡΩΣΗ	ii
ΕΥΧΑΡΙΣΤΙΕΣ	iii
ΠΕΡΙΕΧΟΜΕΝΑ	iiv
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ	vi
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ	viii
ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ	x
ΠΕΡΙΛΗΨΗ	xii
EXTENDED ABSTRACT IN ENGLISH	xiv
ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ	1
1.1 Στόχοι	
1.2 Δομή της Διατριβής	
ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΕΣ ΕΛΕΓΧΟΥ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ	3
2.1 Η Σημασία του Ελέγχου Ορθής Λειτουργίας των Ολοκληρωμένων Κυκλωμάτων	
2.2 Σειριακή Σάρωση	10
2.2.1 Αρχιτεκτονικές Σάρωσης	11
2.2.1.1 Η Σχεδίαση Σάρωσης Πολυπλεγμένου D Flip-Flop (Muxed D)	11
2.2.1.2 Η Σχεδίαση Σάρωσης Καθοδηγούμενη από τη Στάθμη Σήματος (Level Sensitive Scan Design - LSSD)	14
2.2.2 Αρχιτεκτονικές Σάρωσης Χαμηλής Κατανάλωσης	16
2.2.2.1 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση Τάσης	17
2.2.2.2 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση Συχνότητας	17
2.2.2.3 Αρχιτεκτονική Χαμηλής Κατανάλωσης Πολλαπλών Φάσεων και Πολλαπλών Δράσεων	17
2.2.2.4 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Ταίριασμα Εύρους Ζώνης (Bandwidth-Matching)	18
2.2.2.5 Αρχιτεκτονική Χαμηλής Κατανάλωσης με Απομόνωση των Δεδομένων (Data Gating)	19
2.2.2.6 Αρχιτεκτονική Χαμηλής Κατανάλωσης με Flip-Flop Κατακράτησης	20
2.2.3 Αρχιτεκτονικές Σάρωσης για Έλεγχο στην Ταχύτητα Λειτουργίας (At- Speed Scan Testing)	21
2.2.4 Αρχιτεκτονικές Σάρωσης Πολλαπλών Αποδεκτών (Broadcast Scan Testing)	22
2.2.4.1 Σάρωση Πολλαπλών Αποδεκτών	22
2.3. Ενσωματωμένος Αυτοέλεγχος	25
2.3.1. BIST Αρχιτεκτονικές Προσανατολισμένες στην Κάλυψη Σφαλμάτων	27

2.3.1.1 Παραγωγή Διανυσμάτων με Βάρη	28
2.3.1.2 Εισαγωγή Σημείου ελέγχου	28
2.3.1.3 Μεικτό BIST	31
2.3.1.4 Υβριδικό BIST	33
2.3.1.5 Αυτοέλεγχος Χρησιμοποιώντας MISRs και Παράλληλους SRSG	34
2.4. Περιφερειακή Σάρωση	35
2.4.1. IEEE 1149.1 Standard	35
2.4.2. IEEE 1500 Standard	38
ΚΕΦΑΛΑΙΟ 3. ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ ΣΕΙΡΙΑΚΗΣ ΣΑΡΩΣΗΣ	42
3.1 Αρχιτεκτονική Πολλαπλών Αλυσίδων Σάρωσης για τη Μείωση της Απώλειας σε Ισχύ και σε Χρόνο Ελέγχου	42
3.2 Αρχιτεκτονική Σάρωσης Illinois με Πολλαπλές Δομές για Μείωση του Χρόνου Εφαρμογής του Ελέγχου και του Όγκου των Δεδομένων Ελέγχου	45
3.3 Εικονικές Αλυσίδες Σάρωσης: Ένας Τρόπος Μείωσης του Μήκους της Αλυσίδας Σάρωσης στους Πυρήνες	46
3.4 Αρχιτεκτονική Σάρωσης με Ενεργοποίηση Αμοιβαία Αποκλειόμενων Τμημάτων Σάρωσης για Μείωση της Καταναλισκόμενης Ισχύος κατά την Ολίσθηση και τη Δέσμευση των Αποκρίσεων	48
3.5 Αρχιτεκτονική Σάρωσης Δύο Σταδίων για Χαμηλής Κατανάλωσης Έλεγχου με Μείωση της Καθυστέρησης Μετάδοσης	49
3.6 Σάρωση Άλματος: Αρχιτεκτονική Σάρωσης για Χαμηλής Κατανάλωσης Έλεγχου	51
ΚΕΦΑΛΑΙΟ 4. ΤΕΧΝΙΚΗ ΣΧΕΔΙΑΣΗΣ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ ΥΨΗΛΗΣ ΤΑΧΥΤΗΤΑΣ ΚΑΙ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ	53
4.1 Η Προτεινόμενη Τεχνική Σχεδίασης Αλυσίδων Σάρωσης	53
4.2 Λειτουργία για Αιτιοκρατικό Έλεγχο	61
4.3 Λειτουργία για Ψευδοτυχαίο Έλεγχο	64
4.4 Λειτουργία για Έλεγχο Χαμηλής Κατανάλωσης	68
4.5 Κάλυψη Σφαλμάτων	69
ΚΕΦΑΛΑΙΟ 5. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ	72
5.1 Πειραματική Διάταξη Επαλήθευσης	72
5.2 Πειραματικά Αποτελέσματα	74
5.3 Ανάλυση Αποτελεσμάτων	81
ΚΕΦΑΛΑΙΟ 6. ΣΥΜΠΕΡΑΣΜΑΤΑ	102
ΑΝΑΦΟΡΕΣ	104
ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ	109

ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

Πίνακας	Σελ
Πίνακας 5.1 Πληροφορίες σχετικά με τα ISCAS '89 κυκλώματα	77
Πίνακας 5.2 Πληροφορίες σχετικά με τα IWLS'05 κυκλώματα	78
Πίνακας 5.3 Κόστος επιφάνειας υλοποίησης, σε αριθμό μοναδιαίων τρανζίστορ, των χρησιμοποιούμενων πυλών στα κυκλώματα αναφοράς	79
Πίνακας 5.4 Πειραματικά Αποτελέσματα για τα ISCAS'89 κυκλώματα	84
Πίνακας 5.5 Πειραματικά Αποτελέσματα για τα IWLS'05 Κυκλώματα με Ασυμπιεστα Διανύσματα Ελέγχου	85
Πίνακας 5.6 Πειραματικά Αποτελέσματα για τα IWLS'05 Κυκλώματα με Συμπιεσμένα Διανύσματα Ελέγχου	89

ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

Σχήμα	Σελ
Σχήμα 2.1 Κόστος κατασκευής έναντι κόστους ελέγχου ανά τρανζίστορ	5
Σχήμα 2.2 Καμπύλη αποτυχίας ενός κυκλώματος	9
Σχήμα 2.3 Παράδειγμα Ακολουθιακού Κυκλώματος	11
Σχήμα 2.4 (α) Mixed D Κύτταρο Σάρωσης και (β) Mixed D Σχεδίαση Σάρωσης	12
Σχήμα 2.5 Ακολουθίες Ενεργειών Ελέγχου Κατά τη Σάρωση	13
Σχήμα 2.6 Latch Καταχωρητής Ολίσθησης (Shift Register Latch-SRL)	15
Σχήμα 2.7 (α) LSSD Σχεδίαση Μονού Latch και (β) LSSD Σχεδίαση Διπλού Latch	
Σχήμα 2.8 Αρχιτεκτονική Χαμηλής Κατανάλωσης Πολλαπλών Φάσεων ή Πολλαπλών Εργασιών	18
Σχήμα 2.9 Αρχιτεκτονική Χαμηλής Κατανάλωσης με Ταίριασμα Εύρους Ζώνης	19
Σχήμα 2.10 Χαμηλή Κατανάλωση με Απομόνωση Δεδομένων Ελέγχου (α) Αρχική Τοπολογία και (β) Τοπολογία με Χρήση Πύλης NOR	20
Σχήμα 2.11 Χαμηλή Κατανάλωση με τη Χρήση Μανδαλωτή	20
Σχήμα 2.12 Οι Δυο Βασικές Τεχνικές Ελέγχου στην Ταχύτητα Λειτουργίας (α) Εφαρμογή Δεδομένων κατά τη Φάση Ολίσθησης και (β) Εφαρμογή Δεδομένων κατά τη Φάση Σύλληψης	22
Σχήμα 2.13 Η Μέθοδος Πολλαπλών Αποδεκτών σε Αλυσίδες Σάρωσης που Οδηγούν Ανεξάρτητα Κυκλώματα	23
Σχήμα 2.14 Οι Δυο Τρόποι Λειτουργίας της Illinois Αρχιτεκτονικής (α) Σάρωση Πολλαπλών Αποδεκτών και (β) Σειριακή Σάρωση	25
Σχήμα 2.15 Ένα Τυπικό Σύστημα Λογικού BIST	27
Σχήμα 2.16 Παράδειγμα LFSR με Βάρη	28
Σχήμα 2.17 (α) Σημείο Ελέγχου με Πολυπλέκτη και (β) Σημείο Ελέγχου με Πύλες AND-OR	29
Σχήμα 2.18 Παράδειγμα Εισαγωγής Σημείων Ελέγχου (α) για Ένα Ανθεκτικό σε Ψευδο-τυχαία Διανύσματα stuck-at-0 Σφάλμα στην Έξοδο και (β) Παράδειγμα Εισερχόμενων Σημείων Ελέγχου	30
Σχήμα 2.19 Επαναρχικοποίηση με ένα LFSR Πολλαπλών Πολυωνύμων	32
Σχήμα 2.20 Bit-Flipping BIST	33
Σχήμα 2.21 STUMPS	35
Σχήμα 2.22 Βασισμένη σε STUMPS Αρχιτεκτονική	35
Σχήμα 2.23 (α) Υλοποίηση περιφερειακής σάρωσης και (β) διάγραμμα καταστάσεων του TAP ελεγκτή	36
Σχήμα 2.24 Κύτταρο Περιφερειακής Σάρωσης (BSC) και Τρόποι Λειτουργίας	38
Σχήμα 2.25 Μια γενική αρχιτεκτονική ενός συστήματος κατά το πρότυπο IEEE 1500	39
Σχήμα 2.26 Ένας πυρήνας με το IEEE 1500 κολάρο	40

Σχήμα 3.1 Ένα Test Cube και η Απόκρισή του Πριν και μετά την Ανακατανομή	43
Σχήμα 3.2 Το Διαιρεμένο Test Cube Εισόδου και η Απόκρισή του μετά την Ανακατανομή	44
Σχήμα 3.3 α. Scan Αρχιτεκτονική β. Προτεινόμενη Scan Αρχιτεκτονική	45
Σχήμα 3.4 Οι Τέσσερις Επαναδιατάξεις της Αρχιτεκτονικής MILS	46
Σχήμα 3.5 Εικονική Αλυσίδα Σάρωσης με $p+q+2$ Bits	48
Σχήμα 3.6 Scan Αρχιτεκτονική με Αμοιβαίως Αποκλειόμενη Ενεργοποίηση των Τμημάτων της Αλυσίδας Σάρωσης	49
Σχήμα 3.7 Αρχιτεκτονική Σάρωσης Δύο Σταδίων	50
Σχήμα 3.8 Δομή του J-scan Flip-flop	51
Σχήμα 3.9 Αλυσίδα ‘Άλματος’	52
Σχήμα 3.10 Κυματομορφές της Τυπικής Ολισθήσης και της J-scan Ολισθήσης	52
Σχήμα 4.1 (α) Τυπική Αλυσίδα Σάρωσης και (β) Αλυσίδα Σάρωσης της Προτεινόμενης Τεχνικής	54
Σχήμα 4.2 Ζεύγος Κελιού Υποστήριξης και Κελιού Φύλλου	56
Σχήμα 4.3 Αλυσίδα Υποστήριξης και Κελιά Φύλλα	56
Σχήμα 4.4 Κανονική Λειτουργία	57
Σχήμα 4.5 Αρχικοποίηση της Αλυσίδας Σάρωσης	57
Σχήμα 4.6 Εισαγωγή του Διανύσματος Ελέγχου	58
Σχήμα 4.7 Παράλληλη Εισαγωγή Τιμών στα Κελιά Φύλλα	59
Σχήμα 4.8 Δέσμευση των αποκρίσεων	60
Σχήμα 4.9 Εξαγωγή Αποκρίσεων	60
Σχήμα 4.10 Πλήρης Αιτιοκρατικός Έλεγχος	61
Σχήμα 4.11 Αιτιοκρατικός Έλεγχος	63
Σχήμα 4.12 Ψευδοτυχαίος Έλεγχος ($n-k+1$ ολισθήσεις)	65
Σχήμα 4.13 Ψευδοτυχαίος Έλεγχος ($n-k$ ολισθήσεις)	67
Σχήμα 4.14 Έλεγχος Χαμηλής Κατανάλωσης	69
Σχήμα 5.1 Πειραματική Διάταξη με Υλοποίηση της Προτεινόμενης Τεχνικής	73
Σχήμα 5.2 Προσομοίωση της Προτεινόμενης Τεχνικής κατά την Εισαγωγή του Διανύσματος Εισόδου και την Παράλληλη Φόρτωση των Κελιών Φύλλων	74
Σχήμα 5.3 Προσομοίωση κατά τη Δέσμευση και Εξαγωγή των Αποκρίσεων	74
Σχήμα 5.4 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων και Ποσοστιαίας Επιβάρυνσης Υλοποίησης στα ISCAS κυκλώματα	93
Σχήμα 5.5 Ποσοστιαίο Κέρδος Ολισθήσεων για κάθε Κύκλωμα ISCAS	93
Σχήμα 5.6 Ποσοστιαία Επιβάρυνση Υλοποίησης για κάθε Κύκλωμα ISCAS	94
Σχήμα 5.7 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στις Μη Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου στα IWLS Κυκλώματα	94
Σχήμα 5.8 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στις Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων στα IWLS Κυκλώματα	95
Σχήμα 5.9 Μέση Ποσοστιαία Επιβάρυνση Επιφάνειας Υλοποίησης για τα IWLS Κυκλώματα	95
Σχήμα 5.10 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)	96
Σχήμα 5.11 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών	

(Μη Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)	96
Σχήμα 5.12 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)	97
Σχήμα 5.13 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)	97
Σχήμα 5.14 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στα IWLS Κυκλώματα (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)	98
Σχήμα 5.15 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στα IWLS Κυκλώματα (Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)	98
Σχήμα 5.16 Μέση Τιμή Ποσοστιαίας Επιβάρυνσης Υλοποίησης για τα IWLS Κυκλώματα	99
Σχήμα 5.17 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)	99
Σχήμα 5.18 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)	100
Σχήμα 5.19 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)	100
Σχήμα 5.20 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)	101
Σχήμα 5.21 Ποσοστιαία Επιβάρυνση Υλοποίησης για κάθε Κύκλωμα IWLS	101

ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ

DFT: σχεδιασμός ικανός για έλεγχο-Design for Testability

SOC: σύστημα σε ολοκληρωμένο - System-on-Chip

SIP: σύστημα σε πακέτο – System in Package

CMOS: Complementary Metal Oxide Semiconductor

VLSI: πολύ μεγάλης κλίμακας ολοκλήρωσης – Very Large Scale Integration

BIST: ενσωματωμένος αυτοέλεγχος – Built In Self Test

SIA: Ένωση των Βιομηχανιών Ημιαγωγών - Semiconductor Industry Association

ITRS: Διεθνής Τεχνολογικός Οδηγός για Ημιαγωγούς - International Technology Roadmap for Semiconductors

DFM: σχεδιασμός αποδοτικής κατασκευής - Design for Manufacturability

DFY: σχεδιασμός για απόδοση - Design for Yield

FMA: μέθοδος ανάλυσης αποτυχίας - Failure Mode Analysis

DL: ποσοστό ελαττωματικών κυκλωμάτων - Defect Level

FC: κάλυψη σφαλμάτων – Fault Coverage

PPM: ολοκληρωμένα ανά εκατομμύριο - Parts Per Million

LSSD: Level Sensitive Scan Design

TDDM: αποπλέκτης χρονικού διαμοιρασμού - Time Division Demultiplexer

TDM: πολυπλέκτης χρονικού διαμοιρασμού - Time Division Multiplexer

ATPG: Αυτόματης Παραγωγής Διανυσμάτων Ελέγχου – Automatic Test Pattern Generation

MISR: καταχωρητής ολίσθησης πολλαπλών εισόδων – Multiple Input Shift Register

TPG: γεννήτορας διανυσμάτων ελέγχου - Test Pattern Generator

CUT: κύκλωμα υπό έλεγχο – Circuit Under Test

ORA: αναλυτής των αποκρίσεων των εξόδων - Output Response Analyzer

LFSR: Καταχωρητής Ολίσθησης Γραμμικής Ανάδρασης - Linear Feedback Shift Register

PRPG: γεννήτορας ψευδο-τυχαίων διανυσμάτων - Pseudo-Random Pattern Generator

ROM: μνήμη μόνο για ανάγνωση - Read-Only-Memory

MP LFSR: LFSR πολλαπλών πολυωνύμων - multiple polynomial LFSR

SRSG: γεννήτορας ακολουθίας με παράλληλο καταχωρητή ολίσθησης - Parallel Shift Register Sequence Generator

STUMPS: αυτοέλεγχος χρησιμοποιώντας MISR και παράλληλο SRSG - Self-Testing Using MISR and Parallel SRSG

TAP: θύρας πρόσβασης ελέγχου - Test Access Port

FPGAs: Field Programmable Gate Arrays

FSM: μηχανή πεπερασμένων καταστάσεων - Finite State Machine

BSC: κύτταρο περιφερειακής σάρωσης - Boundary Scan Cell

PCB: Printed Circuit Board

TAM: μηχανισμός ελέγχου πρόσβασης - Test Access Mechanism

WSP: Wrapper Serial Port

WSI: Wrapper Serial Input

WSO: Wrapper Serial Output

WSC: Wrapper Serial Control

WIR: Wrapper Instruction Register

WBR: Wrapper Boundary Register

WBY: Wrapper Bypass Register

WBC: Wrapper Boundary Cell

WPC: Wrapper Parallel Control

WPI: Wrapper Parallel Input

WPO: Wrapper Parallel Output

\oplus : XOR

$$\text{XOR}_{i=1}^k y_i = y_1 \oplus \dots \oplus y_k$$

ΠΕΡΙΛΗΨΗ

Μαρία Χαλκιά του Σωτηρίου και της Αποστολίας,
MSc, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων,
Μήνας Αποφοίτησης, Ιούνιος 2010.
Σχεδίαση Αλυσίδων Σάρωσης για Υψηλή Ταχύτητα και Χαμηλή Κατανάλωση.
Επιβλέποντας: Γεώργιος Τσιατούχας.

Καθώς αυξάνονται το μέγεθος και η πολυπλοκότητα των ψηφιακών συστημάτων, οι δομημένοι σχεδιασμοί για ικανότητα ελέγχου ορθής λειτουργίας (design for testability-DFT) αποκτούν όλο και περισσότερη αποδοχή. Σύμφωνα με τον πρόσφατο ITRS οδηγό (International Technology Roadmap for Semiconductors) του 2009, η μείωση του χρόνου που απαιτείται για την εφαρμογή του ελέγχου της ορθής λειτουργίας στα ολοκληρωμένα κυκλώματα αποτελεί καθοριστικό παράγοντα για τη μείωση του σχετικού κόστους, ενώ η μείωση της κατανάλωσης ενέργειας κατά τον έλεγχο αποτελεί επίσης καθοριστικό παράγοντα για την αύξηση της αξιοπιστίας του.

Η τεχνική που παρουσιάζεται σε αυτή την εργασία είναι μια αρχιτεκτονική αλυσίδων σάρωσης για υψηλή ταχύτητα και χαμηλή κατανάλωση κατά τον έλεγχο ορθής λειτουργίας. Χαρακτηριστικό της γνώρισμα είναι ότι πετυχαίνει πολύ σημαντική μείωση του χρόνου εφαρμογής του ελέγχου, γεγονός που οφείλεται στη μείωση του αριθμού των αναγκαίων κύκλων ολίσθησης των δεδομένων ελέγχου, καθώς εκμεταλλεύεται τις απροσδιόριστες τιμές (X bits) στα διανύσματα ελέγχου. Παράλληλα μειώνεται η μέση καταναλισκόμενη ενέργεια κατά τη φάση της ολίσθησης των διανυσμάτων ελέγχου καθώς μειώνονται οι μεταβάσεις σήματος στις εισόδους της υπό έλεγχο συνδυαστικής λογικής. Επιπρόσθετα, παρουσιάζεται κατάλληλη τροποποίηση της προτεινόμενης τοπολογίας ώστε να επιτευχθεί ακόμη και η ελαχιστοποίηση της καταναλισκόμενης ενέργειας στη συνδυαστική λογική κατά τη φάση της ολίσθησης των δεδομένων ελέγχου. Η δυνατότητα αυτή αυξάνει καθοριστικά την αξιοπιστία του ελέγχου ορθής λειτουργίας. Επιπλέον, η νέα

αρχιτεκτονική μειώνει δραστικά και την απαιτούμενη μνήμη για την αποθήκευση των δεδομένων ελέγχου και των αποκρίσεων του κυκλώματος σε αυτά, καθώς γίνεται χρήση ενός πολύ περιορισμένου ποσοστού από τα bit των αρχικών διανυσμάτων. Ο παράγοντας αυτός είναι κρίσιμος στα σημερινά ολοκληρωμένα κυκλώματα με τον πολύ υψηλό όγκο δεδομένων ελέγχου καθώς μειώνει το κόστος της διαδικασίας ελέγχου ορθής λειτουργίας. Το κόστος που εισάγει η προτεινόμενη τεχνική σχετίζεται με την πρόσθετη κυκλωμάτωση (επιφάνεια πυριτίου) που απαιτείται για την υλοποίησή της. Το κόστος αυτό μπορεί να είναι αποδεκτό ανάλογα με τους στόχους που τίθενται σε ταχύτητα του ελέγχου και κατανάλωση ενέργειας.

EXTENDED ABSTRACT IN ENGLISH

Chalkia, Maria.

MSc, Computer Science Department, University of Ioannina, Greece.

Graduation Month, June 2010.

Scan Chain Design for High Speed and Low Power.

Thesis Supervisor: Yiorgos Tsiatouhas.

As the size and complexity of integrated circuits increase, structured design for testability (DFT) techniques gain popularity. According to the recent ITRS 2009 (International Technology Roadmap for Semiconductors), test time reduction becomes a significant factor since it reduces test cost while the reduction of the test power consumption increases test reliability.

The technique presented in this master thesis is a scan chain architecture for high speed and low power dissipation during test application. An important characteristic of this architecture is its ability to drastically reduce the test application time, since it reduces the number of the required test data shift cycles, by exploiting the unspecified bits (X-bits) in the test patterns. At the same time the average power dissipation is decreased during the scan operations since the signal transitions at the inputs of the combinational circuit under test is decreased. In addition, we present a proper modification of the proposed topology in order to minimize this power dissipation in the combinational logic during the test data shift operation. This capability increases substantially the reliability of test operation. Moreover, the new architecture also decreases drastically the required memory for the storage of test data and the pertinent circuit responses since only a limited number of the vectors' bits are used. This reduction is critical in modern integrated circuits that are characterized by very high volumes of test data, since it further decreases the cost of the testing process. The cost under the proposed technique is related to the additional circuitry (silicon area) that is

required for its implementation. This cost can be acceptable depending on the design objectives with respect to test speed and power dissipation.

ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ

1.1 Στόχοι

1.2 Δομή της Διατριβής

1.1 Στόχοι

Η συνεχής εξέλιξη της τεχνολογίας κατασκευής ολοκληρωμένων κυκλωμάτων μας οδήγησε σήμερα σε γεωμετρίες των 32nm και σε ακόμη μικρότερες στο άμεσο μέλλον. Αυτή η μείωση στο μέγεθος των τρανζίστορ προκαλεί έντονη επίδραση στο σχεδιασμό και τον έλεγχο των ολοκληρωμένων κυκλωμάτων. Έτσι, σήμερα υπάρχουν σχεδιασμοί ολοκληρωμένων συστημάτων (system-on-chip – SOC) που περιλαμβάνουν πάνω από 2δισ τρανζίστορ που λειτουργούν σε συχνότητες της τάξης των GHz. Αυτοί οι σχεδιασμοί θα περιέχουν κάθε είδους ψηφιακά, αναλογικά, οπτικά κ.α. κυκλώματα. Ο σχεδιασμός για τον έλεγχο ορθής λειτουργίας σε κυκλώματα τέτοιας πολυπλοκότητας αποτελεί σημαντική πρόκληση, αν όχι ένα πολύ σοβαρό πρόβλημα προς επίλυση. Το κόστος του ελέγχου ορθής λειτουργίας, ιδιαίτερα σε ότι αφορά την ανάπτυξη των σχετικών τεχνικών, την γένεση των κατάλληλων διανυσμάτων ελέγχου και την αποθήκευσή τους καθώς και την εφαρμογή του ελέγχου μετά την κατασκευή, αυξάνει δραματικά με τάσεις να ξεπεράσει κατά πολύ το 50% του συνολικού κόστους. Επιπρόσθετα η κατανάλωση ενέργειας κατά τη φάση του ελέγχου εξελίσσεται σε ένα σημαντικό παράγοντα καθορισμού της απόδοσης της κατασκευαστικής διαδικασίας.

Ο σχεδιασμός για ελεγχιμότητα (design for testability-DFT) έγινε ένα σημαντικό μέρος του σχεδιασμού των κυκλωμάτων πολύ υψηλής κλίμακας ολοκλήρωσης (VLSI). Οι πιο δημοφιλείς σε χρήση DFT τεχνικές σήμερα για τον έλεγχο της ορθής

λειτουργίας της λογικής των VLSI κυκλωμάτων περιλαμβάνουν τη σειριακή σάρωση και τον βασισμένο στη σειριακή σάρωση ενσωματωμένο αυτοέλεγχο (BIST). Και οι δυο τεχνικές έχουν αποδειχτεί αρκετά αποτελεσματικές στην παραγωγή ελέγξιμων VLSI σχεδιασμών.

Στη παρούσα εργασία μελετήθηκε μια αρχιτεκτονική σειριακής σάρωσης με στόχο:

- τη μείωση του χρόνου εφαρμογής του ελέγχου ορθής λειτουργίας,
- τη μείωση της κατανάλωσης ενέργειας κατά την ολίσθηση των διανυσμάτων ελέγχου και
- τη μείωση του όγκου των απαιτούμενων δεδομένων ελέγχου ορθής λειτουργίας.

Όπως είναι γνωστό το μεγαλύτερο τμήμα των διανυσμάτων ελέγχου (πάνω από 90%) αποτελείται από απροσδιόριστες τιμές (X-bits). Η προτεινόμενη τεχνική εκμεταλλεύεται αυτό το γεγονός μειώνοντας έτσι σημαντικά το χρόνο ελέγχου.

1.2 Δομή της Διατριβής

Η εργασία αποτελείται από έξι κεφάλαια. Πέρα από το παρόν κεφάλαιο που είναι εισαγωγικό, στο δεύτερο κεφάλαιο παρουσιάζεται η θεωρία των DFT σχεδιασμών, το τρίτο κεφάλαιο περιλαμβάνει πρόσφατες τεχνικές αλυσίδων σάρωσης που έχουν προταθεί στη διεθνή βιβλιογραφία, στο τέταρτο κεφάλαιο αναλύεται η προτεινόμενη τεχνική και αρχιτεκτονική σειριακής σάρωσης, στο πέμπτο κεφάλαιο παρουσιάζονται τα πειραματικά αποτελέσματα από την εφαρμογή της τεχνικής σε κατάλληλα κυκλώματα αναφοράς και στο έκτο και τελευταίο κεφάλαιο αναφέρονται τα συμπεράσματα.

ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΕΣ ΕΛΕΓΧΟΥ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

- 2.1 Η Σημασία του Ελέγχου Ορθής Λειτουργίας των Ολοκληρωμένων Κυκλωμάτων
 - 2.2 Σειριακή Σάρωση
 - 2.3 Ενσωματωμένος Αυτοέλεγχος
 - 2.4 Περιφερειακή Σάρωση
-

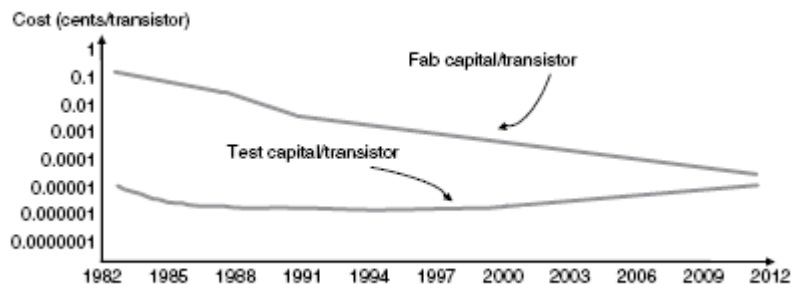
2.1 Η Σημασία του Ελέγχου Ορθής Λειτουργίας των Ολοκληρωμένων Κυκλωμάτων

Το 1965, ο Gordon Moore, ένας από τους ιδρυτές της Intel, προέβλεψε ότι ο αριθμός των τρανζίστορ σε ένα ολοκληρωμένο θα διπλασιάζεται κάθε χρόνο [1]. Στα χρόνια που ακολούθησαν, ο ρυθμός έγινε πιο αργός, αλλά ο αριθμός των τρανζίστορ συνέχισε να διπλασιάζεται περίπου κάθε 18 μήνες τις τελευταίες δύο δεκαετίες. Αυτό αποτελεί τον τωρινό ορισμό του νόμου του Moore. Πολλοί ειδικοί περιμένουν ότι ο νόμος του Moore θα κρατήσει για τουλάχιστον μία δεκαετία ακόμη. Παρόλο που το μικρότερο μέγεθος τρανζίστορ μπορεί να έχει σαν αποτέλεσμα τη μικρότερη καθυστέρηση του κυκλώματος, ένα μικρότερο χαρακτηριστικό μέγεθος (feature size) για τις γραμμές διασύνδεσης (interconnects) δε μειώνει τη καθυστέρηση της διάδοσης του σήματος. Για το λόγο αυτό, η καθυστέρηση διάδοσης του σήματος στις διασυνδέσεις αποτελεί τον κυρίαρχο παράγοντα στον υπολογισμό της καθυστέρησης ενός κυκλώματος [2]. Για να λυθεί αυτό το πρόβλημα, αυξάνεται το πλάτος των γραμμών μετάλλου διασύνδεσης ώστε να μειωθεί η αντίσταση. Δυστυχώς, η λύση αυτή προκαλεί θόρυβο ανάμεσα σε γειτονικές διασυνδέσεις λόγω χωρητικών και

επαγωγικών συζεύξεων (capacitive and inductive coupling). Αυτό αναφέρεται ως το πρόβλημα ακεραιότητας σήματος (signal integrity) και είναι εξαιρετικά δύσκολο να ανιχνευθεί [3]. Καθώς η συχνότητα του ρολογιού ανέβηκε στο φάσμα των GHz και η τάση τροφοδοσίας κλιμακώθηκε προς τα κάτω, η πτώση της τάσης τροφοδοσίας, που προκαλείται από φαινόμενα $L(di/dt)$, δε μπορεί πλέον να αγνοηθεί. Αυτό προκάλεσε το πρόβλημα της ολοκλήρωσης ισχύος το οποίο είναι επίσης εξαιρετικά δύσκολο να λυθεί γιατί είναι δύσκολο να βρίσκονται διανύσματα ελέγχου (test patterns) με τις μέγιστες τρέχουσες αλλαγές [4].

Καθώς η τεχνολογία CMOS συνεχίζει να εξελίσσεται, ο ακριβής έλεγχος της κατασκευαστικής διαδικασίας των ολοκληρωμένων κυκλωμάτων (silicon process) αποτελεί μια συνεχή πρόκληση. Για παράδειγμα, είναι δύσκολο να καθοριστεί το πραγματικό μήκος του καναλιού ενός τρανζίστορ και συνεπώς η απόδοση του κυκλώματος, συμπεριλαμβανομένης της ισχύος και της καθυστέρησης, παρουσιάζουν μεγάλη μεταβλητότητα. Αυτό είναι το πρόβλημα της διακύμανσης των παραμέτρων της κατασκευαστικής διαδικασίας (process variation), και μπορεί να κάνει τον έλεγχο της καθυστέρησης διάδοσης σήματος εξαιρετικά πολύπλοκο [5]. Έχουν χρησιμοποιηθεί ευρέως πολλές τεχνικές χαμηλής κατανάλωσης για τη μείωση της κατανάλωσης ισχύος (power dissipation). Δυστυχώς, τα κυκλώματα χαμηλής κατανάλωσης μπορεί να έχουν ως αποτέλεσμα νέα μοντέλα σφαλμάτων (fault models) τα οποία παρουσιάζουν αυξημένη δυσκολία ανίχνευσης.

Καθώς προχωράμε στην εποχή των νανομετρικών τεχνολογιών και με σκοπό τη διατήρηση του νόμου του Moore, πρέπει να αναπτυχθούν και να υιοθετηθούν πολλές καινούργιες τεχνικές σχεδίασης κυκλωμάτων, οι οποίες θέτουν νέες προκλήσεις στον έλεγχο της ορθής λειτουργίας των κυκλωμάτων με αποτέλεσμα να απαιτείται ο διαρκής εκσυγχρονισμός του. Σε άλλη περίπτωση, το κόστος του ελέγχου ανά τρανζίστορ θα ξεπεράσει τελικά το κατασκευαστικό κόστος ανά τρανζίστορ, όπως διαφαίνεται στο Σχήμα 2.1, σύμφωνα με τα δεδομένα που δίνονται από την Ένωση των Βιομηχανιών Ημιαγωγών (Semiconductor Industry Association - SIA).



Σχήμα 2.1 Κόστος κατασκευής έναντι κόστους ελέγχου ανά τρανζίστορ

Το 2004, ο οργανισμός SIA δημοσιοποίησε έναν Διεθνή Τεχνολογικό Οδηγό για Ημιαγωγούς (International Technology Roadmap for Semiconductors - ITRS), ο οποίος περιλαμβάνει μια ενημέρωση για τις τάσεις στον έλεγχο και στον εξοπλισμό ελέγχου νανομετρικών σχεδιασμών κατά το έτος 2010 και μετά. Ο ITRS είναι μια εκτίμηση των τεχνολογικών απαιτήσεων σε ημιαγωγούς με αντικειμενικό στόχο να διασφαλίζεται η πρόοδος στην απόδοση των ολοκληρωμένων κυκλωμάτων. Αυτή η εκτίμηση, γνωστή και ως roadmap, είναι μια προσπάθεια συνεργασίας των κατασκευαστών και προμηθευτών της παγκόσμιας βιομηχανίας, των κυβερνητικών οργανισμών και των πανεπιστημίων.

Ο ITRS προσδιορίζει τις τεχνολογικές προκλήσεις και ανάγκες που αντιμετωπίζει η βιομηχανία των ημιαγωγών μέχρι το τέλος της επόμενης δεκαετίας. Οι προκλήσεις μετά το 2010 για τους νανομετρικούς σχεδιασμούς με χαρακτηριστικό μέγεθος <45 nm περιλαμβάνουν τη διεπαφή της υπό έλεγχο συσκευής (device under test - DUT) με τον εξοπλισμό αυτόματου ελέγχου (automatic test equipment - ATE), μεθοδολογίες ελέγχου, ανάλυση σφαλμάτων, ανάλυση αποτυχίας (failure analysis) κ.α. Αυτές οι δύσκολες προκλήσεις περιλαμβάνουν ένα πλήρες φάσμα των τάσεων στη τεχνολογία ελέγχου αναγκαίες για νανομετρικούς σχεδιασμούς, όπως (1) την ανάπτυξη νέων μεθόδων σχεδιασμού για ελεγχιμότητα (design for testability - DFT) και σχεδιασμού για κατασκευασιμότητα (design for manufacturability - DFM) για ψηφιακά κυκλώματα, αναλογικά, μνήμες και αισθητήρες, (2) την ανάπτυξη των μέσων για τη μείωση του κόστους του κατασκευαστικού ελέγχου καθώς και την ενίσχυση της αξιοπιστίας του κυκλώματος και της απόδοσής του και (3) την ανάπτυξη τεχνικών ώστε να διευκολύνεται η ανάλυση σφαλμάτων και η ανάλυση της

αποτυχίας. Ο ITRS συνοψίζει επιπλέον τις προκλήσεις στον σχεδιασμό ελέγχου των ολοκληρωμένων κάποιες από τις οποίες είναι: (1) η αποτελεσματική ταχύτητα ελέγχου με αυξανόμενες συχνότητες πυρήνα (core) και η εκτεταμένη διάδοση πρωτοκόλλων γρήγορης σειριακής εισόδου/εξόδου δεδομένων ελέγχου, (2) η κάλυψη του κενού που υπάρχει ανάμεσα στη σχεδιαστική πολυπλοκότητα (design complexity) και στις σχεδιαστικές τεχνικές για τον έλεγχο της ορθής λειτουργίας, (3) ο αντίκτυπος στη ποιότητα και την απόδοση των ολοκληρωμένων που προκύπτει από τους διαγνωστικούς περιορισμούς στη διαδικασία ελέγχου, (4) η ελεγχσιμότητα της ακεραιότητας των σημάτων (signal integrity testability) και τα νέα μοντέλα σφαλμάτων, (5) ο έλεγχος των συστημάτων σε ολοκληρωμένο (system-on-chip - SOC) και των συστημάτων σε πακέτο (system-in-package - SIP) καθώς και ο ολοκληρωμένος αυτοέλεγχος (integrated selftest) για ετερογενείς SOCs και SIPs σχεδιασμούς, (6) η διάγνωση, και η βελτίωση της απόδοσης και (7) η ανοχή σε σφάλματα και ο έλεγχος κατά τη λειτουργία του κυκλώματος (online testing).

Με το χρόνο ο ITRS οδηγός, εκλέπτυνε περισσότερο αυτές τις προκλήσεις και τις χώρισε σε οδηγούς κλειδιά και δύσκολες προκλήσεις. Επίσης, πρόσθεσε ένα τμήμα με μελλοντικές ευκαιρίες. Οι οδηγοί κλειδιά περιλαμβάνουν (1) τις τάσεις για αυξανόμενη ολοκλήρωση (SOC, SIP, multichip packaging και 3D packaging) και ολοκλήρωση αναδυόμενων, μη-ψηφιακών τεχνολογιών (αναλογικές, οπτικές, μνήμες), (2) η αυξανόμενη πολυπλοκότητα της διαδικασίας ελέγχου όπως καταναμημένος έλεγχος ώστε να διατηρείται η κλιμάκωση του κόστους και (3) η συνεχόμενη οικονομική κλιμάκωση του ελέγχου όπως η διαχείριση του όγκου των δεδομένων ελέγχου. Οι δύσκολες προκλήσεις περιλαμβάνουν (1) τον έλεγχο για τη γνώση της απόδοσης που είναι πολύ σημαντικός για τη διαδικασία κατασκευής, (2) το αίτημα για αξιοπιστία (π.χ. μπορεί να προκληθεί ακανόνιστη, μη ντετερμινιστική και διακεκομμένη συμπεριφορά του κυκλώματος), (3) τα αυξανόμενα συστηματικά ελαττώματα όπως η ανίχνευση συμπτωμάτων και επιδράσεων λόγω αποκλίσεων στο πλάτος των γραμμών διασύνδεσης και (4) οι πιθανές απώλειες στην απόδοση που προκαλούνται από ανακρίβειες του ελεγκτή (π.χ. στο χρονισμό, τη τάση, το ρεύμα, τον έλεγχο της θερμοκρασίας), τον υπερ-έλεγχο (over-testing) (π.χ. σφάλματα καθυστέρησης σε μη λειτουργικά μονοπάτια), κ.α. Στις μελλοντικές ευκαιρίες περιλαμβάνονται (1) ο αυτοματισμός του προγράμματος ελέγχου (όχι η αυτόματη

παραγωγή διανυσμάτων ελέγχου), (2) η σύγκλιση των λύσεων που αφορούν τον έλεγχο και την αξιοπιστία του συστήματος (ανίχνευση λαθών, αναφορά και διόρθωση) κ.α. .

Ένα ελάττωμα στο κύκλωμα μπορεί να οδηγήσει σε ένα σφάλμα, ένα σφάλμα μπορεί να προκαλέσει ένα λάθος στο κύκλωμα και ένα λάθος στο κύκλωμα μπορεί έχει ως αποτέλεσμα την αποτυχία του συστήματος. Δύο είναι οι κύριοι μηχανισμοί ελαττώματος που μπορούν να προκαλέσουν τη δυσλειτουργία του SOC σχεδιασμού: τα κατασκευαστικά ελαττώματα και τα ήπια λάθη (soft errors). Τα κατασκευαστικά ελαττώματα συμβαίνουν κατά τη διάρκεια κατασκευής και έχουν ως αποτέλεσμα να αποτυγχάνει το κύκλωμα να λειτουργεί σωστά. Από αυτά τα κατασκευαστικά ελαττώματα μπορούν να προκύψουν στατικά σφάλματα (όπως σφάλματα μόνιμης τιμής) η χρονικά σφάλματα (όπως σφάλματα καθυστέρησης διάδοσης σήματος). Υπάρχει μια γενική συναίνεση για τον νόμο των δέκα (rule of ten), που λέει ότι το κόστος για την ανίχνευση ενός ελαττωματικού κυκλώματος αυξάνει κατά μια τάξη μεγέθους καθώς προχωρούν τα στάδια της κατασκευής, από το επίπεδο τρανζίστορ, στο επίπεδο του board, στο επίπεδο συστήματος και τελικά στο σύστημα λειτουργίας. Τα ήπια λάθη, που αναφέρονται και ως διαταραχές μονού γεγονότος (single event upsets-SEUs), είναι παροδικά σφάλματα που προκαλούνται από περιβαλλοντικές συνθήκες, όπως ακτινοβολία σωματίων α ή κοσμική ακτινοβολία, που μπορεί να κάνουν έναν απαλλαγμένο από σφάλματα σχεδιασμό να δυσλειτουργεί παροδικά στο πεδίο εφαρμογής. Η πιθανότητα να συμβούν τα ήπια σφάλματα αυξάνεται με τη μείωση του χαρακτηριστικού μεγέθους της τεχνολογίας. Τα παροδικά σφάλματα είναι μη επαναλαμβανόμενα προσωρινά σφάλματα για αυτό και δεν μπορούν να ανιχνευτούν κατά τη διάρκεια κατασκευής. Παρόλα αυτά, αυτοί οι μηχανισμοί ελαττωμάτων πρέπει να προβάλλονται κατά τη διάρκεια κατασκευής ή να γίνονται ανεκτοί από τον σχεδιασμό ώστε να αυξάνεται η αξιοπιστία του κυκλώματος και η απόδοσή της, να μειώνεται το επίπεδο σφαλμάτων και τα κόστη ελέγχου, και να βελτιώνεται η αξιοπιστία και η διαθεσιμότητα του συστήματος.

Απόδοση και Ποσοστό Απόρριψης

Είναι αναμενόμενο κάποιο ποσοστό των κατασκευασμένων κυκλωμάτων να είναι ελαττωματικές λόγω κατασκευαστικών ελαττωμάτων. Η απόδοση μιας κατασκευαστικής διαδικασίας ορίζεται ως το ποσοστό των αποδεκτών κυκλωμάτων προς όλα τα κυκλώματα που κατασκευάζονται:

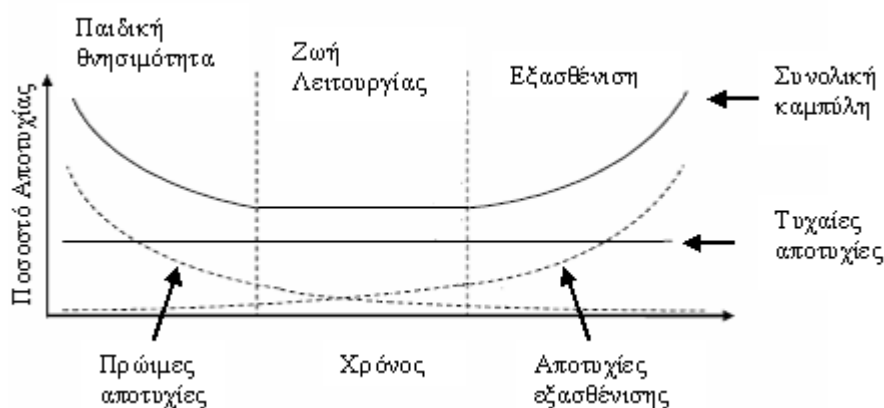
$$\text{απόδοση} = \frac{\text{αριθμός των αποδεκτών κυκλωμάτων}}{\text{συνολικός αριθμός των κυκλωμάτων που κατασκευάστηκαν}}$$

Υπάρχουν δύο τύποι απώλειας σε απόδοση: η καταστροφική και η παραμετρική. Η καταστροφική απώλεια απόδοσης οφείλεται σε τυχαία ελαττώματα και η παραμετρική απώλεια απόδοσης οφείλεται σε αποκλίσεις της κατασκευαστικής διαδικασίας. Η αυτοματοποίηση και οι βελτιώσεις στη γραμμή παραγωγής ενός ολοκληρωμένου κυκλώματος μειώνουν δραστικά το μέγεθος των σωματιδίων που με το χρόνο δημιουργούν τυχαία ελαττώματα. Επομένως, οι παραμετρικές αποκλίσεις που προκύπτουν από διακυμάνσεις της διαδικασίας αποτελούν ένα κυρίαρχο λόγο απώλειας σε απόδοση.

Οι μέθοδοι που μειώνουν τις διακυμάνσεις κατά τη διάρκεια της διαδικασίας κατασκευής γενικά αναφέρονται ως σχεδιασμός για απόδοση (design for yield-DFY). Οι μέθοδοι εφαρμογής του κυκλώματος ώστε να αποφεύγονται τα τυχαία ελαττώματα αναφέρονται ως σχεδιασμός για κατασκευασσιμότητα (design for manufacturability-DFM). Σε γενικές γραμμές, κάθε DFM μέθοδος βοηθά στην αύξηση της κατασκευαστικής απόδοσης και για αυτό μπορεί να θεωρηθεί και DFY μέθοδος. Η κατασκευαστική απόδοση σχετίζεται με το ποσοστό αποτυχίας λ. Η καμπύλη που φαίνεται στο Σχήμα 2.2 είναι ένα τυπικό διάγραμμα αποτυχίας ενός κυκλώματος που δείχνει πως οι πρώιμες αποτυχίες, οι αποτυχίες λόγω ‘ηλικίας’ του κυκλώματος και οι τυχαίες αποτυχίες συμβάλλουν στις συνολικές αποτυχίες του κυκλώματος (ή του συστήματος).

Η περίοδος παιδικής θνησιμότητας (με μειωτικό ποσοστό αποτυχίας) σημειώνεται όταν ένα προϊόν είναι στα πρώτα στάδια παραγωγής. Οι αποτυχίες συμβαίνουν κυρίως λόγω φτωχής διαδικασίας ή φτωχού σχεδιασμού που οδηγεί σε φτωχή

ποιότητα προϊόντος και για αυτό το λόγο το προϊόν δε πρέπει να προχωρήσει στη παραγωγή γιατί θα οδηγηθεί σε μαζικές επιστροφές. Η περίοδος της ζωής λειτουργίας (με σταθερό ποσοστό αποτυχίας) αναπαριστά τη ‘ζωή λειτουργίας’ του προϊόντος. Οι αποτυχίες κατά τη διάρκεια αυτής της περιόδου τείνουν να συμβαίνουν τυχαία. Η περίοδος εξασθένησης (με αυξητικό ποσοστό αποτυχίας) υποδεικνύει το ‘τέλος της ζωής’ του προϊόντος. Οι αποτυχίες σε αυτή τη περίοδο είναι λόγω ελαττωμάτων γήρανσης, όπως καταπόνηση του μετάλλου, κατάρρευση του διηλεκτρικού κ.α. Αυτή η περίοδος είναι μικρότερου ενδιαφέροντος για τα ηλεκτρονικά προϊόντα, γιατί είναι συχνό να μη μπαίνουν σε αυτή τη περίοδο λόγω της εξέλιξης της τεχνολογίας και της παλαίωσης τους.



Σχήμα 2.2 Καμπύλη αποτυχίας ενός κυκλώματος

Όταν ελέγχονται τα ολοκληρωμένα κυκλώματα, μπορεί να συμβούν οι δυο ακόλουθες ανεπιθύμητες καταστάσεις:

1. Ένα ελαττωματικό κύκλωμα φαίνεται καλό από το πέρασμα του ελέγχου.
2. Ένα καλό κύκλωμα αποτυγχάνει να περάσει τον έλεγχο και φαίνεται ελαττωματικό.

Αυτά τα δύο αποτελέσματα προκύπτουν συχνά λόγω φτωχού σχεδιασμού του ελέγχου ή έλλειψης σχεδιασμού για ελεγχσιμότητα (design for testability-DFT). Η πρώτη περίπτωση έχει ως αποτέλεσμα, ακόμα κι αν όλα τα προϊόντα περάσουν τον έλεγχο αποδοχής, κάποια από τα ελαττωματικά κυκλώματα να βρεθούν στο κατασκευασμένο ηλεκτρονικό σύστημα. Όταν αυτά τα κυκλώματα επιστρέφονται στον κατασκευαστή τους, υποβάλλονται σε μια μέθοδο ανάλυσης αποτυχίας (failure

mode analysis-FMA) για πιθανές βελτιώσεις στην ανάπτυξη των ολοκληρωμένων και τις διαδικασίες κατασκευής. Η αναλογία των απορριπτέων ολοκληρωμένων προς όλα τα ολοκληρωμένα που περνούν τον έλεγχο επιβεβαίωσης ποιότητας αναφέρεται ως λόγος απόρριψης, γνωστή και ως επίπεδο ελαττωμάτων [6] (defect level - DL):

$$\text{λόγος απόρριψης} = \frac{\text{αριθμός ελαττωματικών ολοκληρωμένων που πέρασαν τον έλεγχο}}{\text{συνολικός αριθμός ολοκληρωμένων που πέρασαν τον έλεγχο}}$$

Για ένα δεδομένο κύκλωμα, το επίπεδο ελαττωμάτων είναι μια συνάρτηση της απόδοσης της κατασκευαστικής διαδικασίας Y και της κάλυψης σφαλμάτων (fault coverage-FC) όπου:

$$FC = \frac{\text{αριθμός σφαλμάτων που ανιχνεύονται}}{\text{συνολικός αριθμός πιθανών σφαλμάτων}}$$

Οπότε:

$$DL = 1 - Y^{(1-FC)}$$

Το επίπεδο ελαττωμάτων παρέχει μια ένδειξη της συνολικής ποιότητας της διαδικασίας ελέγχου [7][8][9]. Γενικά, ένα επίπεδο ελαττωμάτων της τάξης των 500 ελαττωματικών ολοκληρωμένων ανά εκατομμύριο (parts per million-PPM) θεωρείται αποδεκτό, ενώ των 100 PPM ή λιγότερων αντιπροσωπεύει υψηλή ποιότητα κατασκευής.

2.2 Σειριακή Σάρωση

Η σειριακή σάρωση είναι μέχρι σήμερα η πιο ευρέως χρησιμοποιούμενη δομημένη DFT τεχνική. Υλοποιείται με τη σύνδεση επιλεγμένων στοιχείων μνήμης ενός σχεδιασμού σε έναν ή περισσότερους καταχωρητές, δημιουργώντας έτσι τις αλυσίδες σάρωσης με τη δυνατότητα εξωτερικής πρόσβασης. Η πρόσβαση αυτή επιτυγχάνεται με την αντικατάσταση όλων των επιλεγμένων στοιχείων μνήμης με κύτταρα σάρωσης (scan cells), που το καθένα έχει μια πρόσθετη θύρα εισόδου της σάρωσης (Scan Input-SI) και μια διαμοιραζόμενη/πρόσθετη θύρα εξόδου της σάρωσης (Scan Output-SO). Συνδέοντας τη SO θύρα ενός κυττάρου σάρωσης με τη SI θύρα του επόμενου κυττάρου σάρωσης, δημιουργούνται μια ή περισσότερες αλυσίδες σάρωσης.

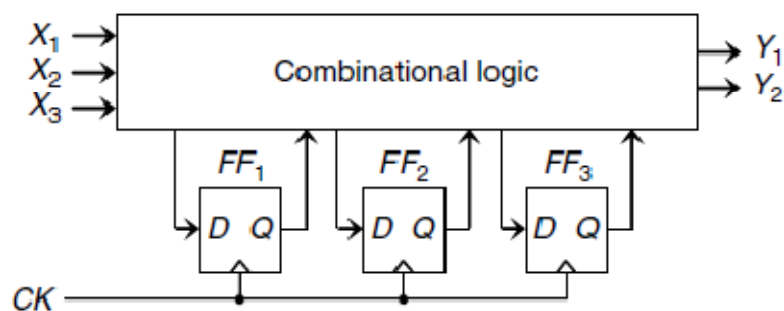
Στη σειριακή σάρωση υπάρχουν τρεις τρόποι λειτουργίας, κανονική, ολίσθησης και σύλληψης (normal, shift και capture mode). Στο κανονικό τρόπο λειτουργίας, απενεργοποιούνται όλα τα σήματα ελέγχου και η σχεδίαση σάρωσης λειτουργεί όπως έχει αρχικά διαμορφωθεί. Κατά τη λειτουργία της ολίσθησης και της σύλληψης, πραγματοποιείται ο έλεγχος του κυκλώματος. Στις επόμενες ενότητες περιγράφονται κάποιες βασικές αρχιτεκτονικές σάρωσης.

2.2.1 Αρχιτεκτονικές σάρωσης

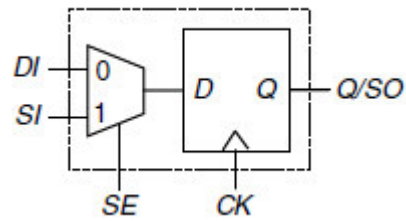
Σε αυτή την ενότητα παρουσιάζονται δυο θεμελιώδεις αρχιτεκτονικές σάρωσης η σχεδίαση σάρωσης πολυπλεγμένου D flip-flop και η σχεδίαση σάρωσης καθοδηγούμενη από τη στάθμη σήματος (level sensitive).

2.2.1.1 Η Σχεδίαση Σάρωσης Πολυπλεγμένου D Flip-Flop (Muxed D)

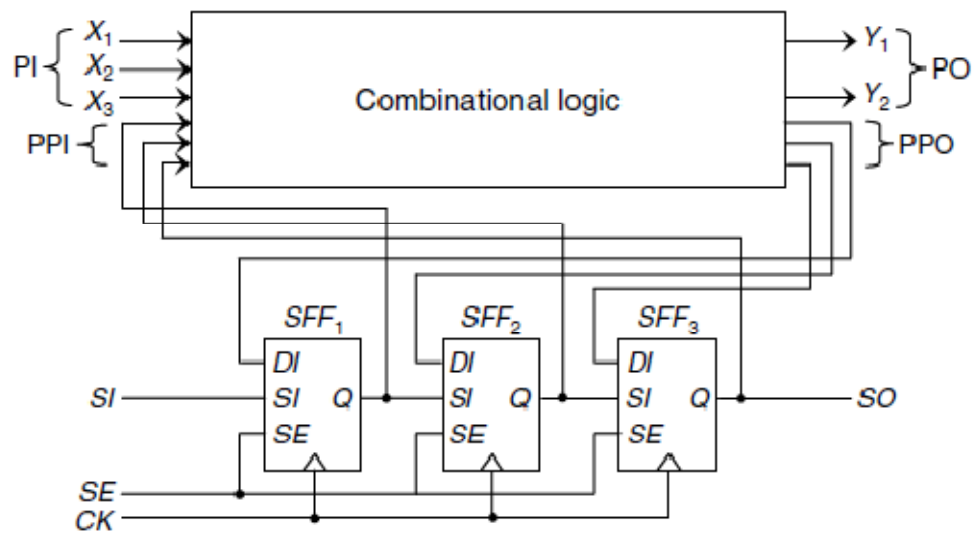
Στο Σχήμα 2.3 φαίνεται ένα παράδειγμα ακολουθιακού κυκλώματος με τρία D flip-flops. Η muxed D αρχιτεκτονική που αντιστοιχεί σε αυτό το κύκλωμα φαίνεται στο Σχήμα 2.4. Στο Σχήμα 2.4(α) φαίνεται ένα ακμοπυροδότητο muxed D κύτταρο σάρωσης. Αυτό το κύτταρο σάρωσης αποτελείται από ένα D flip flop και ένα πολυπλέκτη. Ο πολυπλέκτης χρησιμοποιεί μία είσοδο ενεργοποίησης της σάρωσης (Scan Enable-SE) ώστε να επιλέγει ανάμεσα στην είσοδο δεδομένων (Data Input-DI) και την είσοδο σάρωσης (Scan Input-SI). Τα τρία D flip flops FF_1 , FF_2 και FF_3 αντικαθιστούνται από τρία muxed D κύτταρα σάρωσης, SFF_1 , SFF_2 και SFF_3 , όπως φαίνεται στο Σχήμα 2.4(β).



Σχήμα 2.3 Παράδειγμα Ακολουθιακού Κυκλώματος



(α)

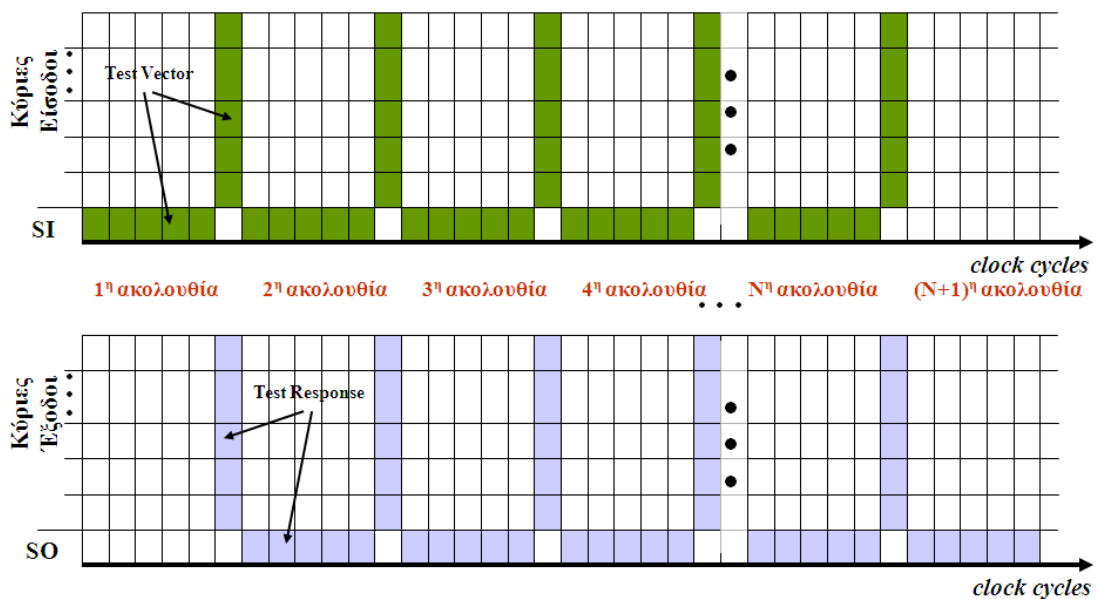


(β)

Σχήμα 2.4 (α) Mixed D Κύτταρο Σάρωσης και (β) Mixed D Σχεδίαση Σάρωσης

Στο Σχήμα 2.4(β), η είσοδος δεδομένων DI κάθε κυττάρου σάρωσης συνδέεται στην έξοδο της συνδυαστικής λογικής όπως και στο αρχικό κύκλωμα. Η αλυσίδα σάρωσης σχηματίζεται συνδέοντας τις εισόδους SI των SFF₂ και SFF₃ στις εξόδους Q των προηγούμενων κυττάρων σάρωσης, SFF₁ και SFF₂, αντίστοιχα. Επιπρόσθετα, η είσοδος σάρωσης SI του πρώτου κυττάρου σάρωσης SFF₁ συνδέεται στη κύρια είσοδο SI (primary input) και η έξοδος Q του τελευταίου κυττάρου σάρωσης SFF₃ συνδέεται στη κύρια έξοδο SO (primary output). Έτσι, στη λειτουργία ολίσθησης, το SE παίρνει τη τιμή 1 και τα κύτταρα σάρωσης λειτουργούν σαν μια αλυσίδα ολίσθησης, στην οποία μπορεί να ολισθήσει οποιοσδήποτε συνδυασμός λογικών τιμών. Στη λειτουργία σύλληψης, το SE παίρνει τη τιμή 0, και τα κύτταρα σάρωσης χρησιμοποιούνται για να κρατούν τις αποκρίσεις της συνδυαστικής λογικής στην ακμή του ρολογιού.

Γενικά, η συνδυαστική λογική σε ένα κύκλωμα πλήρους σάρωσης έχει δύο τύπους εισόδων: τις κύριες εισόδους (PIs) και τις ψευδο-κύριες εισόδους (Pseudo Primary Inputs-PPIs). Οι κύριες εισόδους αναφέρονται στις εξωτερικές εισόδους του κυκλώματος, ενώ οι ψευδο-κύριες στις εξόδους των κυττάρων σάρωσης. Τόσο οι κύριες όσο και οι ψευδο-κύριες εισόδους μπορούν να πάρουν οποιαδήποτε λογική τιμή απαιτείται. Η μόνη διαφορά είναι ότι οι PIs παίρνουν τιμή παράλληλα από τις εξωτερικές εισόδους, ενώ οι PPIs παίρνουν τιμή σειριακά από τις εισόδους της αλυσίδας σάρωσης. Ομοίως, η συνδυαστική λογική σε ένα κύκλωμα πλήρους σάρωσης έχει δύο τύπους εξόδων: τις κύριες εξόδους (primary outputs-POs) και τις ψευδο-κύριες εξόδους (PPOs). Οι κύριες εξόδους αναφέρονται στις εξωτερικές εξόδους του κυκλώματος, και οι ψευδο-κύριες στις εισόδους των κυττάρων σάρωσης. Τόσο οι POs όσο και οι PPOs μπορούν να παρατηρηθούν. Η μόνη διαφορά είναι ότι οι POs παρατηρούνται άμεσα και παράλληλα από τις εξωτερικές εξόδους ενώ οι PPOs παρατηρούνται σειριακά από τις εξόδους των αλυσίδων σάρωσης.



Σχήμα 2.5 Ακολουθίες Ενεργειών Ελέγχου Κατά τη Σάρωση.

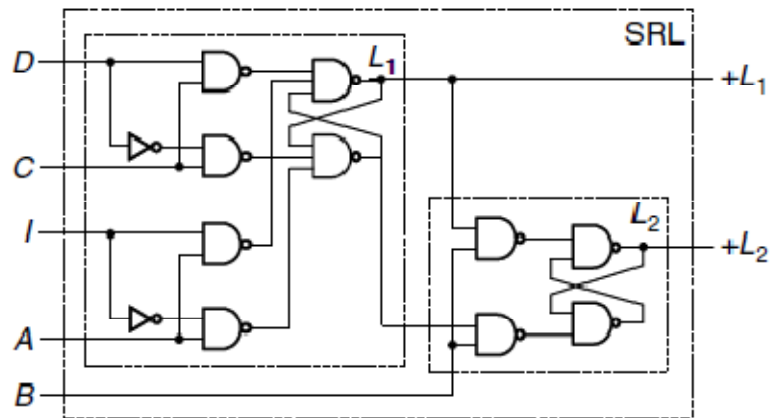
Στο Σχήμα 2.5 φαίνεται ένα παράδειγμα με ακολουθίες ενεργειών στο χρόνο για την εισαγωγή δεδομένων ελέγχου σε κύκλωμα με πέντε κύτταρα σάρωσης και την ανάκτηση των αποκρίσεων σε αυτά. Κατά τους πέντε πρώτους κύκλους ρολογιού εισάγεται σειριακά η πρώτη ακολουθία για τις ψευδο-κύριες εισόδους και στον έκτο

κύκλο οι κύριες είσοδοι παίρνουν τη τιμή τους παράλληλα, το κύκλωμα λειτουργεί σε αυτόν τον κύκλο σε κανονική λειτουργία, και μετά τη λήξη του κύκλου οι αποκρίσεις εμφανίζονται στις κύριες εξόδους και στα κύτταρα σάρωσης. Οι αποκρίσεις που βρίσκονται στα κύτταρα σάρωσης εξάγονται σειριακά κατά τη διάρκεια των επόμενων πέντε κύκλων ρολογιού όπου εισάγεται η δεύτερη ακολουθία κ.ο.κ [10].

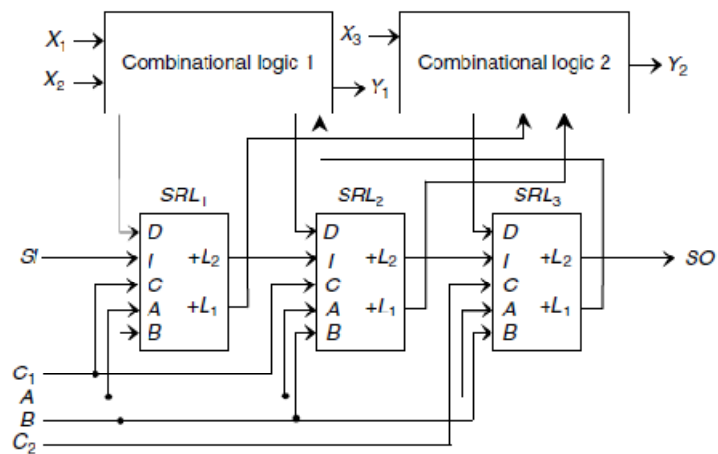
2.2.1.2 Η Σχεδίαση Σάρωσης Καθοδηγούμενη από τη Στάθμη Σήματος (Level Sensitive Scan Design - LSSD)

Στο Σχήμα 2.6 φαίνεται ένας latch καταχωρητής ολίσθησης (shift register latch-SRL) ο οποίος μπορεί να χρησιμοποιηθεί ως ένα LSSD κύτταρο σάρωσης [11]. Αυτό το κύτταρο σάρωσης περιλαμβάνει δυο latches: ένα δίθυρο D latch ‘αφέντη’ L_1 και ένα D latch ‘σκλάβο’ L_2 . Τα ρολόγια C, A και B χρησιμοποιούνται για την επιλογή ανάμεσα στην είσοδο δεδομένων D και την είσοδο σάρωσης I οι οποίες τροφοδοτούν τις εξόδους + L_1 και + L_2 .

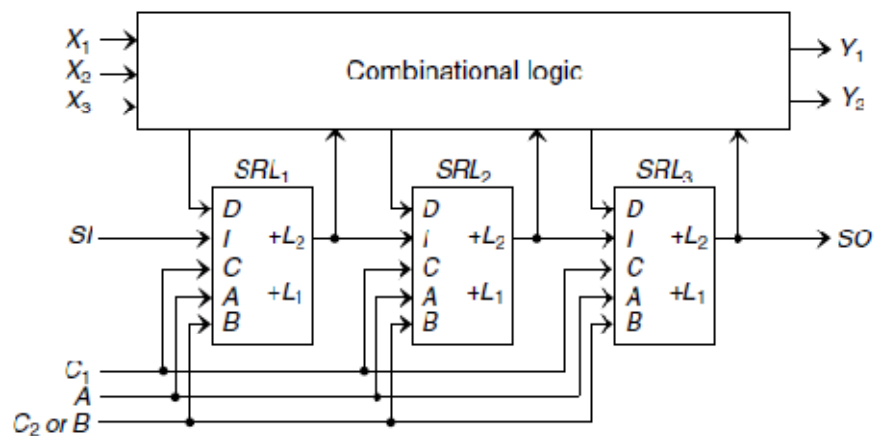
Οι σχεδιασμοί σάρωσης LSSD υλοποιούνται χρησιμοποιώντας μια σχεδίαση είτε μονού latch είτε διπλού. Στη πρώτη περίπτωση, η θύρα εξόδου + L_1 του latch ‘αφέντη’ L_1 χρησιμοποιείται για να οδηγεί τη συνδυαστική λογική του σχεδιασμού. Σε αυτή τη περίπτωση, το latch ‘σκλάβος’ L_2 χρησιμοποιείται μόνο για έλεγχο με τεχνικές σάρωσης (scan testing). Επειδή οι τεχνικές LSSD χρησιμοποιούν latches αντί για flip flops, απαιτούνται τουλάχιστον δυο ρολόγια συστήματος C_1 και C_2 για την αποφυγή της εμφάνισης βρόγχων ανάδρασης. Σε αυτή τη περίπτωση, η συνδυαστική λογική που οδηγείται από τα latches ‘αφέντη’ με το πρώτο ρολόι συστήματος C_1 χρησιμοποιείται για να οδηγεί τα latches ‘αφέντη’ του δεύτερου ρολογιού συστήματος C_2 και αντίστροφα. Για να συμβαίνει αυτό, τα ρολόγια συστήματος C_1 και C_2 πρέπει να είναι μη επικαλυπτόμενα. Το Σχήμα 2.7 δείχνει ένα σχεδιασμό LSSD που χρησιμοποιεί το SRL του Σχήματος 2.6.



Σχήμα 2.6 Latch Καταχωρητής Ολίσθησης (Shift Register Latch-SRL).



(α)



(β)

Σχήμα 2.7 (α) LSSD Σχεδίαση Μονού Latch και (β) LSSD Σχεδίαση Διπλού Latch.

Στο Σχήμα 2.7(β) φαίνεται ένα παράδειγμα μιας LSSD σχεδίασης διπλού latch [12]. Στη κανονική λειτουργία, τα ρολόγια C_1 και C_2 χρησιμοποιούνται με τρόπο τέτοιο ώστε να μην επικαλύπτονται, όπου το ρολόι C_2 ταυτίζεται με το ρολόι B. Ο έλεγχος μιας LSSD σχεδίασης γίνεται χρησιμοποιώντας λειτουργίες ολίσθησης και σύλληψης, όμοιες με αυτές της Muxed D σχεδίασης. Η κύρια διαφορά αφορά τον τρόπο ενεργοποίησης των λειτουργιών. Στη muxed D σχεδίαση χρησιμοποιείται ένα σήμα επίτρεψης SE. Στην LSSD σχεδίαση οι δυο λειτουργίες διακρίνονται με τη κατάλληλη εφαρμογή των μη επικαλυπτόμενων ρολογιών C_1 , C_2 , A και B. Κατά τη διάρκεια της ολίσθησης, τα ρολόγια A και B δεν επικαλύπτονται και τα κύτταρα σάρωσης SRL_1 - SRL_3 σχηματίζουν μια αλυσίδα σάρωσης από την είσοδο SI στην έξοδο SO. Κατά τη διάρκεια της σύλληψης, τα ρολόγια C_1 και C_2 δεν επικαλύπτονται και φορτώνουν τα κύτταρα σάρωσης με την απόκριση της συνδυαστικής λογικής.

2.2.2 Αρχιτεκτονικές Σάρωσης Χαμηλής Κατανάλωσης

Η τεχνική της σάρωσης μπορεί να χαρακτηριστεί ως σειριακή, καθώς η εφαρμογή των διανυσμάτων ελέγχου (test pattern) και η λήψη των αποκρίσεων γίνονται σειριακά μέσω των αλυσίδων σάρωσης. Το κύριο πλεονέκτημα της σειριακής σάρωσης είναι το χαμηλό κόστος όσον αφορά τη δρομολόγηση καθώς τα δεδομένα ολισθαίνουν σε γειτονικά κύτταρα. Το κύριο μειονέκτημά της, παρόλα αυτά είναι ότι δε κάνει δυνατό τον καθορισμό της τιμής και την παρατήρηση της τιμής μεμονωμένων κυττάρων σάρωσης χωρίς να επηρεάζει τις τιμές άλλων κυττάρων σάρωσης που βρίσκονται στην αλυσίδα. Η υψηλή δραστηριότητα στα κύτταρα σάρωσης κατά τη διάρκεια της ολίσθησης ή της λήψης των αποκρίσεων μπορεί να προκαλέσει υπερβολική κατανάλωση ενέργειας με αποτέλεσμα τη βλάβη του κυκλώματος, τη χαμηλή αξιοπιστία ή ακόμα και την απώλεια στη απόδοση του ελέγχου του.

Μπορούν να χρησιμοποιηθούν πολλές προσεγγίσεις για να μειωθεί η ενέργεια που καταναλώνεται κατά τον έλεγχο των κυκλωμάτων [13]. Τυπικά, μπορούν να προσφέρουν μια μείωση από 2X έως 10X. Σε αυτή την ενότητα περιγράφονται

αρχιτεκτονικές σάρωσης χαμηλής κατανάλωσης οι οποίες μπορούν να εφαρμοστούν σε σχεδιασμούς muxed D και LSSD.

2.2.2.1 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση της Τάσης

Μια απλή προσέγγιση για τη μείωση της καταναλισκόμενης ενέργειας είναι η μείωση της τάσης τροφοδοσίας. Μειώνοντας τη τάση τροφοδοσίας κατά 2X επιτυγχάνεται μείωση 4X στην ενέργεια που καταναλώνεται κατά τον έλεγχο. Το πρόβλημα με αυτή τη προσέγγιση είναι ότι το κύκλωμα μπορεί να μην είναι σχεδιασμένο να λειτουργεί στη μειωμένη τάση τροφοδοσίας.

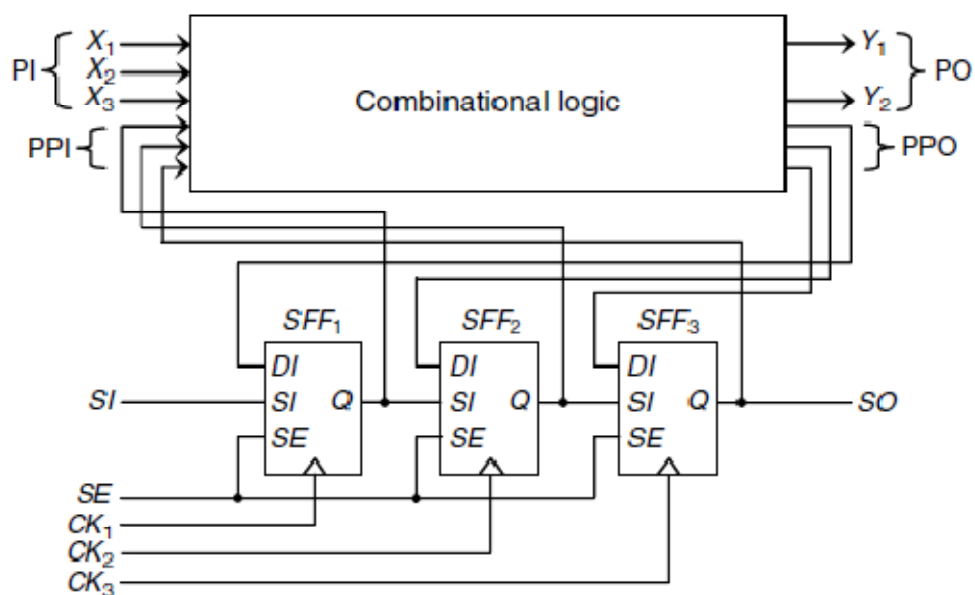
2.2.2.2 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση της Συχνότητας

Μια άλλη προσέγγιση είναι η μείωση τη συχνότητα του ρολογιού ολίσθησης [14]. Μειώνοντας τη συχνότητα ολίσθησης κατά 10X επιτυγχάνεται μείωση 10X στην καταναλισκόμενη ισχύ. Το μειονέκτημα είναι ότι ο χρόνος εφαρμογής του ελέγχου αυξάνεται κατά 10X καθώς διέπεται κυρίως από τη συχνότητα ολίσθησης. Αυτό μπορεί να έχει ως αποτέλεσμα τη δραματική αύξηση του κόστους ελέγχου.

2.2.2.3 Αρχιτεκτονική Χαμηλής Κατανάλωσης Πολλαπλών Φάσεων και Πολλαπλών Δράσεων

Δύο απλές προσεγγίσεις για τη μείωση της ενέργειας είναι η εφαρμογή ρολογιών πολλαπλών (μη επικαλυπτόμενων) φάσεων η εφαρμογή πολλαπλών δράσεων [15][16][17][18]. Η πρώτη τεχνική διασπά το ρολόι σε έναν αριθμό από μη επικαλυπτόμενες φάσεις έτσι ώστε η κάθε μια να οδηγεί ένα μικρό τμήμα από κύτταρα σάρωσης. Έτσι μειώνεται η ενέργεια που καταναλώνεται κατά τον έλεγχο αλλά μπορεί να αυξηθεί ο χρόνος εφαρμογής του ελέγχου. Για την αποφυγή αυτής της αύξησης, οι είσοδοι και έξοδοι σάρωσης όλων των τμημάτων μπορούν να ενωθούν και να πολυπλεχθούν με το αρχικό ρολόι ολίσθησης, αντίστοιχα. Η δεύτερη τεχνική προσθέτει καθυστερήσεις στο ρολόι ολίσθησης έτσι ώστε να εφαρμόζεται μια καθυστερημένη φάση ρολογιού σε ένα μικρό τμήμα κυττάρων ολίσθησης. Αυτή η τεχνική βοηθάει στη μείωση της μέγιστης ισχύος (peak power), αλλά η συνολική

κατανάλωση ενέργειας και έκλυση θερμότητας μπορεί να μην αλλάξουν. Στο Σχήμα 2.8 παρουσιάζονται οι δύο τεχνικές στο διαμορφωμένο κύκλωμα του Σχήματος 2.4(β), όπου το ρολόι CK διασπάται (ή του προστίθεται καθυστέρηση) σε τρεις φάσεις τις: CK_1 , CK_2 , και CK_3 . Με αυτή τη διάταξη επιτυγχάνεται μέχρι 3X μείωση στη κατανάλωση ενέργειας. Το μειονέκτημα αυτής της προσέγγισης είναι η αύξηση του κόστους για τη δρομολόγηση και η πολυπλοκότητα κατά τη σύνθεση του δέντρου ρολογιού (clock tree synthesis).

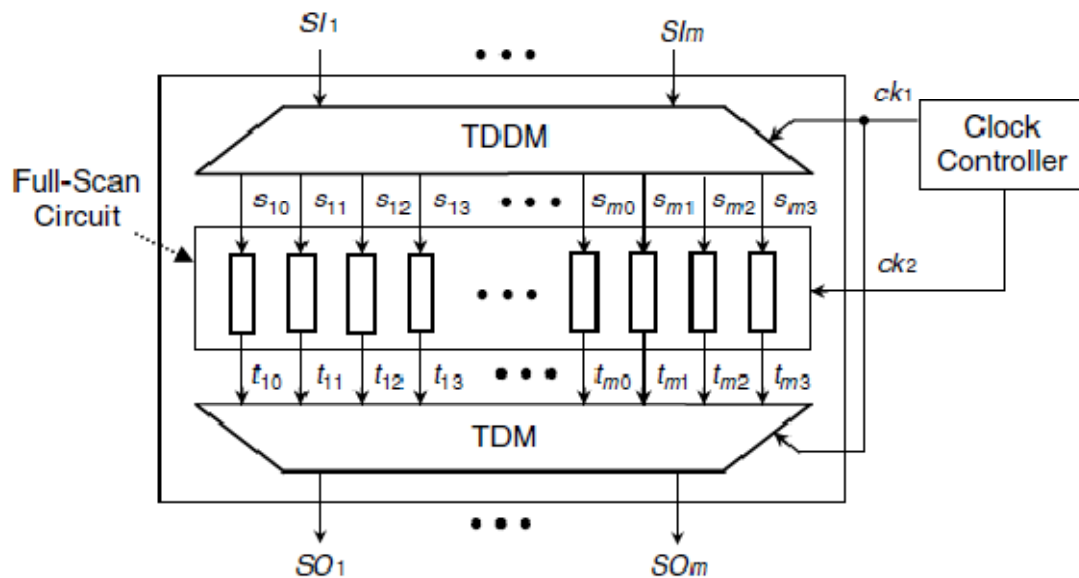


Σχήμα 2.8 Αρχιτεκτονική Χαμηλής Κατανάλωσης Πολλαπλών Φάσεων ή Πολλαπλών Εργασιών.

2.2.2.4 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Ταίριασμα Εύρους Ζώνης (Bandwidth-Matching)

Η κατανάλωση της ενέργειας, κατά τον έλεγχο του κυκλώματος, μπορεί επίσης να μειωθεί χωρίζοντας τη κάθε αλυσίδα σάρωσης σε πολλαπλές αλυσίδες σάρωσης και μειώνοντας τη συχνότητα ολίσθησης του ρολογιού. Αυτό γίνεται χρησιμοποιώντας ζεύγη καταχωρητών ολίσθησης σειριακής εισόδου/παράλληλης εξόδου και καταχωρητών ολίσθησης παράλληλης εισόδου/σειριακής εξόδου για το ταίριασμα του εύρους ζώνης [19][20]. Στο Σχήμα 2.9 φαίνεται η συγκεκριμένη αρχιτεκτονική. Ο αποπλέκτης χρονικού διαμοιρασμού (time division demultiplexer-TDDM) είναι ένας

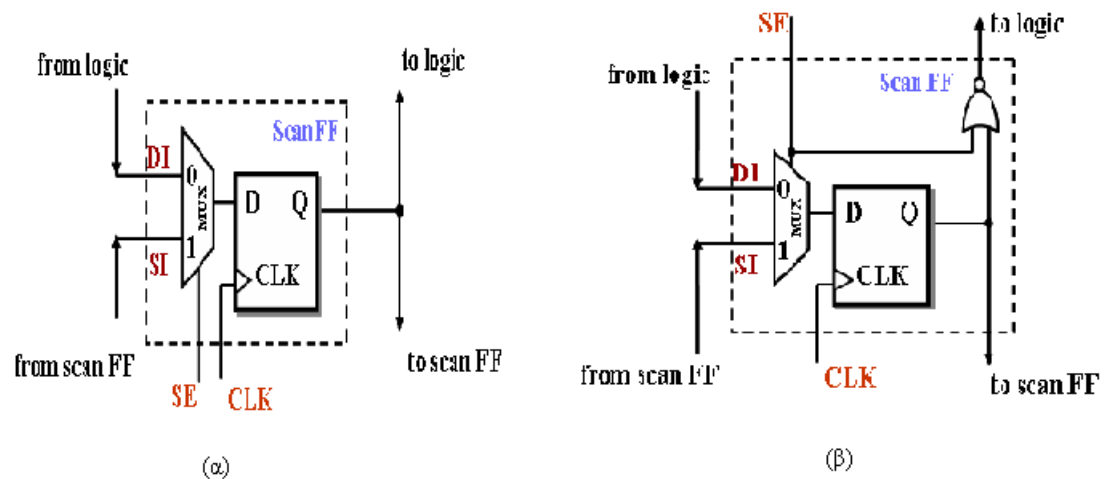
καταχωρητής ολίσθησης σειριακής εισόδου/παράλληλης εξόδου, ενώ ο πολυπλέκτης χρονικού διαμοιρασμού (time division multiplexer-TDM) είναι ένας καταχωρητής ολίσθησης παράλληλης εισόδου/σειριακής εξόδου. Το κύριο μειονέκτημα αυτής της προσέγγισης είναι το κόστος που επιφέρει σε επιφάνεια πυριτίου.



Σχήμα 2.9 Αρχιτεκτονική Χαμηλής Κατανάλωσης με Ταίριασμα Εύρους Ζώνης.

2.2.2.5 Αρχιτεκτονική Χαμηλής Κατανάλωσης με Απομόνωση των Δεδομένων (Data Gating)

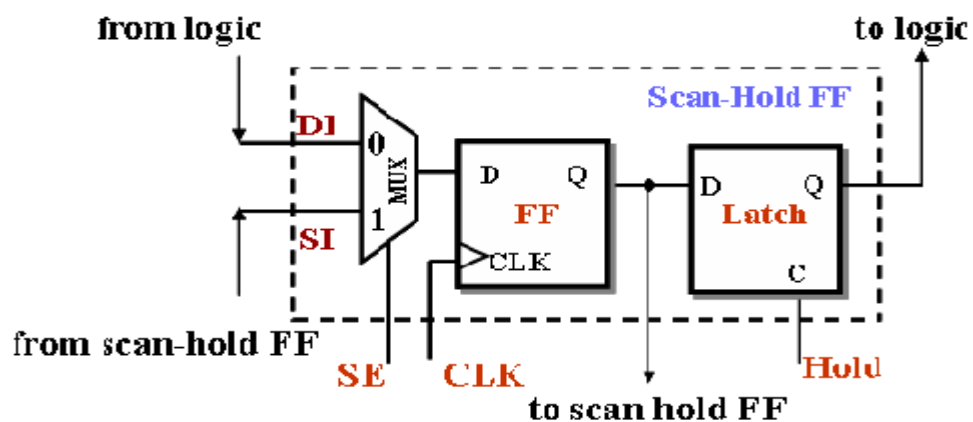
Μια συχνά χρησιμοποιούμενη τεχνική χαμηλής κατανάλωσης είναι η απομόνωση των δεδομένων ελέγχου από τη συνδυαστική λογική κατά την ολίσθησή τους στην αλυσίδα σάρωσης και εφαρμόζεται με τη χρήση μιας λογικής πύλης φαίνεται στο Σχήμα 2.10. Η λογική πύλη εισάγεται ανάμεσα στην έξοδο του flip flop και την είσοδο της λογικής του κυκλώματος όπως συμβαίνει με την πύλη NOR στο σχήμα. Η δεύτερη είσοδος της πύλης οδηγείται από το σήμα ενεργοποίησης της σάρωσης (SE). Έτσι όταν γίνεται ολίσθηση για την εισαγωγή του διανύσματος ελέγχου η πύλη NOR δίνει πάντα λογικό 0 στην έξοδό της. Με αυτό τον τρόπο καταργούνται οι μεταβάσεις σήματος στις εισόδους της συνδυαστικής λογικής κατά τη σειριακή ολίσθηση των δεδομένων ελέγχου με συνέπεια να μειώνεται δραστικά η κατανάλωσή της κατά τον έλεγχο ορθής λειτουργίας.



Σχήμα 2.10 Χαμηλή Κατανάλωση με Απομόνωση Δεδομένων Ελέγχου (α) Αρχική Τοπολογία και (β) Τοπολογία με Χρήση Πύλης NOR.

2.2.2.6 Αρχιτεκτονική Χαμηλής Κατανάλωσης με Flip-Flop Κατακράτησης

Μια άλλη τεχνική που εμποδίζει τις μεταβάσεις σήματος στις εισόδους της λογικής είναι αυτή που φαίνεται στο Σχήμα 2.11, και χρησιμοποιεί μανδαλωτή (latch) για την απομόνωση των δεδομένων ελέγχου από την συνδυαστική λογική. Όσο το σήμα Hold είναι σε λογικό 0 ο μανδαλωτής είναι σε κατάσταση μνήμης και τροφοδοτεί τη λογική με τις προηγούμενες σταθερές τιμές που είχαν κατακρατηθεί στην έξοδό του. Συνεπώς, διατηρώντας το σήμα Hold σε λογικό μηδέν κατά τη διάρκεια της ολίσθησης δε υφίστανται μεταβάσεις σήματος στις εισόδους της λογικής και η κατανάλωση του συνδυαστικού τμήματος «μηδενίζεται».

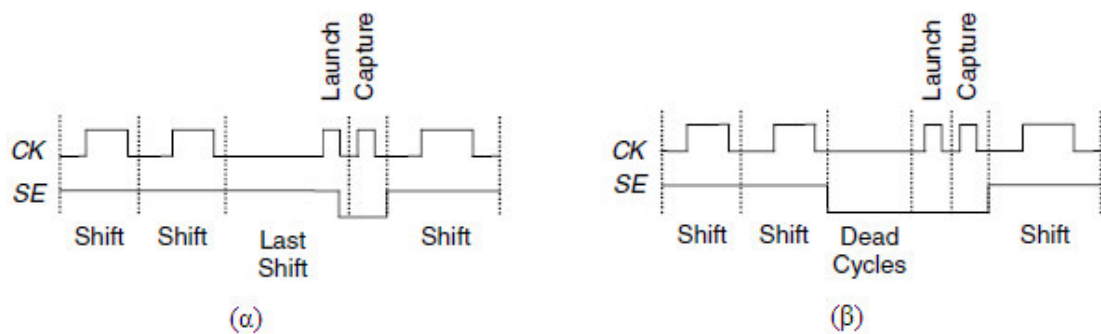


Σχήμα 2.11 Χαμηλή Κατανάλωση με τη Χρήση Μανδαλωτή.

2.2.3 Αρχιτεκτονικές Σάρωσης για Έλεγχο στην Ταχύτητα Λειτουργίας (*At-Speed Scan Testing*)

Παρόλο που η σειριακή σάρωση χρησιμοποιείται κοινώς στη βιομηχανία για χαμηλής ταχύτητας έλεγχο σε σφάλματα μόνιμης τιμής, η πραγματική της αξία είναι στο να μπορεί να παρέχει έλεγχο στην ταχύτητα λειτουργίας (at-speed) για υψηλής ταχύτητας και απόδοσης κυκλώματα. Αυτά τα κυκλώματα περιλαμβάνουν συχνά πολλαπλές περιοχές ρολογιού (clock domains), όπου καθεμιά λειτουργεί σε μια συχνότητα η οποία μπορεί να είναι είτε σύγχρονη είτε ασύγχρονη ως προς τις άλλες περιοχές. Δυο περιοχές ρολογιού ονομάζονται σύγχρονες αν οι ενεργές ακμές και των δυο ρολογιών που ελέγχουν τις δυο περιοχές μπορούν να ευθυγραμμιστούν ακριβώς ή να ‘πυροδοτηθούν’ ταυτόχρονα. Δυο περιοχές ρολογιού ονομάζονται ασύγχρονες αν δεν είναι σύγχρονες.

Υπάρχουν δυο βασικές διατάξεις χρονισμού για τη σύλληψη των αποκρίσεων ελέγχου (capture-clocking) κατά τον έλεγχο στην ταχύτητα λειτουργίας πολλαπλών περιοχών ρολογιού: η εφαρμογή δεδομένων κατά τη φάση ολίσθησης (launch-on-shift ή skewed-load) και η εφαρμογή δεδομένων κατά τη φάση σύλληψης (launch-on-capture ή double-capture). Οι δυο διατάξεις μπορούν να ανιχνεύσουν σφάλματα καθυστέρησης διάδοσης σήματος σε διαδρομή (path-delay faults) και μετάβασης (transitions faults) μέσα σε μια περιοχή ρολογιού ή μεταξύ των περιοχών ρολογιού. Η τεχνική εφαρμογής δεδομένων κατά τη φάση ολίσθησης χρησιμοποιεί τον τελευταίο παλμό ολίσθησης για να δώσει τα δεδομένα ελέγχου στο κύκλωμα, ακολουθούμενο αμέσως από ένα παλμό σύλληψης για τη σύλληψη στα flip-flop της απόκρισης του ελέγχου. Η τεχνική εφαρμογής δεδομένων κατά τη φάση σύλληψης χρησιμοποιεί δυο διαδοχικούς παλμούς σύλληψης για να δώσει δεδομένα ελέγχου στο κύκλωμα και να συλλάβει στα flip-flop την σχετική απόκριση. Και στις δυο τεχνικές, ο δεύτερος παλμός του ρολογιού πρέπει να εκτελείται στη ταχύτητα που λειτουργεί η συγκεκριμένη περιοχή ρολογιού. Η διαφορά είναι ότι η πρώτη απαιτεί το σήμα ενεργοποίησης της σάρωσης SE της περιοχής ρολογιού να αλλάξει τιμή ανάμεσα στους παλμούς εφαρμογής και σύλληψης κάνοντας το SE να λειτουργεί σαν να ήταν ένα σήμα ρολογιού με αποτέλεσμα η δρομολόγησή του να είναι ένα δύσκολο, υψηλού κόστους έργο. Το Σχήμα 2.12 δείχνει τις κυματομορφές κατά την εφαρμογή των δυο τεχνικών.



Σχήμα 2.12 Οι Δυο Βασικές Τεχνικές Ελέγχου στην Ταχύτητα Λειτουργίας (α) Εφαρμογή Δεδομένων κατά τη Φάση Ολίσθησης και (β) Εφαρμογή Δεδομένων κατά τη Φάση Σύλληψης.

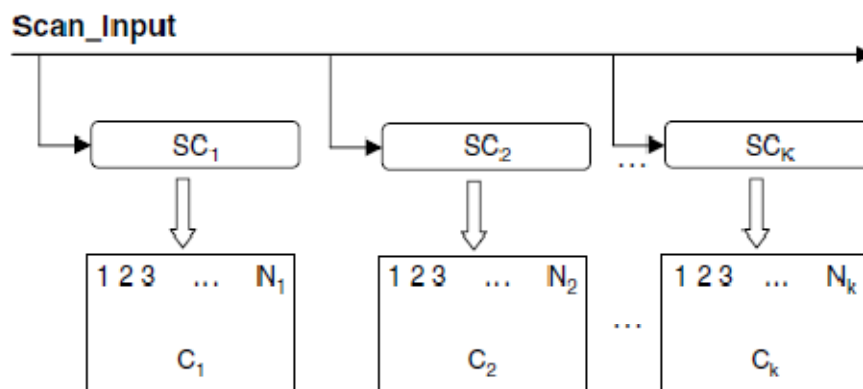
2.2.4 Αρχιτεκτονικές Σάρωσης Πολλαπλών Αποδεκτών (Broadcast Scan Testing)

Μια κατηγορία τεχνικών σάρωσης είναι οι αρχιτεκτονικές σάρωσης πολλαπλών αποδεκτών οι οποίες χρησιμοποιούνται ευρύτατα και αποτελούν τη βάση για διάφορες τεχνικές συμπίεσης δεδομένων (test data compression).

2.2.4.1 Σάρωση Πολλαπλών Αποδεκτών

Το παράδειγμα που ακολουθεί εξηγεί τη βασική ιδέα της σάρωσης πολλαπλών αποδεκτών. Έστω δύο ανεξάρτητα κυκλώματα C_1 και C_2 . Τα δύο κυκλώματα έχουν τα δικά τους σύνολα ελέγχου $T_1 = \langle t_{11}, t_{12}, \dots, t_{1k} \rangle$ και $T_2 = \langle t_{21}, t_{22}, \dots, t_{2l} \rangle$, αντίστοιχα. Γενικά, ένα σύνολο ελέγχου μπορεί να αποτελείται από τυχαία και από ντετερμινιστικά διανύσματα. Στην αρχή της Αυτόματης Παραγωγής Διανυσμάτων Ελέγχου (ATPG), συνήθως χρησιμοποιούνται αρχικά τα τυχαία διανύσματα για να ανιχνευθούν τα εύκολα ανιχνεύσιμα σφάλματα. Αν χρησιμοποιούνται τα ίδια τυχαία διανύσματα όταν παράγονται μαζί το T_1 και το T_2 τότε μπορεί να ισχύει $t_{11} = t_{21}$, $t_{12} = t_{22}$, ..., μέχρι κάποιο i -οστό διάνυσμα. Αφού ανιχνευθούν τα περισσότερα σφάλματα από τα τυχαία διανύσματα, παράγονται ντετερμινιστικά διανύσματα για τα δύσκολα ανιχνεύσιμα σφάλματα που έχουν απομείνει. Γενικά αυτά τα διανύσματα έχουν πολλά απροσδιόριστα bits (X bits). Για παράδειγμα, όταν παράγεται το $t_{1(i+1)}$, μπορεί να υπάρχουν ακόμα πολλά απροσδιόριστα X bits όταν δε θα μπορούν πλέον

να ανιχνευθούν σφάλματα στο C_1 . Χρησιμοποιώντας ένα διάνυσμα ελέγχου με bits καθορισμένα μέχρι εδώ για το C_1 , μπορεί στη συνέχεια να πάρουν συγκεκριμένες τιμές για να ανιχνεύσει σφάλματα στο C_2 . Για το λόγο αυτό, το τελικό διάνυσμα θα είναι αποτελεσματικό στην ανίχνευση σφαλμάτων και των δύο κυκλωμάτων C_1 και C_2 .



Σχήμα 2.13 Η Μέθοδος Πολλαπλών Αποδεκτών σε Αλυσίδες Σάρωσης που Οδηγούν Ανεξάρτητα Κυκλώματα.

Η ιδέα του διαμοιρασμού των διανυσμάτων (pattern sharing) μπορεί να επεκταθεί σε πολλαπλά κυκλώματα όπως φαίνεται και στο Σχήμα 2.13. Ένα σημαντικό πλεονέκτημα στη χρήση της σάρωσης πολλαπλών αποδεκτών σε ανεξάρτητα κυκλώματα είναι ότι όλα τα σφάλματα που είναι ανιχνεύσιμα σε καθένα από τα αρχικά κυκλώματα θα είναι επίσης ανιχνεύσιμα και με τη νέα δομή. Αυτό συμβαίνει γιατί αν ένα διάνυσμα ελέγχου μπορεί να ανιχνεύσει ένα σφάλμα σε ένα ανεξάρτητο κύκλωμα, τότε θα είναι επίσης δυνατό αυτό το διάνυσμα να ανιχνεύσει το σφάλμα στη δομή πολλαπλών αποδεκτών. Έτσι, η μέθοδος σάρωσης πολλαπλών αποδεκτών δε θα επηρεάσει την κάλυψη σφαλμάτων αν όλα τα κυκλώματα είναι ανεξάρτητα. Να σημειωθεί επίσης ότι η μέθοδος αυτή μπορεί να εφαρμοστεί και στις πολλαπλές αλυσίδες σάρωσης ενός κυκλώματος αν όλα τα υποκυκλώματα που οδηγούνται από τις αλυσίδες σάρωσης είναι ανεξάρτητα μεταξύ τους.

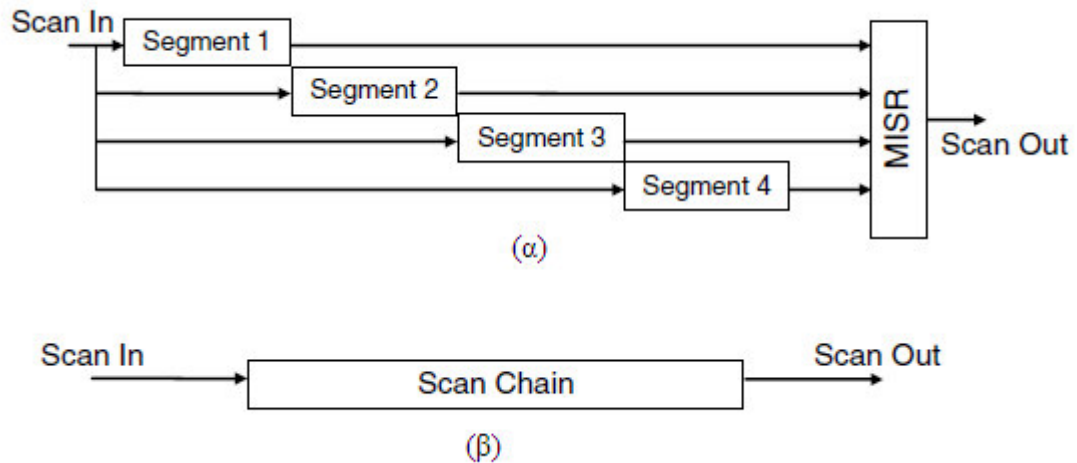
Illinois Σάρωση

Αν η σάρωση πολλαπλών αποδεκτών χρησιμοποιηθεί για πολλαπλές αλυσίδες ενός κυκλώματος όπου τα υποκυκλώματα που οδηγούνται από αυτές δεν είναι ανεξάρτητα, τότε χάνεται η ιδιότητα να είναι πάντα όλα τα σφάλματα ανιχνεύσιμα. Ο λόγος που συμβαίνει αυτό είναι ότι αν δύο αλυσίδες σάρωσης μοιράζονται το ίδιο κανάλι, τότε το i-οστό κύτταρο σάρωσης της μίας αλυσίδας σάρωσης θα παίρνει πάντα την ίδια τιμή με το i-οστό κύτταρο σάρωσης της άλλης αλυσίδας σάρωσης. Αν κάποιο σφάλμα απαιτεί δυο τέτοια κύτταρα να έχουν αντίθετες τιμές ώστε να ανιχνευθεί, τότε η ανίχνευσή του δεν θα είναι εφικτή με τη σάρωση πολλαπλών αποδεκτών.

Για τη λύση στο πρόβλημα, προτάθηκε η αρχιτεκτονική σάρωσης Illinois [21][22]. Αυτή η αρχιτεκτονική σάρωσης αποτελείται από δυο τρόπους λειτουργίας, έναν τρόπο λειτουργίας πολλαπλών αποδεκτών και έναν τρόπο λειτουργίας κλασικής σειριακής σάρωσης, όπως φαίνεται στο Σχήμα 2.14. Ο τρόπος πολλαπλών αποδεκτών χρησιμοποιείται στην αρχή για να ανιχνεύσει τα περισσότερα σφάλματα στο κύκλωμα. Κατά τη διάρκεια αυτού του τρόπου λειτουργίας μια αλυσίδα σάρωσης χωρίζεται σε πολλαπλές υποαλυσίδες που ονομάζονται τμήματα και σε όλα τα τμήματα δύναται να ολισθηθούν τα ίδια διανύσματα από μια διαμοιραζόμενη scan-in είσοδο. Οι αποκρίσεις από όλες τις υποαλυσίδες συμπιέζονται στη συνέχεια από ένα MISR ή κάποιον άλλο συμπιεστή. Για τα σφάλματα που απομένουν και δε μπορούν να ανιχνευθούν με τον τρόπο λειτουργίας, πολλαπλών αποδεκτών χρησιμοποιείται ο σειριακής σάρωσης τρόπος λειτουργίας με τον οποίο μπορεί να εφαρμοστεί οποιοδήποτε διάνυσμα ελέγχου σε κάθε υποαλυσίδα. Αυτό εξασφαλίζει ότι μπορεί να επιτευχθεί πλήρης κάλυψη σφαλμάτων. Η επιπλέον λογική που απαιτείται για να υλοποιηθεί η Illinois αρχιτεκτονική αποτελείται από μερικούς πολυπλέκτες και κάποια απλή λογική ελέγχου για να εναλλάσσονται οι δύο τρόποι λειτουργίας. Το κόστος σε επιφάνεια αυτής της λογικής είναι τυπικά αρκετά μικρό σε σύγκριση με το ολικό κόστος επιφάνειας του ολοκληρωμένου.

Το κύριο μειονέκτημα της Illinois αρχιτεκτονικής είναι ότι δεν επιτυγχάνεται συμπίεση όταν εκτελείται ο σειριακής σάρωσης τρόπος λειτουργίας. Αυτό μπορεί να

υποβαθμίσει σημαντικά τον ολικό λόγο συμπίεσης αν πρέπει πολλαπλά διανύσματα ελέγχου να εφαρμοστούν στον σειριακής σάρωσης τρόπο λειτουργίας.



Σχήμα 2.14 Οι Δυο Τρόποι Λειτουργίας της Illinois Αρχιτεκτονικής (α) Σάρωση Πολλαπλών Αποδεκτών και (β) Σειριακή Σάρωση.

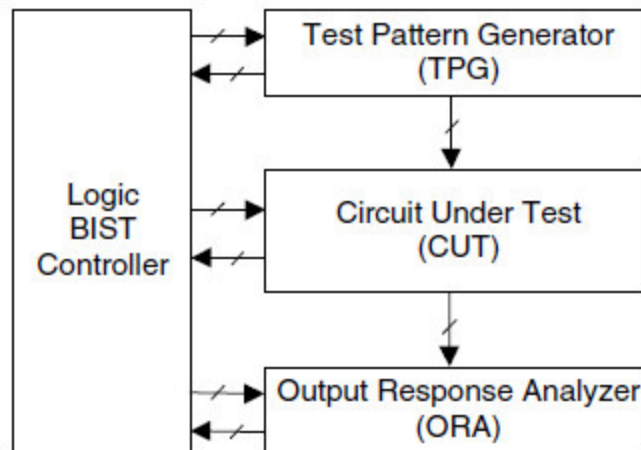
2.3 Ενσωματωμένος Αυτοέλεγχος

Στο Σχήμα 2.15 φαίνεται μια τυπική λογική ενσωματωμένου αυτοελέγχου (Built-In Self Test-BIST). Ο γεννήτορας διανυσμάτων ελέγχου (test pattern generator-TPG) παράγει αυτόματα διανύσματα ελέγχου τα οποία εφαρμόζονται στις εισόδους του υπό έλεγχο κυκλώματος (circuit under test-CUT). Ο αναλυτής των αποκρίσεων των εξόδων (output response analyzer-ORA) συμπιέζει αυτόματα τις αποκρίσεις των εξόδων του CUT σε μια υπογραφή. Ο λογικός ελεγκτής BIST (logic BIST controller) συντονίζει τη λειτουργία του ανάμεσα στα TPG, CUT και ORA, με τη παραγωγή συγκεκριμένων σημάτων ελέγχου BIST, όπως ενεργοποίησης της σάρωσης και του ρολογιού. Επίσης παρέχει μια ένδειξη επιτυχίας/αποτυχίας του κυκλώματος μόλις ολοκληρωθεί η λειτουργία του BIST. Για να γίνει αυτό ο λογικός ελεγκτής BIST συγκρίνει τη τελική υπογραφή, με μια λογική σύγκρισης, με μια ενσωματωμένη χρυσή υπογραφή και συχνά περιλαμβάνει μια διαγνωστική λογική για τη διάγνωση σφαλμάτων. Καθώς η συμπίεση χρησιμοποιείται ευρέως για την ανάλυση των αποκρίσεων των εξόδων, πρέπει όλα τα στοιχεία μνήμης στα TPG, CUT και ORA να είναι αρχικοποιημένα σε γνωστές τιμές πριν ολισθήσουν διανύσματα ελέγχου και

άγνωστες τιμές από το CUT στον ORA. Δηλαδή, το CUT πρέπει να ‘υπακούει’ σε πιο αυστηρούς σχεδιαστικούς κανόνες BIST [23] σε σχέση με εκείνους που πρέπει να ‘υπακούει’ μια αρχιτεκτονική σάρωσης.

Για τη παραγωγή των BIST διανυσμάτων, χρησιμοποιείται όπως αναφέρθηκε ο γεννήτορας διανυσμάτων ελέγχου (TPG), ο οποίος κατασκευάζεται συνήθως από καταχωρητές ολίσθησης γραμμικής ανάδρασης (Linear Feedback Shift Register-LFSR)[24] που παράγουν διανύσματα ελέγχου ή ακολουθίες ελέγχου για εξαντλητικό έλεγχο, ψευδο-τυχαίο έλεγχο και ψευδο-εξαντλητικό έλεγχο. Ο εξαντλητικός έλεγχος πάντα εγγυάται 100% κάλυψη των σφαλμάτων μόνιμης τιμής. Αυτή η τεχνική απαιτεί να εφαρμοστούν όλα τα πιθανά 2^n διανύσματα ελέγχου στις n εισόδους ενός CUT, διαδικασία η οποία μπορεί να έχει πολύ μεγάλη διάρκεια σε συνδυαστικά κυκλώματα όπου το n είναι πολύ μεγάλο. Για αυτό το λόγο συχνά χρησιμοποιείται ο ψευδοτυχαίος έλεγχος για τη παραγωγή ενός υποσυνόλου των 2^n διανυσμάτων ελέγχου και χρησιμοποιεί προσομοίωση σφαλμάτων για να υπολογιστεί η ακριβής κάλυψη σφαλμάτων. Ο γεννήτορας διανυσμάτων ελέγχου συχνά αναφέρεται ως γεννήτορας ψευδο-τυχαίων διανυσμάτων (pseudo-random pattern generator-PRPG). Σε κάποιες περιπτώσεις αυτό μπορεί να απαιτεί πολύ χρόνο ή να μην είναι εφικτό. Για να μη χρειάζεται η προσομοίωση σφαλμάτων και συγχρόνως να διατηρείται η 100% κάλυψη απλών σφαλμάτων μόνιμης τιμής, μπορεί να χρησιμοποιηθεί ο ψευδο-εξαντλητικός έλεγχος για να παράγονται 2^w ή 2^{k-1} διανύσματα ελέγχου, όπου $w < k < n$, εφόσον κάθε έξοδος ενός συνδυαστικού CUT n εισόδων εξαρτάται από w εισόδους.

Για τη συμπίεση των αποκρίσεων των εξόδων, χρησιμοποιούνται συνήθως καταχωρητές υπογραφής πολλαπλής εισόδου (multiple input signature registers-MISRs). Ο MISR είναι ουσιαστικά ένα LFSR που χρησιμοποιεί μια επιπλέον XOR πύλη στην είσοδο κάθε βαθμίδας LFSR για να συμπιέζεται η έξοδος των αποκρίσεων του CUT κατά τη διάρκεια της κάθε λειτουργίας ολίσθησης δεδομένων ελέγχου. Συχνά, για να μειωθεί περισσότερο το υλικό του ORA, συνδέεται στις εισόδους του MISR ένας γραμμικός συμπιεστής γραμμικής φάσης (linear phase compactor) αποτελούμενος από ένα δίκτυο πυλών XOR.



Σχήμα 2.15 Ένα Τυπικό Σύστημα Λογικού BIST.

2.3.1 BIST Αρχιτεκτονικές Προσανατολισμένες στην Κάλυψη Σφαλμάτων

Στον ψευδο-τυχαίο έλεγχο, η κάλυψη των σφαλμάτων περιορίζεται από τη παρουσία των σφαλμάτων που δεν ανιχνεύονται από τα τυχαία διανύσματα (σφάλματα ανθεκτικά σε ψευδοτυχαία διανύσματα - random pattern resistant-RP resistant). Όταν η κάλυψη των σφαλμάτων δεν είναι επαρκής, μπορούν να χρησιμοποιηθούν διάφορες προσεγγίσεις ώστε αυτή να αυξηθεί όπως: (1) με τη παραγωγή διανυσμάτων με βάρη, (2) με την εισαγωγή σημείων ελέγχου, (3) με μεικτό BIST (mixed mode) και (4) υβριδικό BIST.

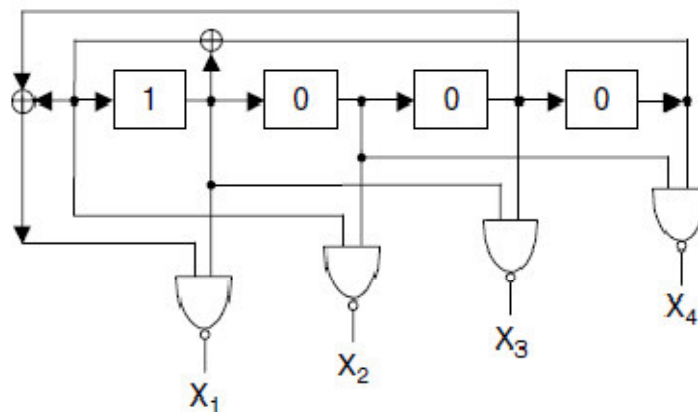
Για τη παραγωγή διανυσμάτων με βάρη εισάγεται ένα συνδυαστικό κύκλωμα ανάμεσα στην έξοδο του PRPG και το CUT για να αυξηθεί η συχνότητα εμφάνισης μιας λογικής τιμής μειώνοντας την εμφάνιση της άλλης λογικής τιμής. Με την εισαγωγή σημείων ελέγχου προστίθενται σημεία ελέγχου και παρατήρησης για τη παροχή επιπρόσθετου ελέγχου και παρατήρησης ώστε να αυξηθεί η πιθανότητα ανίχνευσης σφαλμάτων ανθεκτικών σε ψευδο-τυχαία διανύσματα κατά τον ψευδο-τυχαίο έλεγχο. Το μεικτό BIST περιλαμβάνει τη συμπλήρωση των ψευδο-τυχαίων διανυσμάτων με κάποια ντετερμινιστικά τα οποία ανιχνεύουν ανθεκτικά σε ψευδο-τυχαία διανύσματα σφάλματα και παράγονται χρησιμοποιώντας υλικό που προστίθεται στο ολοκληρωμένο αφού έχει κατασκευασθεί (on-chip hardware). Όταν ο BIST έλεγχος γίνεται κατά τη διαδικασία κατασκευής, όπου είναι παρών και ένας εξωτερικός ελεγκτής, τότε πρόκειται για υβριδικό BIST το οποίο συνδυάζει BIST και

εξωτερικό έλεγχο συμπληρώνοντας τα ψευδο-τυχαία διανύσματα με ντετερμινιστικά διανύσματα από τον ελεγκτή για να βελτιώσει τη κάλυψη των σφαλμάτων. Κάθε μια από αυτές τις τεχνικές περιγράφεται αναλυτικά στις επόμενες ενότητες.

2.3.1.1 Παραγωγή Διανυσμάτων με Βάρη

Τα διανύσματα με βάρη [25] χρησιμοποιούνται για να αυξήσουν τη κάλυψη των σφαλμάτων ενός κυκλώματος. Το συνδυαστικό κύκλωμα που εισάγεται ανάμεσα στην έξοδο του LFSR και το CUT αυξάνει τη συχνότητα εμφάνισης μιας λογικής τιμής ενώ μειώνει την εμφάνιση της άλλης. Αυτή η προσέγγιση μπορεί να αυξήσει τη πιθανότητα ανίχνευσης εκείνων των σφαλμάτων που είναι δύσκολο να ανιχνευθούν χρησιμοποιώντας τη τυπική τεχνική παραγωγής διανυσμάτων από LFSR.

Για κάποια κυκλώματα, απαιτούνται αρκετά προγραμματισμένα σύνολα βαρών για να αυξηθεί περισσότερο η κάλυψη σφαλμάτων [26][27][28][29]. Στο Σχήμα 2.16 δίδεται ένα LFSR τεσσάρων σταδίων με βάρη και πιθανότητα κατανομής 0.75.



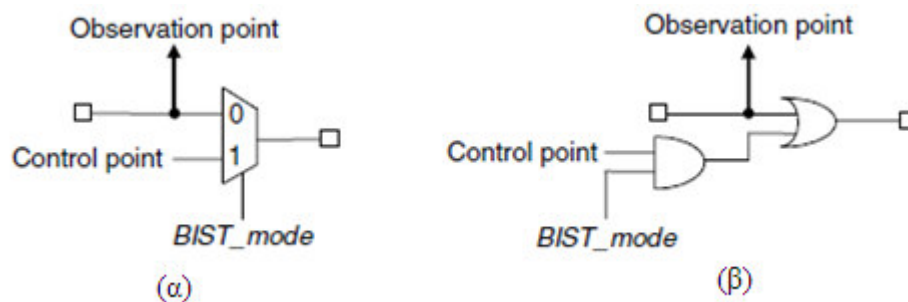
Σχήμα 2.16 Παράδειγμα LFSR με Βάρη.

2.3.1.2 Εισαγωγή Σημείου Ελέγχου

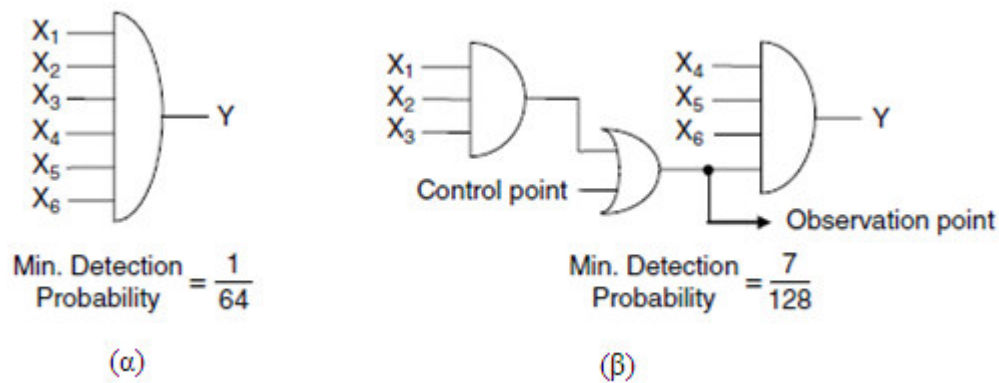
Παρόλο που η παραγωγή διανυσμάτων με βάρη είναι απλή στο σχεδιασμό, η επίτευξη επαρκούς κάλυψης σφαλμάτων για ένα BIST κύκλωμα παραμένει ως πρόβλημα. Τα σημεία ελέγχου (test points) μπορούν να χρησιμοποιηθούν για να αυξήσουν τη κάλυψη σφαλμάτων του κυκλώματος σε ένα επιθυμητό επίπεδο. Στο Σχήμα 2.17 δύο

τύποι σημείων ελέγχου που μπορούν να εισαχθούν. Ένα σημείο επιβολής (control point) μπορεί να συνδεθεί σε μια κύρια είσοδο, σε ένα υπάρχον κύτταρο εξόδου ή σε ένα κύτταρο εξόδου αποκλειστικά για επιβολή τιμής (dedicated scan cell output). Ένα σημείο παρατήρησης (observation point) μπορεί να συνδεθεί σε μια κύρια έξοδο μέσω ενός πολυπλέκτη, σε ένα υπάρχον κύτταρο εισόδου ή σε ένα κύτταρο εισόδου αποκλειστικά για παρατήρηση τιμής (dedicated scan cell input).

Το Σχήμα 2.18(β) δείχνει ένα παράδειγμα ενός σημείου επιβολής και ενός σημείου παρατήρησης τα οποία προστέθηκαν για να αυξήσουν τη πιθανότητα ανίχνευσης σφαλμάτων σε μια πύλη AND 6 εισόδων, η οποία φαίνεται στο Σχήμα 2.18(α). Χωρίζοντας τη πύλη AND 6 εισόδων σε δυο πύλες λιγότερων εισόδων και τοποθετώντας ένα σημείο επιβολής και ένα σημείο παρατήρησης ανάμεσα στις δυο πύλες AND με τις λιγότερες εισόδους, είναι δυνατό να αυξηθεί η πιθανότητα ανίχνευσης σφαλμάτων στην αρχική πύλη AND 6 εισόδων, αυξάνοντας έτσι την ελεγχσιμότητα του κυκλώματος ως προς τα ανθεκτικά σε ψευδο-τυχαία διανύσματα σφάλματα. Αφού εισαχθούν τα σημεία ελέγχου το πιο δύσκολο σφάλμα που μπορεί να ανιχνευθεί είναι το stuck-at-1 στη κάτω είσοδο της πύλης AND με τις τέσσερις εισόδους. Σε αυτή τη περίπτωση μια από τις εισόδους X_1 , X_2 και X_3 πρέπει να είναι 0, το σημείο ελέγχου πρέπει να είναι 0 και όλες οι εισοδοί X_4 , X_5 και X_6 πρέπει να είναι 1 ώστε να επιτευχθεί μια πιθανότητα ανίχνευσης $7/128 (=7/8 \times 1/2 \times 1/2 \times 1/2 \times 1/2)$.



Σχήμα 2.17 (α) Σημείο Ελέγχου με Πολυπλέκτη και (β) Σημείο Ελέγχου με Πύλες AND-OR.



Σχήμα 2.18 Παράδειγμα Εισαγωγής Σημείων Ελέγχου (α) για Ένα Ανθεκτικό σε Ψευδο-τυχαία Διανύσματα stuck-at-0 Σφάλμα στην Έξοδο και (β) Παράδειγμα Εισερχόμενων Σημείων Ελέγχου.

Τοποθέτηση του σημείου ελέγχου

Επειδή τα σημεία ελέγχου προσθέτουν επιφάνεια και κόστος στην απόδοση, ένα σημαντικό ζήτημα που προκύπτει είναι που θα τοποθετούνται τα σημεία ελέγχου ώστε να μεγιστοποιείται η κάλυψη σφαλμάτων και να ελαχιστοποιείται ο αριθμός των σημείων που απαιτούνται. Πρέπει να σημειωθεί ότι δεν αρκεί να χρησιμοποιούνται μόνο σημεία παρατήρησης, καθώς κάποια σφάλματα απαιτούν σημεία επιβολής για την ανίχνευσή τους. Η βέλτιστη τοποθέτηση των σημείων ελέγχου σε κυκλώματα με σημεία επανασύγκλισης αποτελεί NP-πλήρες πρόβλημα [30]. Έχουν αναπτυχθεί διάφορες τεχνικές προσέγγισης για τη τοποθέτηση των σημείων ελέγχου χρησιμοποιώντας είτε προσομοίωση σφαλμάτων [31][32] είτε μέτρα ελεγχσιμότητας (testability measures) [33][34] σαν οδηγούς. Έχουν αναπτυχθεί επίσης timing-driven τεχνικές εισαγωγής σημείων ελέγχου ώστε να αποφεύγεται η πρόσθετη καθυστέρηση σε ένα κρίσιμο μονοπάτι.

Ενεργοποίηση του σημείου ελέγχου

Μόλις εισαχθούν τα σημεία ελέγχου, πρέπει να σχεδιαστεί η λογική που θα τα οδηγήσει. Όταν ενεργοποιείται ένα σημείο επιβολής, αναγκάζει ένα συγκεκριμένο κόμβο του κυκλώματος να έχει μια δεδομένη τιμή. Κατά τη διάρκεια του ελέγχου, υπάρχουν διάφορες στρατηγικές για το πώς και πότε θα ενεργοποιηθούν τα σημεία ελέγχου. Μια προσέγγιση είναι η τυχαία ενεργοποίηση, όπου τα σημεία ελέγχου

οδηγούνται από το γεννήτορα ψευδοτυχαίων διανυσμάτων. Το μειονέκτημα αυτής της τεχνικής είναι ότι όταν εισάγεται μεγάλος αριθμός σημείων ελέγχου, τότε μπορεί να παρεμβαίνουν το ένα στο άλλο και να μη βελτιώσουν τη κάλυψη σφαλμάτων όσο είναι επιθυμητό. Μια εναλλακτική στη τυχαία ενεργοποίηση είναι η χρήση ντετερμινιστικής ενεργοποίησης. Ο BIST χωρίζεται σε δύο φάσεις και ενεργοποιεί ντετερμινιστικά κάποιο από τα υποσύνολα των σημείων ελέγχου σε κάθε φάση. Μια άλλη τεχνική χρησιμοποιεί λογική αποκωδικοποίησης των διανυσμάτων ώστε να ενεργοποιεί τα σημεία ελέγχου μόνο για συγκεκριμένα διανύσματα όπου χρειάζεται να ανιχνευθούν ανθεκτικά σε ψευδο-τυχαία διανύσματα σφάλματα.

2.3.1.3 Μεικτό BIST

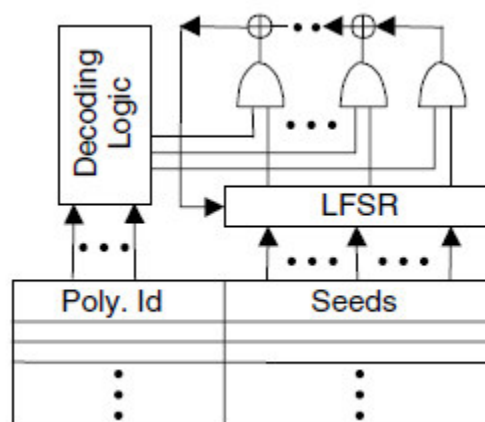
Ένα σημαντικό μειονέκτημα της εισαγωγής σημείων ελέγχου είναι ότι απαιτεί τη τροποποίηση του CUT. Σε κάποιες περιπτώσεις αυτό δεν είναι δυνατό ή επιθυμητό (π.χ. hard cores). Ένας εναλλακτικός τρόπος βελτίωσης της κάλυψης των σφαλμάτων χωρίς τη τροποποίηση του CUT είναι η χρήση του μεικτού BIST (mixed-mode BIST). Παράγονται ψευδοτυχαία διανύσματα για την ανίχνευση απλών σφαλμάτων και στη συνέχεια παράγονται κάποια πρόσθετα ντετερμινιστικά διανύσματα για να ανιχνεύσουν ανθεκτικά σε ψευδο-τυχαία διανύσματα σφάλματα. Υπάρχουν αρκετοί τρόποι ενσωματωμένης παραγωγής ντετερμινιστικών διανυσμάτων. Στη συνέχεια περιγράφονται τρεις προσεγγίσεις.

Συμπίεση ROM

Ο απλούστερος τρόπος ενσωματωμένης παραγωγής ντετερμινιστικών διανυσμάτων είναι με την αποθήκευση τους σε μια μνήμη μόνο για ανάγνωση (read-only-memory ROM). Το πρόβλημα με αυτή τη προσέγγιση είναι ότι το μέγεθος της απαιτούμενης μνήμης είναι συχνά απαγορευτικό. Παρόλο που έχουν προταθεί αρκετές τεχνικές συμπίεσης ROM με μείωση του μεγέθους της, τα αποτελέσματα δεν είναι δελεαστικά.

Επαναρχικοποίηση του LFSR (Reseeding)

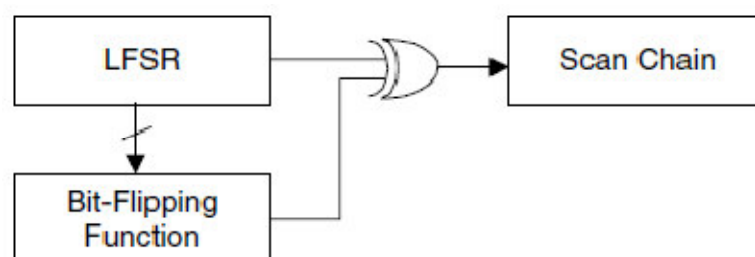
Αντί του να αποθηκεύονται τα διανύσματα ελέγχου σε μια ROM, έχουν αναπτυχθεί τεχνικές αποθήκευσης των διανυσμάτων αρχικοποίησης (seeds) του LFSR που θα χρησιμοποιηθούν για τη παραγωγή διανυσμάτων ελέγχου [35]. Το LFSR που χρησιμοποιείται για τη παραγωγή των ψευδοτυχαίων διανυσμάτων χρησιμοποιείται επίσης για τη παραγωγή των ντετερμινιστικών διανυσμάτων, επαναρχικοποιώντας το (reseeding) με προ-υπολογισμένα διανύσματα. Τα διανύσματα αρχικοποίησης μπορούν να υπολογιστούν με χρήση της γραμμικής άλγεβρας. Επειδή τα διανύσματα αρχικοποίησης είναι πολύ λιγότερα από τα διανύσματα ελέγχου, απαιτούν μικρότερη ROM. Ένα πρόβλημα είναι ότι για ένα LFSR με ένα δεδομένο χαρακτηριστικό πολυώνυμο, μπορεί να μην είναι πάντα δυνατό να βρεθεί ένα διάνυσμα αρχικοποίησης που θα παράγει αποτελεσματικά τα απαιτούμενα ντετερμινιστικά διανύσματα ελέγχου. Μια λύση στο πρόβλημα είναι να χρησιμοποιείται ένα LFSR πολλαπλών πολυωνύμων (multiple polynomial LFSR-MP LFSR) [36], όπως φαίνεται στο Σχήμα 2.19. Ένα MP-LFSR είναι ένα LFSR με ένα επαναδιατάξιμο δίκτυο ανάδρασης. Μαζί με κάθε διάνυσμα αρχικοποίησης αποθηκεύεται ένα αναγνωριστικό πολυωνύμου για να επιλέγεται το χαρακτηριστικό πολυώνυμο που θα χρησιμοποιηθεί για αυτό το διάνυσμα. Έχουν προταθεί τεχνικές για περαιτέρω μειώσεις στην αιτούμενη μνήμη αποθήκευσης οι οποίες χρησιμοποιούν είτε διανύσματα αρχικοποίησης ποικίλου μήκους, είτε ειδικούς αλγορίθμους αυτόματης γέννησης διανυσμάτων ελέγχου, είτε αναδιπλούμενους μετρητές (folding counters), είτε τέλος κωδικοποίηση των διανυσμάτων αρχικοποίησης [37][38][39][40].



Σχήμα 2.19 Επαναρχικοποίηση με ένα LFSR Πολλαπλών Πολυωνύμων.

Ενσωματωμένα Ντετερμινιστικά Διανύσματα

Μια τρίτη προσέγγιση του μεικτού BIST είναι η ενσωμάτωση των ντετερμινιστικών διανυσμάτων στη ψευδοτυχαία ακολουθία. Πολλά από τα ψευδοτυχαία διανύσματα που παράγονται κατά τη διάρκεια του ελέγχου δεν ανιχνεύουν νέα σφάλματα, οπότε κάποια από αυτά τα άχρηστα διανύσματα μπορούν να μεταμορφωθούν σε ντετερμινιστικά διανύσματα που ανιχνεύουν ανθεκτικά σε ψευδο-τυχαία διανύσματα σφάλματα. Αυτό μπορεί να γίνει με τη πρόσθεση λογική αντιστοίχισης (mapping logic) ανάμεσα στις αλυσίδες σάρωσης και το CUT ή με ένα λιγότερο ενοχλητικό τρόπο προσθέτοντας τη λογική στις εισόδους των αλυσίδων σάρωσης για διόρθωση της τιμής ενός (bit-fixing) ή την αναστροφή της τιμής ενός bit (bit-flipping). Το Σχήμα 2.20 δείχνει μια τοπολογία ενός bit-flipping BIST [41]. Μια συνάρτηση Bit-flipping ανιχνεύει τα αδιάφορα/άχρηστα διανύσματα και τα μετατρέπει (αντιστοιχεί) σε ντετερμινιστικά διανύσματα μέσω της χρήσης μιας πύλης XOR που εισάγεται ανάμεσα στο LFSR και κάθε αλυσίδα σάρωσης.



Σχήμα 2.20 Bit-Flipping BIST.

2.3.1.4 Υβριδικό BIST

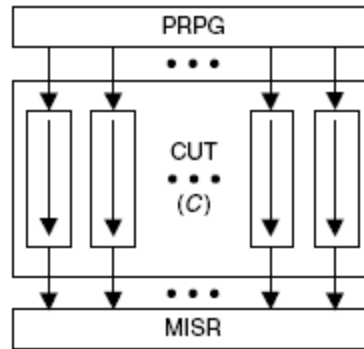
Για την αύξηση της κάλυψης σφαλμάτων κατά τον κατασκευαστικό έλεγχο όπου υπάρχει και ένας εξωτερικός ελεγκτής, μπορούν να χρησιμοποιηθούν ντετερμινιστικά δεδομένα από τον εξωτερικό ελεγκτή. Η απλούστερη προσέγγιση είναι η χρήση αυτόματης γέννησης διανυσμάτων ελέγχου για τα σφάλματα που δεν ανιχνεύει το BIST, ώστε να προκύψει ένα σύνολο από ντετερμινιστικά διανύσματα ελέγχου που θα αυξήσουν τη κάλυψη σφαλμάτων στο επιθυμητό επίπεδο, και η αποθήκευση

αυτών των διανυσμάτων στον εξωτερικό ελεγκτή. Σε ένα κύκλωμα, μπορεί να γίνει προγραμματισμός του χρόνου ελέγχου έτσι ώστε ο χρόνος εκτέλεσης του BIST να επικαλύπτει το χρόνο διάδοσης για τη φόρτωση των ντετερμινιστικών διανυσμάτων από τον εξωτερικό ελεγκτή. Έχουν αναπτυχθεί επιπρόσθετα πιο περίτεχνες διατάξεις υβριδικού BIST που προσπαθούν να αποθηκεύσουν τα ντετερμινιστικά διανύσματα στον ελεγκτή σε μια συμπίεσμένη μορφή και στη συνέχεια να τα αποσυμπιέσουν με το υπάρχον υλικό του BIST [42][43][44].

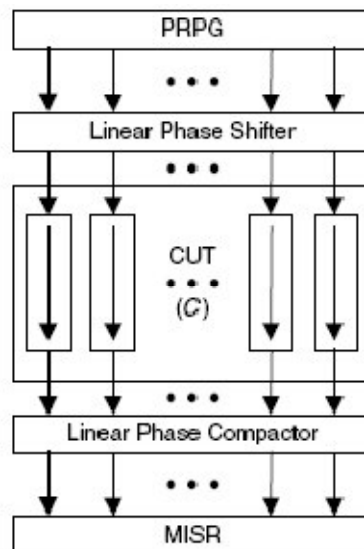
2.3.1.5 Αυτοέλεγχος Χρησιμοποιώντας MISRs και Παράλληλους SRSG

Ο σχεδιασμός που φαίνεται στο Σχήμα 2.21, περιέχει ένα γεννήτορα ακολουθίας με παράλληλο καταχωρητή ολίσθησης PRPG (parallel shift register sequence generator-SRSG) και ένα MISR [45]. Οι αλυσίδες σάρωσης γεμίζουν παράλληλα από τον PRPG. Στη συνέχεια ενεργοποιούνται τα ρολόγια του συστήματος και οι αποκρίσεις του ελέγχου ολισθαίνουν στον MISR για συμπίεση. Καθώς οι αποκρίσεις ολισθαίνουν προς τα έξω την ίδια στιγμή τα νέα διανύσματα ελέγχου ολισθαίνουν προς τα μέσα. Αυτή η BIST αρχιτεκτονική αναφέρεται ως STUMPS (self-testing using MISR and parallel SRSG).

Η STUMPS αρχιτεκτονική χρησιμοποιείται ευρέως στη βιομηχανία μέχρι σήμερα, λόγω της ευκολίας της ενσωμάτωσής της στη παραδοσιακή αρχιτεκτονική σάρωσης. Για περαιτέρω μείωση του μήκους του PRPG και του MISR και τη βελτίωση της τυχειότητας των διανυσμάτων ελέγχου, χρησιμοποιείται συχνά στις βιομηχανικές εφαρμογές μια βασισμένη σε STUMPS αρχιτεκτονική που περιλαμβάνει έναν προαιρετικό γραμμικό ολισθητή φάσης (linear phase shifter) και έναν προαιρετικό γραμμικό συμπίεστή φάσης (linear phase compactor) [46]. Ο γραμμικός ολισθητής φάσης και ο γραμμικός συμπίεστής φάσης συνιστούν τυπικά ένα δίκτυο από πύλες XOR. Η βασισμένη σε STUMPS αρχιτεκτονική φαίνεται στο Σχήμα 2.22.



Σχήμα 2.21 STUMPS



Σχήμα 2.22 Βασισμένη σε STUMPS Αρχιτεκτονική

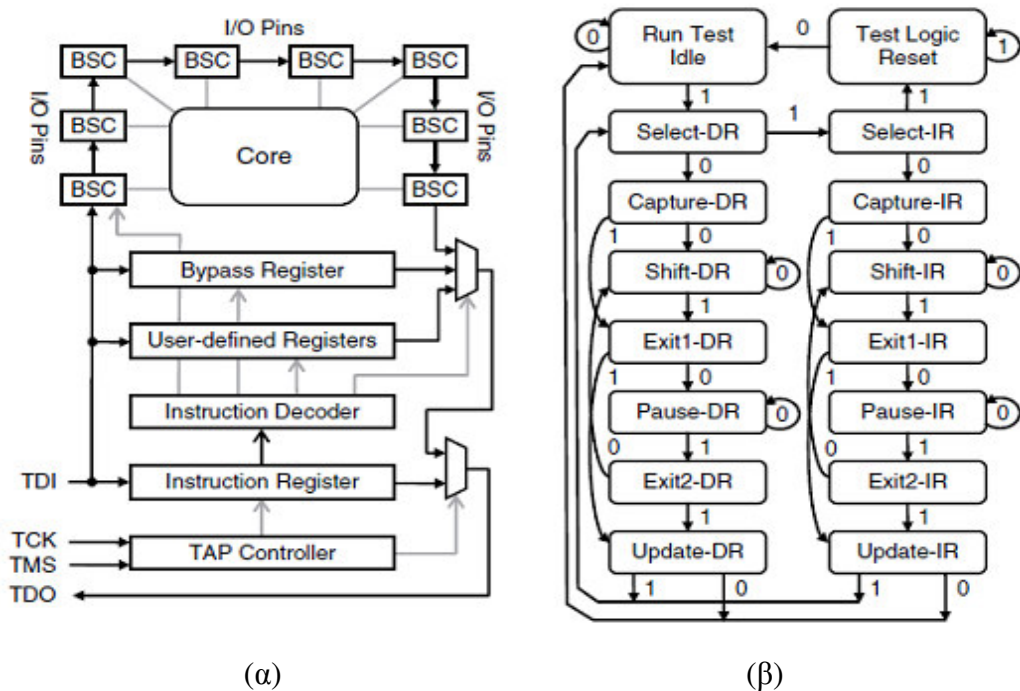
2.4 Περιφερειακή Σάρωση

Οι τεχνικές περιφερειακής σάρωσης (boundary scan) επιτρέπουν να πραγματοποιηθεί γρήγορα και πρακτικά ο έλεγχος της ορθής λειτουργίας με τη χρήση ενός μικρού αριθμού από εξειδικευμένους ακροδέκτες σημάτων.

2.4.1 IEEE 1149.1 Standard

Το πρωτόκολλο 1149.1, όπως φαίνεται και στο Σχήμα 2.23, παρέχει τη δυνατότητα ελέγχου όχι μόνο των διασυνδέσεων μεταξύ των ολοκληρωμένων κυκλωμάτων αλλά και του πυρήνα ενός ολοκληρωμένου. Η διάταξη του περιλαμβάνει υποχρεωτικά τέσσερα pins εισόδου/εξόδου: ένα σήμα ρολογιού ελέγχου (Test Clock-TCK), μια σειριακή είσοδο δεδομένων ελέγχου (Test Data Input-TDI), μια σειριακή έξοδο

δεδομένων ελέγχου (Test Data Output-TDO) και μια είσοδο TMS (Test Mode Select) που χρησιμοποιείται από τον ελεγκτή της θύρας πρόσβασης ελέγχου (Test Access Port-TAP). Με τον TAP ελεγκτή είναι δυνατή η πρόσβαση στη περιφερειακή αλυσίδα σάρωσης και σε οποιοδήποτε άλλο χαρακτηριστικό μέσα στο κύκλωμα, όπως εσωτερικές αλυσίδες σάρωσης, κυκλώματα ενσωματωμένου αυτοελέγχου ή στη περίπτωση FPGAs (Field Programmable Gate Arrays), παρέχεται πρόσβαση στη διάταξη της μνήμης. Ο ελεγκτής TAP είναι μια FSM (Finite State Machine) 16 καταστάσεων όπως φαίνεται στο Σχήμα 2.23(β), όπου η μετάβαση ανάμεσα στις καταστάσεις πραγματοποιείται στη θετική ακμή του TCK. Στο διάγραμμα καταστάσεων οι ακμές ανάμεσα στις καταστάσεις σηματοδοτούνται με 0 ή 1 που αντιστοιχούν στη τιμή που θα πρέπει να έχει το σήμα TMS πριν τη θετική ακμή του ρολογιού ώστε να πραγματοποιηθεί η αντίστοιχη μετάβαση. Οι εντολές για τη πρόσβαση σε μια συγκεκριμένη λειτουργία ολισθαίνουν στον καταχωρητή εντολών (Instruction Register-IR) και δεδομένα, που καθορίζονται από την εντολή, γράφονται ή διαβάζονται από το καταχωρητή δεδομένων (Data Register-DR). Ακόμη, μπορεί να χρησιμοποιηθεί ένα επιπλέον προαιρετικό σήμα Test Reset για την ασύγχρονη αρχικοποίηση λογικής ελέγχου ανεξάρτητα από το σήμα TCK.

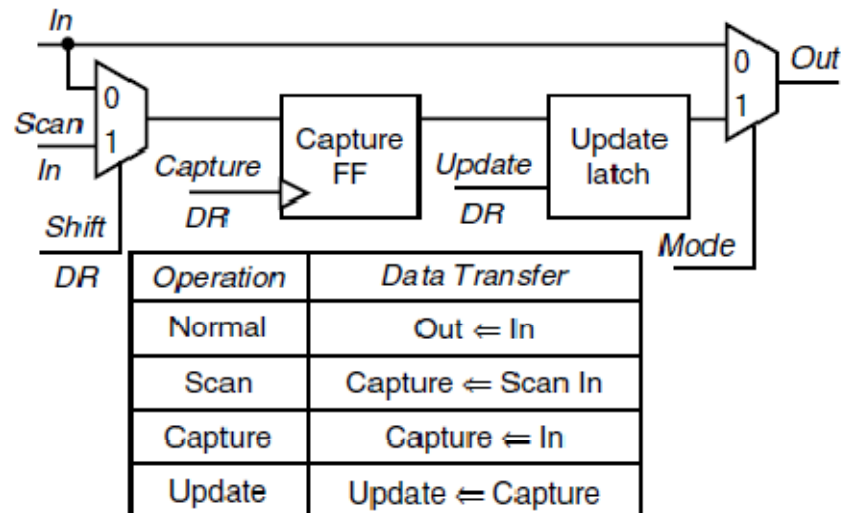


Σχήμα 2.23 (α) Υλοποίηση περιφερειακής σάρωσης και (β) διάγραμμα καταστάσεων του TAP ελεγκτή.

Το βασικό στοιχείο της περιφερειακής σάρωσης, το Κύτταρο Περιφερειακής Σάρωσης (Boundary Scan Cell-BSC) συμβάλλει στον έλεγχο της λογικής του ολοκληρωμένου καθώς και των διασυνδέσεων αυτού με άλλα ολοκληρωμένα κυκλώματα (Σχήμα 2.24). Το latch Ενημέρωσης (Update Latch) κρατάει όλες τις τιμές σταθερές κατά τη διάρκεια της ολίσθησης. Μόλις ολοκληρωθεί η ολίσθηση του διανύσματος ελέγχου (test pattern) στη περιφερειακή αλυσίδα σάρωσης μέσω των Capture flip-flops, η κατάσταση Ενημέρωση του DR ελεγκτή TAP μεταφέρει το διάνυσμα ελέγχου στα latches Ενημέρωσης για τον έλεγχο των διασυνδέσεων του ολοκληρωμένου με άλλα ολοκληρωμένα ή της λογικής του ολοκληρωμένου.

Η διάταξη του BSC που φαίνεται στο Σχήμα 2.24 διευκολύνει επίσης την εφαρμογή των διανυσμάτων ελέγχου στις εισόδους του εσωτερικού πυρήνα ενός κυκλώματος, καθώς και τη σύλληψη των αποκρίσεων των εξόδων της εσωτερικής λογικής του ολοκληρωμένου. Αυτός ο εσωτερικός έλεγχος, ονομάζεται INTEST στο πρωτόκολλο IEEE 1149.1, και είναι μια προαιρετική αλλά πολύτιμη εντολή, παρόλο που δεν εφαρμόζεται πάντα λόγω της προσπάθειας για μείωση του κόστους σε επιφάνεια και στην απόδοση που σχετίζονται με τη περιφερειακή σάρωση. Ο εξωτερικός έλεγχος των διασυνδέσεων ενός PCB (Printed Circuit Board), ο οποίος ονομάζεται EXTEST, είναι μια υποχρεωτική εντολή για τον έλεγχο των διασυνδέσεων του PCB που αυτός είναι άλλωστε και ο σκοπός της περιφερειακής σάρωσης. Ένα άλλο υποχρεωτικό χαρακτηριστικό είναι η εντολή BYPASS που χρησιμοποιεί το καταχωρητή BYPASS (Σχήμα 2.23(α)), ο οποίος επιτρέπει τη παράλειψη ολοκλήρης της περιφερειακής αλυσίδας ώστε να γίνεται γρηγορότερα η πρόσβαση σε άλλες συσκευές της πλακέτας.

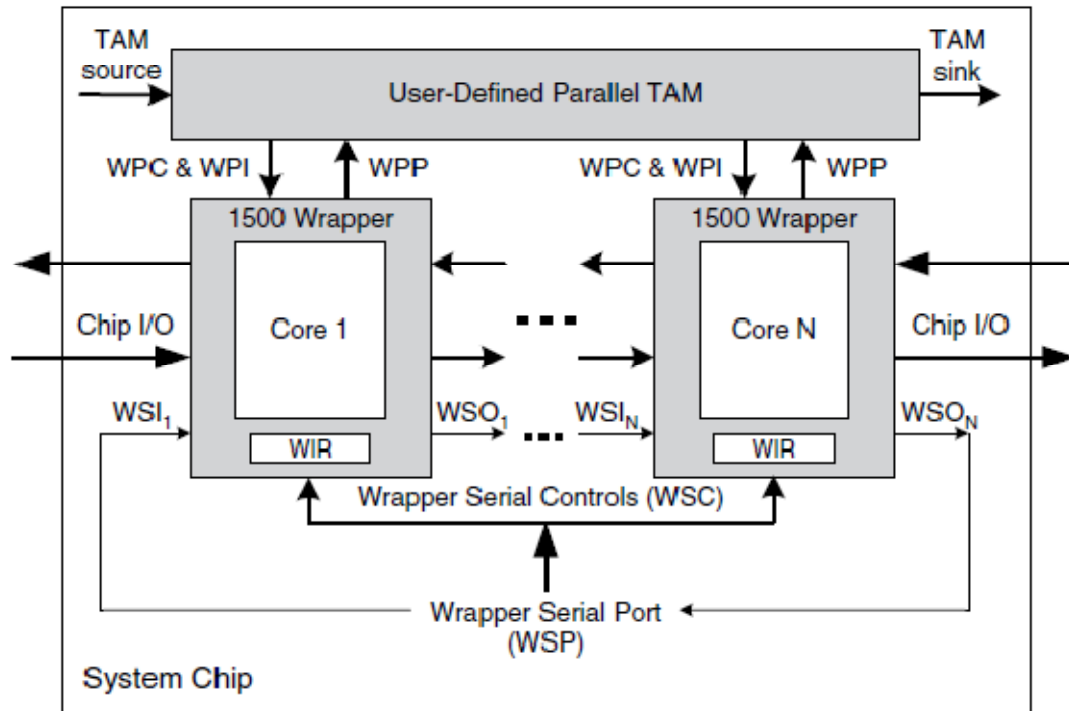
Η διάταξη της περιφερειακής σάρωσης είναι σημαντική για αρκετούς λόγους. Προφανώς, παρέχει τον έλεγχο των διασυνδέσεων σε ψηφιακά PCBs και παρόλο που δε δρομολογεί άμεσα εσωτερικό έλεγχο στις συσκευές ενός PCB, παρέχει μια πρότυπη διάταξη που μπορεί να χρησιμοποιηθεί για τη πρόσβαση σε μηχανισμούς εσωτερικού ελέγχου, όπως αλυσίδες σάρωσης και BIST κυκλώματα, σχεδιασμένη ειδικά για τον έλεγχο εσωτερικής λογικής.



Σχήμα 2.24 Κύτταρο Περιφερειακής Σάρωσης (BSC) και Τρόποι Λειτουργίας.

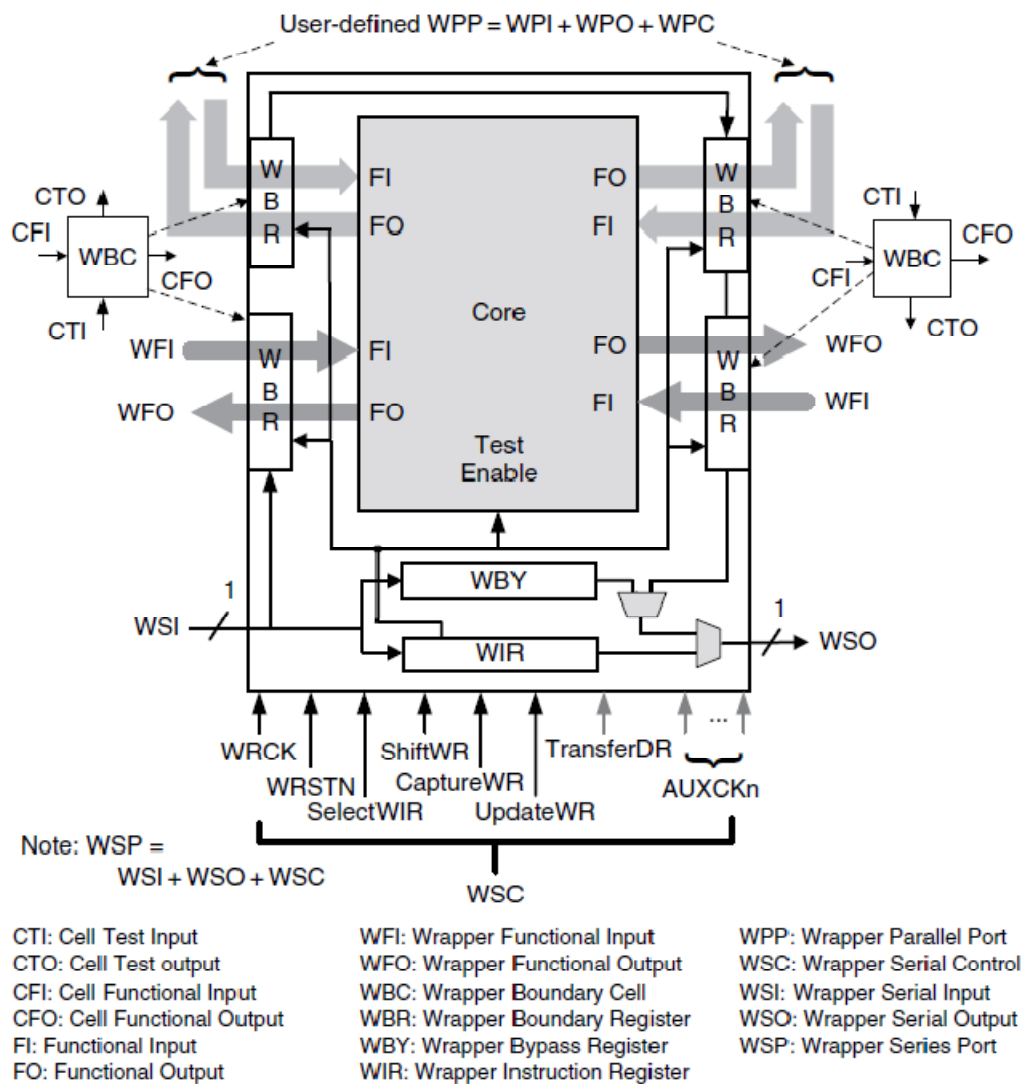
2.4.2 IEEE 1500 Standard

Υπάρχουν αρκετές διαφορές ανάμεσα στις εφαρμογές ενός PCB από αυτές ενός συστήματος σε ολοκληρωμένη μορφή (system-on-a-chip – SOC) που θα πρέπει να ληφθούν υπόψη στον έλεγχο των πυρήνων ενός συστήματος σε ολοκληρωμένη μορφή (system-on-chip SOC) [47]. Οι πυρήνες μπορεί να είναι βαθιά ή ιεραρχικά ενσωματωμένοι στο SOC έτσι ώστε να απαιτείται ένας μηχανισμός ελέγχου πρόσβασης (test access mechanism-TAM) για κάθε έναν από αυτούς. Ο αριθμός και ο τύπος των πυρήνων μπορεί να διαφέρει και να παρέχεται από διαφορετικούς κατασκευαστές με διαφορετικούς τύπους και απαιτήσεις ελέγχου, και στη περίπτωση των πυρήνων πνευματικής ιδιοκτησίας, μπορεί να υπάρχει λίγη πληροφορία για την εσωτερική δομή του πυρήνα. Παρόλο που ο ρυθμός μετάδοσης της πληροφορίας ανάμεσα στους εσωτερικούς πυρήνες είναι αρκετά υψηλότερος από αυτόν των ακροδεκτών εισόδου/εξόδου ενός SOC, οι πρόσθετες θύρες σε ένα πυρήνα κοστίζουν λιγότερο σε σύγκριση με τους πρόσθετους ακροδέκτες σε ένα ολοκληρωμένο. Ως αποτέλεσμα, η περιφερειακή σάρωση από μόνη της δε παρέχει μια πλήρη λύση στο πρόβλημα του ελέγχου των πυρήνων σε ένα SOC. Έτσι, παρουσιάστηκε το πρότυπο IEEE 1500 για να δρομολογήσει τα προβλήματα που σχετίζονται με τον έλεγχο των SOC.



Σχήμα 2.25 Μια γενική αρχιτεκτονική ενός συστήματος κατά το πρότυπο IEEE 1500.

Το πιο σημαντικό χαρακτηριστικό του πρότυπου IEEE 1500 είναι η παροχή ενός κολάρου που περιβάλλει τον κάθε πυρήνα. Στο Σχήμα 2.25, φαίνεται μια γενική αρχιτεκτονική ενός SOC με N πυρήνες, που ο καθένας περιβάλλεται από ένα IEEE 1500 κολάρο, και η δομή ενός πυρήνα με κολάρο δίνεται στο Σχήμα 2.26. Η θύρα WSP (Wrapper Serial Port) είναι ένα σύνολο από γραμμές εισόδου/εξόδου του κολάρου για σειριακές λειτουργίες, το οποίο αποτελείται από τη σειριακή είσοδο κολάρου (Wrapper Serial Input-WSI), τη σειριακή έξοδο κολάρου (Wrapper Serial Output-WSO), και αρκετές γραμμές σειριακού ελέγχου (Wrapper Serial Control-WSC). Κάθε κολάρο έχει ένα καταχωρητή εντολών κολάρου (Wrapper Instruction Register-WIR) για να αποθηκεύει την εντολή που θα εκτελεστεί στον αντίστοιχο πυρήνα και επίσης ελέγχει λειτουργίες του κολάρου όπως τη πρόσβαση στο περιφερειακό καταχωρητή κολάρου (Wrapper Boundary Register-WBR), τον παράκαμψης καταχωρητή κολάρου (Wrapper Bypass Register-WBY), ή άλλους ορισμένους από το χρήστη καταχωρητές. Ο WBR αποτελείται από περιφερειακά κύτταρα κολάρου (Wrapper Boundary Cells-WBCs) που είναι όμοια με το BSC του Σχήματος 2.24.



Σχήμα 2.26 Ένας πυρήνας με το IEEE 1500 κολάρο.

Η WSP υποστηρίζει ένα τρόπο σειριακού ελέγχου όμοιο με αυτό της αρχιτεκτονικής της περιφερειακής σάρωσης, αλλά χωρίς να χρησιμοποιεί τον ελεγκτή TAP. Αυτό υποδηλώνει ότι ο σειριακός έλεγχος των σημάτων του 1500 μπορεί να εφαρμοστεί άμεσα στους πυρήνες παρέχοντας έτσι περισσότερη ευελιξία στον έλεγχο. Όπως φαίνεται στο Σχήμα 2.26 ο WSC αποτελείται από έξι υποχρεωτικά σήματα (WRCK, WRSTN, SelectWIR, CaptureWR, UpdateWR και ShiftWR), ένα προαιρετικό σήμα (TransferDR) και ένα σετ από προαιρετικά σήματα ρολογιού (AUXCKn). Οι λειτουργίες των CaptureWR, UpdateWR και ShiftWR είναι όμοιες με αυτές των CaptureDR, UpdateDR και ShiftDR, της περιφερειακής σάρωσης αντίστοιχα. Το

SelectWIR χρησιμοποιείται για την απόφαση επιλογής του WIR ή όχι. Αυτό απαιτείται γιατί στο πρότυπο 1500 δεν είναι διαθέσιμος ο ελεγκτής TAP. Το TransferDR χρησιμοποιείται για να μεταφέρει δεδομένα ελέγχου στις σωστές θέσεις του μονοπατιού ολίσθησης ενός WBC όταν το μονοπάτι περιέχει πολλαπλά στοιχεία μνήμης. Αυτό δίνει τη δυνατότητα να αποθηκεύονται πολλαπλά δεδομένα ελέγχου σε διαδοχικές θέσεις στο μονοπάτι ολίσθησης μειώνοντας έτσι τη καθυστέρηση που προκαλείται από τον έλεγχο.

Επιπρόσθετα, το πρότυπο 1500 παρέχει και ένα προαιρετικό παράλληλο τρόπο ελέγχου με ένα ορισμένο από το χρήστη παράλληλο μηχανισμό ελέγχου πρόσβασης (Test Access Mechanism-TAM). Κάθε πυρήνας έχει τα δικά του σήματα: σήμα ελέγχου παράλληλου κολάρου (Wrapper Parallel Control-WPC), παράλληλη είσοδος κολάρου (Wrapper Parallel Input-WPI) και παράλληλη έξοδος κολάρου (Wrapper Parallel Output-WPO). Ο ορισμένος από το χρήστη παράλληλος TAM, μεταφέρει σήματα ελέγχου από τη πηγή TAM (TAM source-Σχήμα 2.25) στους πυρήνες WPC και WPI, και από τους πυρήνες στην υποδοχή TAM (TAM sink) μέσω του WPO με παράλληλο τρόπο.

Παρόλο που δεν απαιτείται, ένα ολοκληρωμένο με πυρήνες που ενσωματώνουν κολάρο 1500, μπορεί να χρησιμοποιήσει τους τέσσερις υποχρεωτικούς ακροδέκτες σήματος που υπάρχουν στο 1149.1 έτσι ώστε η αρχική πρόσβαση στην αρχιτεκτονική IEEE 1500 να γίνεται μέσω της περιφερειακής σάρωσης. Εναλλακτικά μπορεί να χρησιμοποιηθεί ένας ενσωματωμένος ελεγκτής, με τη δυνατότητα του TAP ελεγκτή του πρότυπου 1149.1, για να παράγει τα σήματα WSC για κάθε πυρήνα. Η ιδέα αυτού του ενσωματωμένου ελεγκτή μπορεί να χρησιμοποιηθεί και για την αντιμετώπιση ιεραρχικών πυρήνων σε ένα πολύπλοκο σύστημα.

ΚΕΦΑΛΑΙΟ 3. ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ ΣΕΙΡΙΑΚΗΣ ΣΑΡΩΣΗΣ

-
- 3.1 Αρχιτεκτονική Πολλαπλών Αλυσίδων Σάρωσης για τη Μείωση της Απώλειας σε Ισχύ και σε Χρόνο Ελέγχου
 - 3.2 Αρχιτεκτονική Σάρωσης Illinois με Πολλαπλές Δομές για Μείωση του Χρόνου Εφαρμογής του Ελέγχου και του Όγκου των Δεδομένων Ελέγχου
 - 3.3 Εικονικές Αλυσίδες Σάρωσης: Ένας Τρόπος Μείωσης του Μήκους της Αλυσίδας Σάρωσης στους Πυρήνες
 - 3.4 Αρχιτεκτονική Σάρωσης με Ενεργοποίηση Αμοιβαία Αποκλειόμενων Τμημάτων Σάρωσης για Μείωση της Καταναλισκόμενης Ισχύος κατά την Ολίσθηση και τη Δέσμευση των Αποκρίσεων
 - 3.5 Αρχιτεκτονική Σάρωσης Δύο Σταδίων για Χαμηλής Κατανάλωσης Έλεγχου με Μείωση της Καθυστέρησης Μετάδοσης
 - 3.6 Σάρωση Άλματος: Αρχιτεκτονική Σάρωσης για Χαμηλής Κατανάλωσης Έλεγχου
-

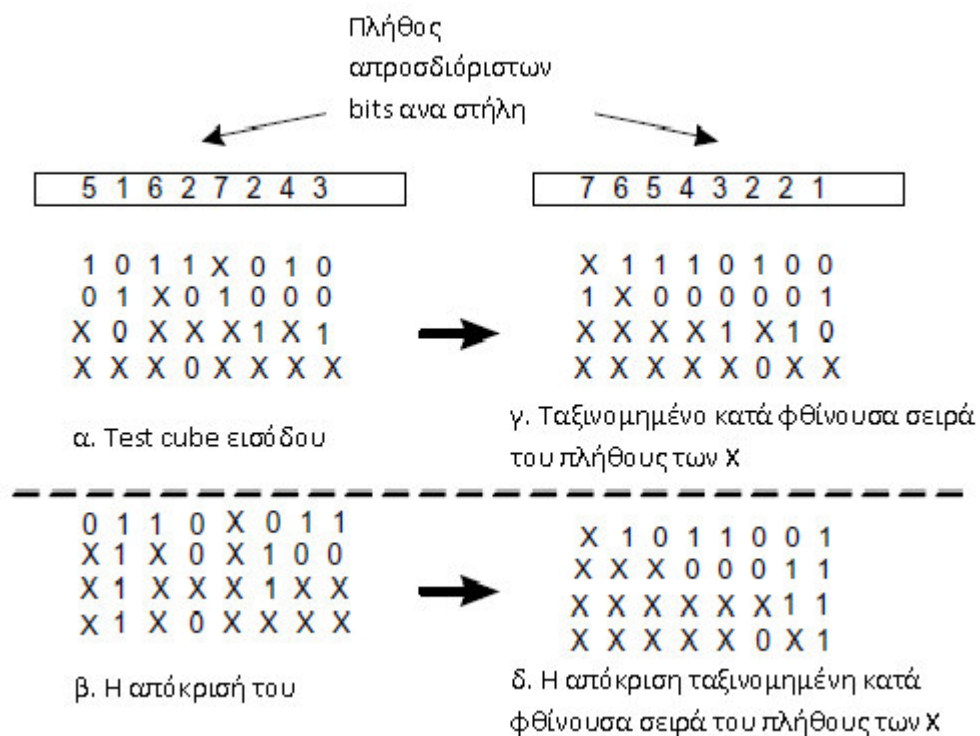
Σε αυτό το κεφάλαιο παρουσιάζονται αρχιτεκτονικές σάρωσης που έχουν παρουσιαστεί στη διεθνή βιβλιογραφία, στη προσπάθεια να επιλυθούν τα ζητήματα που απασχολούν τη βιομηχανία κατασκευής ολοκληρωμένων στην περιοχή του ελέγχου της ορθής λειτουργίας, τα οποία όπως αναφέρθηκε στο προηγούμενο κεφάλαιο εστιάζονται στη μείωση του χρόνου ελέγχου, στη μείωση της καταναλισκόμενης ισχύος καθώς και του όγκου των δεδομένων ελέγχου.

3.1 Αρχιτεκτονική Πολλαπλών Αλυσίδων Σάρωσης για τη Μείωση της Απώλειας σε Ισχύ και σε Χρόνο Ελέγχου

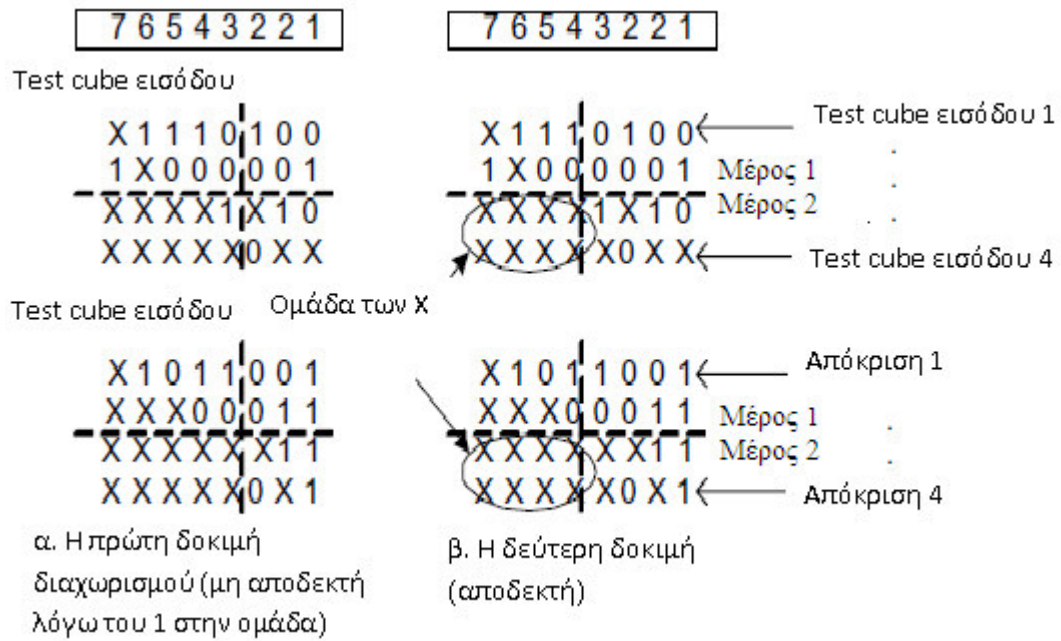
Στην εργασία [48] προτάθηκε τεχνική η οποία εκμεταλλεύεται την ύπαρξη των απροσδιόριστων (unspecified) bits (X bits) στα test cubes έτσι ώστε να πετύχει

μείωση του χρόνου ελέγχου και της κατανάλωσης σε ενέργεια. Αρχικά, τα απροσδιόριστα bits ομαδοποιούνται με την αναδιάταξη των flip-flops και στη συνέχεια η αρχιτεκτονική των πολλαπλών αλυσίδων σάρωσης τροποποιείται εισάγοντας πολυπλέκτες.

Ακολούθως παρουσιάζεται ένα παράδειγμα αναδιάταξης των flip-flops με βάση την τεχνική. Αρχικά, εξετάζεται το σύνολο ελέγχου για να διαπιστωθεί αν είναι διαχωρίσιμο ή όχι σε σχέση με την κατανομή των απροσδιόριστων bits. Στη συνέχεια, γίνεται ανακατανομή του συνόλου ελέγχου ταξινομώντας τις στήλες του κατά φθίνουσα (ή αύξουσα) σειρά (Σχήμα 3.1) και χωρίζεται σε τμήματα κατά τέτοιο τρόπο ώστε να λαμβάνεται υπόψη το μέγεθος της ομάδας των απροσδιόριστων bits. Ο διαχωρισμός πρέπει να είναι τέτοιος ώστε το ένα τμήμα να αποτελείται αποκλειστικά από απροσδιόριστα bits (Σχήμα 3.2).

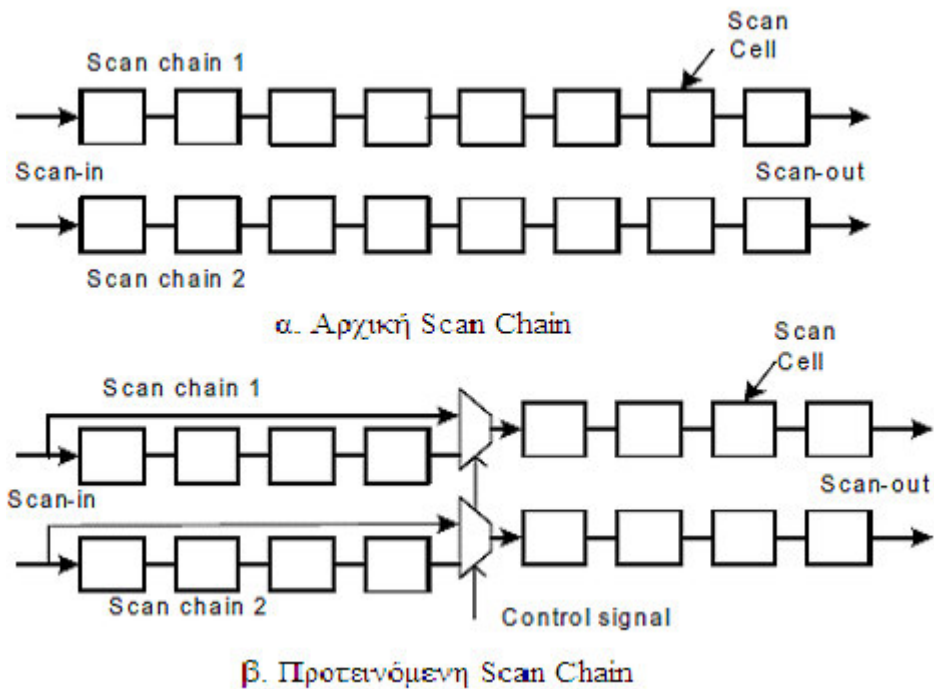


Σχήμα 3.1 Ένα Test Cube και η Απόκρισή του Πριν και μετά την Ανακατανομή



Σχήμα 3.2 Το Διαιρεμένο Test Cube Εισόδου και η Απόκρισή του μετά την Ανακατανομή

Στο Σχήμα 3.3 φαίνεται η αρχική αρχιτεκτονική δύο scan αλυσίδων και η τροποποιημένη. Στη τροποποιημένη αρχιτεκτονική παρατηρείται η εισαγωγή των πολυπλεκτών σε κάθε αλυσίδα. Κάθε πολυπλέκτης έχει δυο εισόδους. Μια είσοδος συνδέεται άμεσα με την έξοδο του τελευταίου flip-flop της υποαλυσίδας και η άλλη είσοδος στην αρχική είσοδο της αλυσίδας. Έτσι, όποτε το σχετικό τμήμα ενός διανύσματος ελέγχου (test pattern) αποτελείται από X αυτές οι αδιάφορες τιμές παραλείπονται με τη χρήση των πολυπλεκτών και δεν ολισθαίνουν στην αλυσίδα σάρωσης – έτσι δε σπαταλούνται κύκλοι για να ολισθηθούν οι X τιμές στο τμήμα της αλυσίδας που αντιστοιχούν, (δηλαδή στο τμήμα πριν τον πολυπλέκτη) – με αποτέλεσμα να μειώνεται ο χρόνος του ελέγχου. Αυτό βέβαια προϋποθέτει ότι και οι προηγούμενες αποκρίσεις σε αυτό το τμήμα είναι αδιάφορες. Στην πράξη ο τελευταίος περιορισμός θέτει σημαντικές δυσκολίες στην εφαρμογή της τεχνικής.



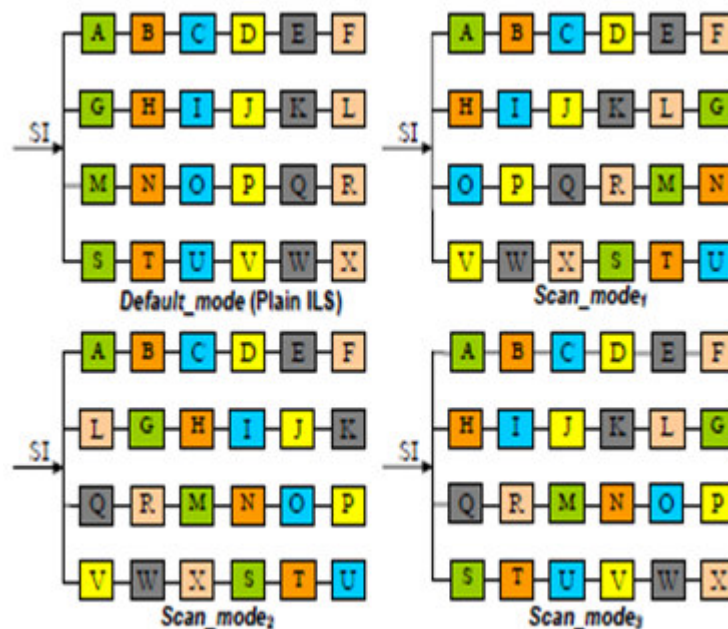
Σχήμα 3.3 α. Scan Αρχιτεκτονική β. Προτεινόμενη Scan Αρχιτεκτονική

3.2 Αρχιτεκτονική Σάρωσης Illinois με Πολλαπλές Δομές για Μείωση του Χρόνου Εφαρμογής του Ελέγχου και του Όγκου των Δεδομένων Ελέγχου

Μια δεύτερη τεχνική για τη μείωση του χρόνου ελέγχου και του πλήθους των δεδομένων ελέγχου παρουσιάζεται στην εργασία [49]. Πρόκειται για μια παραλλαγή της Illinois αρχιτεκτονικής. Στο παράδειγμα του Σχήματος 3.4(α) η αλυσίδα τμηματοποιείται σε τέσσερις παράλληλες αλυσίδες σύμφωνα με την Illinois τεχνική. Παράλληλα δίδεται η δυνατότητα επαναδιάταξης της όλης δομής σε τρεις παραλλαγές όπως αυτές παρουσιάζονται στα Σχήματα 3.4(β)-(δ) και αναλύονται στην επόμενη παράγραφο.

Σε κάθε δομή αλλάζει η σειρά των flip-flop εκτός από τη πρώτη scan αλυσίδα που ονομάζεται αλυσίδα αναφοράς. Για τη δεύτερη δομή (scan mode1), τα κύτταρα σάρωσης στην i -οστή αλυσίδα μετατοπίζονται προς τα αριστερά κατά i . Ομοίως, για τη τρίτη δομή (scan mode2) τα κύτταρα σάρωσης στην i -οστή αλυσίδα μετατοπίζονται κατά i θέσεις προς τα δεξιά ενώ για την τέταρτη δομή (scan mode3) τα τμήματα της αλυσίδας με $i=0, 3, 6, \dots$ παραμένουν όπως στη προεπιλεγμένη δομή, τα τμήματα με $i=1, 4, 7, \dots$ δομούνται όπως στο scan mode1 και τα τμήματα με $i=2, 5,$

8... δομούνται όπως στο scan mode2. Έτσι, ένα σφάλμα που ανιχνεύεται μόνο με διαφορετικές τιμές στην ίδια στήλη της Illinois αρχιτεκτονικής (συνεπώς είναι μη ανιχνεύσιμο στην κλασική Illinois τοπολογία του Σχήματος 3.4α), έχει αυξημένη πιθανότητα να ανιχνευθεί σε κάποια από τις υπόλοιπες τρεις επαναδιατάξεις. Επιτυγχάνεται συνεπώς μεγαλύτερη κάλυψη σφαλμάτων. Η τεχνική χαρακτηρίζεται από σχετικά υψηλό σχεδιαστικό κόστος (απαιτείται μεγάλος αριθμός πολυπλεκτών για την υλοποίηση των τριών δομών σάρωσης) και χρησιμοποιεί δύο επιπλέον σήματα για την επιλογή μιας από τις τέσσερις διαθέσιμες δομές που θα έχουν οι αλυσίδες σάρωσης.



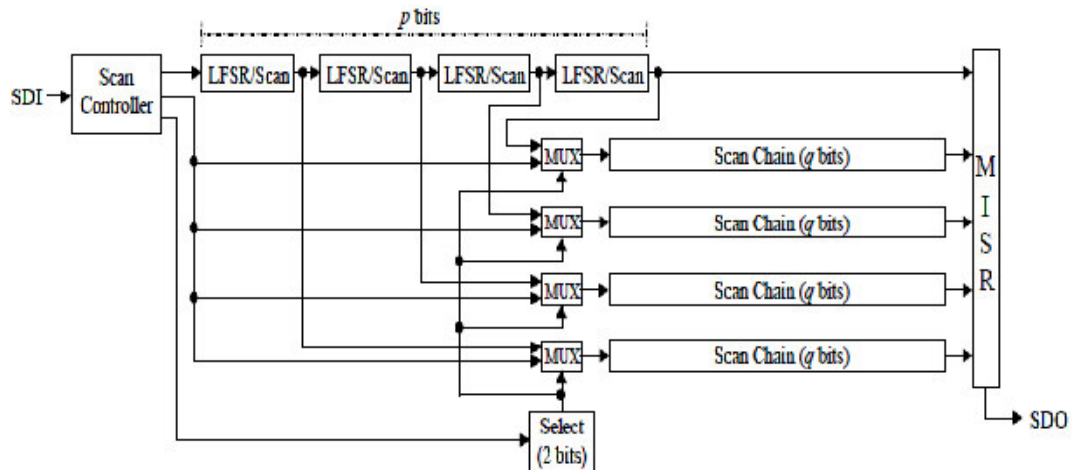
Σχήμα 3.4 Οι Τέσσερις Επαναδιατάξεις της Αρχιτεκτονικής MILS

3.3 Εικονικές Αλυσίδες Σάρωσης ως Μέσο Μείωσης του Μήκους της Αλυσίδας Σάρωσης στους Πυρήνες

Σε αυτή την ενότητα παρουσιάζεται μια αρχιτεκτονική σάρωσης η οποία μειώνει το μήκος των διανυσμάτων ελέγχου (test patterns) [50]. Ονομάζεται Εικονικές Αλυσίδες Σάρωσης και η λειτουργία ενός πυρήνα με αυτές τις αλυσίδες γίνεται ακριβώς όπως και με τις κανονικές αλυσίδες. Η μόνη διαφορά είναι ότι η εικονική αλυσίδα είναι μικρότερη σε μήκος και συνεπώς το μέγεθος των διανυσμάτων σειριακής σάρωσης

και των αποκρίσεων τους που αποθηκεύονται στη μονάδα εκτέλεσης που αποθηκεύονται στη μονάδα εκτέλεσης του ελέγχου (tester - ATE) είναι επίσης μικρότερο.

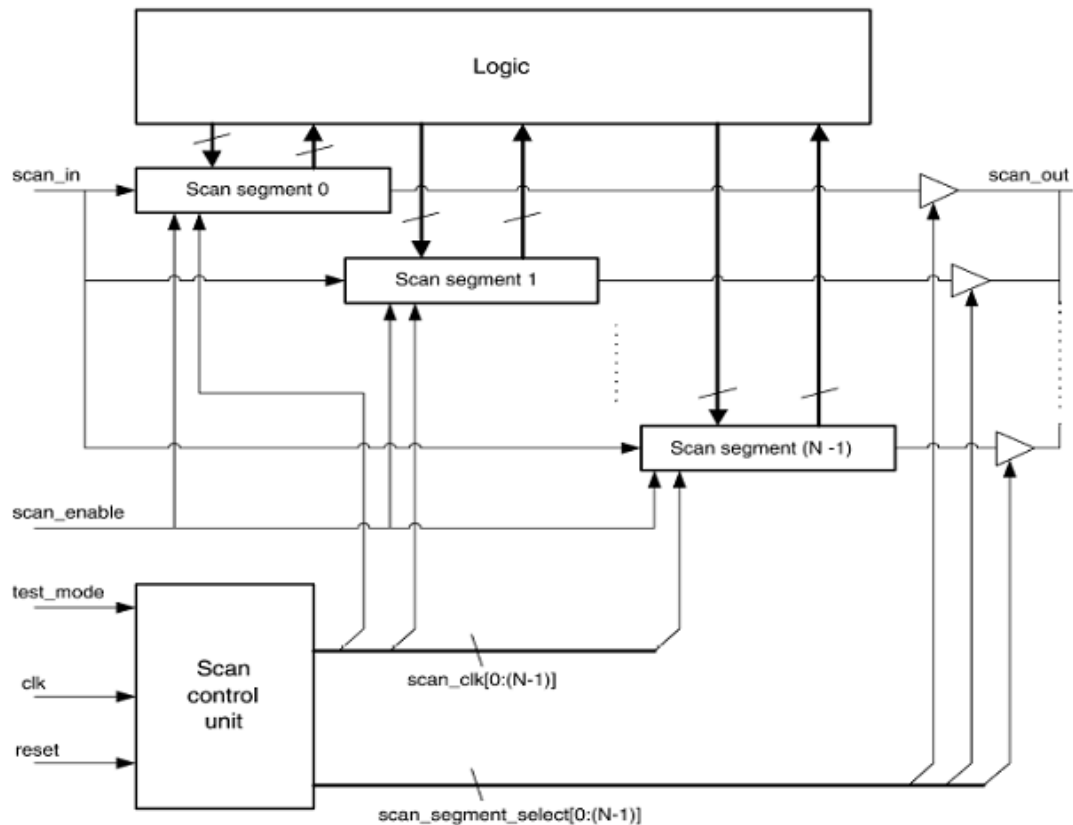
Στο Σχήμα 3.5 παρουσιάζεται η συγκεκριμένη αρχιτεκτονική. Η αρχική αλυσίδα αποτελείται από m bits και υλοποιείται από μια εικονική αλυσίδα μήκους $(p+q+2)$ bits. Η αρχική αλυσίδα χωρίζεται σε πέντε μικρότερες υποαλυσίδες. Η μια αλυσίδα είναι μήκους p bits και οι υπόλοιπες τέσσερις είναι μήκους q bits, έτσι ώστε $m=p+4q$. Μόνο $p+q+2$ bits ολισθαίνουν από την SDI είσοδο αλλά όλα τα $m=p+4q$ flip-flop φορτώνονται με τα πραγματικά δεδομένα ελέγχου. Ο ελεγκτής σάρωσης (scan controller) μόλις γεμίσει την αλυσίδα των p bits, τη διαχειρίζεται σαν τέσσερα ξεχωριστά LFSRs καθένα από τα οποία συνδέεται σειριακά με μία από τις τέσσερις q bits αλυσίδες. Κατά τους δύο πρώτους κύκλους ολισθαίνουν δύο bit στον καταχωρητή Select, στους επόμενους p κύκλους ολισθαίνουν bit στην p bit αλυσίδα και κατά τη διάρκεια των τελευταίων q κύκλων τα bits της SDI εισόδου ολισθαίνουν σε μια από τις τέσσερις q bits αλυσίδες (αυτή που έχει επιλεγθεί από τον καταχωρητή Select). Οι υπόλοιπες τρεις αλυσίδες γεμίζουν συγχρόνως από τα LFSR που τους αντιστοιχούν. Έτσι, στο τέλος των $p+q+2$ κύκλων όλα τα $m=p+4q$ flip-flop έχουν γεμίσει δημιουργώντας το ζητούμενο διάνυσμα ελέγχου. Αυτό που συμβαίνει είναι ότι τα διανύσματα αρχικοποίησης που εισάγονται στα LFSRs μετατρέπονται, με την λειτουργία των LFSRs κατά αυτόνομο τρόπο, στο ζητούμενο διάνυσμα ελέγχου. Η όλη τεχνική βασίζεται στην επίλυση ενός συστήματος γραμμικών εξισώσεων ώστε να βρεθεί το κάθε διάνυσμα αρχικοποίησης που θα δημιουργήσει το ζητούμενο τμήμα του διανύσματος ελέγχου. Έτσι μπορούν να εξοικονομηθούν κύκλοι ολίσθησης από αυτούς που θα απαιτούνταν για να γεμίσουν οι αντίστοιχες αρχικές αλυσίδες. Για κάποια όμως διανύσματα ελέγχου με μεγάλο αριθμό καθορισμένων τιμών, μπορεί να μην είναι δυνατό να λυθεί το σύστημα των γραμμικών εξισώσεων για όλα τα LFSRs εξαιτίας γραμμικών εξαρτήσεων.



Σχήμα 3.5 Εικονική Αλυσίδα Σάρωσης με $p+q+2$ Bits

3.4 Αρχιτεκτονική Σάρωσης με Ενεργοποίηση Αμοιβαία Αποκλειόμενων Τμημάτων Σάρωσης για Μείωση της Καταναλισκόμενης Ισχύος κατά την Ολίσθηση και τη Δέσμευση των Αποκρίσεων

Στο Σχήμα 3.6 φαίνεται η προτεινόμενη στην εργασία [51] αρχιτεκτονική χαμηλής κατανάλωσης. Η αλυσίδα σάρωσης χωρίζεται σε N ισομήκη τμήματα. Αν το πλήθος των κυττάρων σάρωσης δεν είναι πολλαπλάσιο του N , το άθροισμα των διαφορών στα μήκη των τμημάτων φράσσεται άνω στη τιμή $N-1$. Λαμβάνοντας υπόψη τις διαφορές αυτές στα μήκη και χωρίς να αυξάνεται η πολυπλοκότητα της μονάδας εκτέλεσης του ελέγχου, τα διανύσματα ελέγχου συμπληρώνονται με dummy bits που αντιστοιχούν στα flip-flops που λείπουν από τα μικρότερα τμήματα. Όλα τα scan τμήματα δέχονται το ίδιο scan-in και scan-enable σήμα, αλλά κάθε τμήμα έχει διαφορετικό σήμα ρολογιού. Έτσι η απόκριση του διανύσματος ελέγχου λαμβάνεται σε μια διαδοχή από φάσεις ολίσθησης και όχι σε μία μόνο φάση ολίσθησης. Αυτή είναι και η βασική της διαφορά με τις άλλες αρχιτεκτονικές σάρωσης. Εφόσον με κάθε σήμα ρολογιού ολισθαίνουν τιμές και συλλαμβάνονται αποκρίσεις σε ένα μόνο τμήμα της συνολικής αλυσίδας, η συγκεκριμένη αρχιτεκτονική μειώνει όχι μόνο την απώλεια της καταναλισκόμενης ισχύος κατά την ολίσθηση αλλά και κατά τη δέσμευση των αποκρίσεων. Η τεχνική απαιτεί τη διανομή του ρολογιού με χρήση πυλών απομόνωσης (clock gating) στα διάφορα τμήματα της αρχιτεκτονικής σάρωσης, γεγονός που αποτελεί σημαντικό μειονέκτημα, εξαιτίας της ασάφειας στους χρόνους άφιξης που προκαλείται στο σήμα του ρολογιού (clock skew).



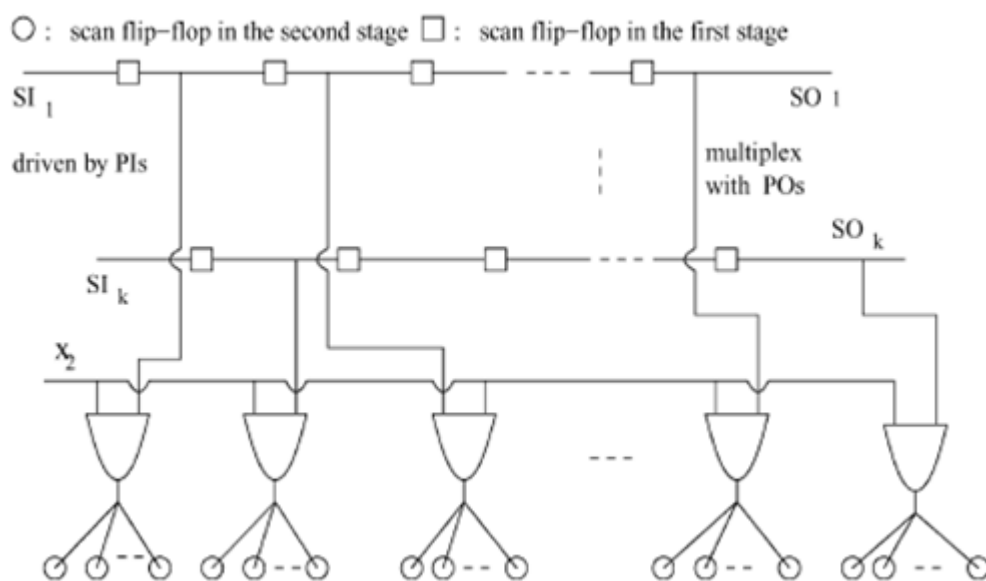
Σχήμα 3.6 Scan Αρχιτεκτονική με Αμοιβαίως Αποκλειόμενη Ενεργοποίηση των Τμημάτων της Αλυσίδας Σάρωσης.

3.5 Αρχιτεκτονική Σάρωσης Δύο Σταδίων για Χαμηλής Κατανάλωσης Έλεγχου με Μείωση της Καθυστέρησης Μετάδοσης

Η αρχιτεκτονική που προτείνεται στην εργασία [52] αποτελείται από δυο ξεχωριστά μέρη, τις πολλαπλές αλυσίδες σάρωσης στο πρώτο στάδιο και τα γκρουπ από flip-flops, που οδηγούνται από τα flip-flop σάρωσης, στο δεύτερο στάδιο (βλ. Σχήμα 3.7). Η τεχνική προτείνεται για την επίτευξη ελέγχου με συμπιεσμένα δεδομένα ελέγχου, χαμηλή κατανάλωση ενέργειας και χαμηλό κόστος ελέγχου περιορίζοντας τη καταναλισκόμενη ισχύ κατά τη διάρκεια εφαρμογής του ελέγχου. Κάθε scan flip-flop στις scan αλυσίδες και το γκρουπ των flip-flop που οδηγεί ανήκουν στο ίδιο γκρουπ. Όλα τα scan flip-flop που ανήκουν στο ίδιο γκρουπ δεν έχουν κανένα κοινό διάδοχο στο συνδυαστικό κομμάτι του κυκλώματος. Δύο scan flip-flop u και v έχουν κοινό διάδοχο αν υπάρχει πύλη v' , τέτοια ώστε να υπάρχουν συνδυαστικά μονοπάτια από το u στη v' και το v στη v' , αντίστοιχα. Κάθε scan flip-flop στις πολλαπλές αλυσίδες

και τα scan flip-flops που οδηγούνται από αυτό παίρνουν την ίδια τιμή για κάθε test vector. Τα scan flip-flops του δεύτερου σταδίου συνδέονται σε δέντρα πολλαπλών XOR, όπου όλα τα scan flip-flops που συνδέονται στο ίδιο XOR δέντρο δεν έχουν κοινό προκάτοχο στο συνδυαστικό κομμάτι του κυκλώματος. Δύο scan flip-flop u και v έχουν κοινό προκάτοχο αν υπάρχει πύλη v' , τέτοια ώστε να υπάρχουν συνδυαστικά μονοπάτια από τη v' στο u και τη v' στο v , αντίστοιχα.

Ο έλεγχος μοιράζεται επίσης σε δύο στάδια. Πρώτα, ολισθαίνεται ένα διάνυσμα ελέγχου στις πολλαπλές αλυσίδες σάρωσης και στη συνέχεια το διάνυσμα διαδίδεται στα flip-flop σάρωσης του δεύτερου σταδίου. Ένα μειονέκτημα αυτής της τεχνικής είναι ότι χρησιμοποιεί δύο επιπλέον σήματα ελέγχου για να ενεργοποιεί δύο σήματα ρολογιού που προκύπτουν από το υπάρχον σήμα ρολογιού. Κατά τη διάρκεια των κύκλων ολίσθησης απενεργοποιείται το σήμα ρολογιού των flip-flops σάρωσης του δεύτερου σταδίου έτσι ώστε να περιορίζεται η κατανάλωση ισχύος μέσα στις πολλαπλές αλυσίδες. Μετά από όλους τους κύκλους ολίσθησης απενεργοποιείται το σήμα ρολογιού των flip-flops σάρωσης του πρώτου σταδίου, ώστε να διατηρηθούν οι τιμές στις πολλαπλές αλυσίδες. Σε αυτό το σημείο οι τιμές που έχουν ολισθηθεί στις πολλαπλές αλυσίδες διαδίδονται στο δεύτερο στάδιο. Οι αποκρίσεις που έχουν δεσμευθεί στα flip-flops σάρωσης ολισθαίνουν προς τα έξω όταν εισάγεται το επόμενο διάνυσμα ελέγχου.

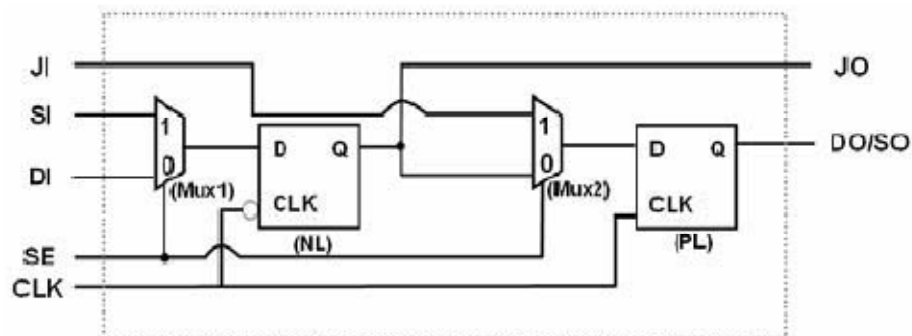


Σχήμα 3.7 Αρχιτεκτονική Σάρωσης Δύο Σταδίων.

3.6 Σάρωση Άλματος: Αρχιτεκτονική Σάρωσης για Χαμηλής Κατανάλωσης Έλεγχου

Στην εργασία [53] παρουσιάζεται μια τεχνική για έλεγχο ορθής λειτουργίας είτε υψηλής ταχύτητας είτε χαμηλής κατανάλωσης. Η τεχνική σάρωσης άλματος επιτυγχάνεται τροποποιώντας τη δομή του flip-flop σάρωσης, το οποίο τώρα ονομάζεται J-scan flip-flop, ώστε να επιτρέπει την ολίσθηση δυο bits δεδομένων ανά κύκλο ρολογιού. Έτσι δίνεται, είτε η δυνατότητα αύξησης της ταχύτητας της διαδικασίας ολίσθησης, είτε η δυνατότητα μείωσης στο μισό της συχνότητας του ρολογιού για την ολίσθηση (scan clock frequency) ώστε να μειωθεί η καταναλισκόμενη ισχύς επίσης στο μισό χωρίς να αυξηθεί ο χρόνος ελέγχου.

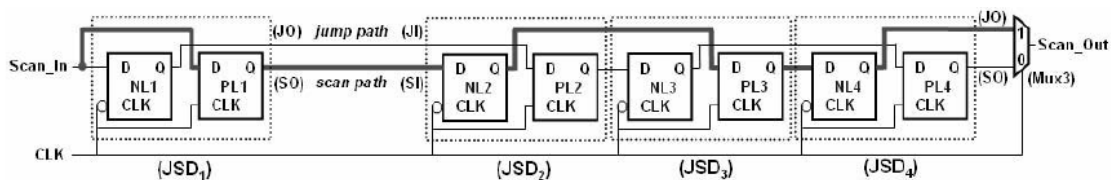
Στο Σχήμα 3.8 φαίνεται η δομή ενός J-scan flip-flop. Αποτελείται από ένα αρνητικό latch (NL), ένα θετικό latch (PL) και δύο πολυπλέκτες. Ουσιαστικά πρόκειται για μια υλοποίηση ενός flip-flop ‘αφέντη’-‘σκλάβου’ που πυροδοτείται στη θετική ακμή του ρολογιού. Η ονομασία του προέρχεται από τη δυνατότητα ‘άλματος’ κατά την ολίσθηση των διανυσμάτων ελέγχου στην αλυσίδα σάρωσης. Σε σύγκριση με το τυπικό flip-flop σάρωσης το flip-flop ‘άλματος’ έχει μια πρόσθετη είσοδο Jump Input (JI) και μια πρόσθετη έξοδο Jump Output (JO).



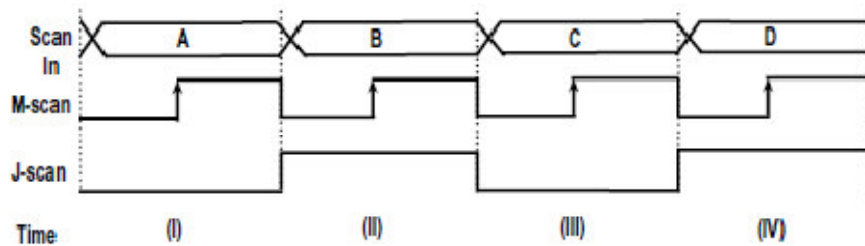
Σχήμα 3.8 Δομή του J-scan Flip-flop.

Στο Σχήμα 3.9 φαίνεται μια αλυσίδα J-scan με τέσσερα J-scan flip-flops. Οι πολυπλέκτες και τα σήματα SE και DI παραλείπονται για διευκόλυνση. Στην J-scan αλυσίδα, δυο J-scan flip-flops συνδέονται με δυο καλώδια. Για παράδειγμα, η έξοδος SO του πρώτου J-scan flip-flop (JSD_1) συνδέεται στην είσοδο SI του δεύτερου J-scan flip-flop JSD_2 (μονοπάτι σάρωσης) και η έξοδος JO του JSD_1 συνδέεται στην JI

είσοδο του JSD_2 (μονοπάτι ‘άλματος’). Στο Σχήμα 3.10 φαίνονται οι κυματομορφές κατά την ολίσθηση ‘άλματος’ και την τυπική ολίσθηση. Οι κυματομορφές χωρίζονται σε τέσσερις περιόδους. Τα δεδομένα εισόδου, A έως D, εισάγονται στην αρχή κάθε περιόδου. Η συχνότητα ρολογιού της τυπικής ολίσθησης είναι δυο φορές μεγαλύτερη από αυτή της J-scan. Στην τυπική ολίσθηση κάθε περίοδος ρολογιού έχει μια αρνητική φάση και μια θετική φάση. Στην J-scan κάθε περίοδος ρολογιού έχει μόνο μια αρνητική φάση ή μια θετική φάση. Μειονεκτήματα αυτής της τεχνικής είναι το κόστος σε επιφάνεια και η υποβάθμιση της ταχύτητας στην κανονική λειτουργία του κυκλώματος εξ αιτίας της παρεμβολής του πρόσθετου δεύτερου πολυπλέκτη σε κάθε scan flip-flop.



Σχήμα 3.9 Αλυσίδα ‘Άλματος’.



Σχήμα 3.10 Κυματομορφές της Τυπικής Ολίσθησης και της J-scan Ολίσθησης.

ΚΕΦΑΛΑΙΟ 4. ΤΕΧΝΙΚΗ ΣΧΕΔΙΑΣΗΣ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ ΥΨΗΛΗΣ ΤΑΧΥΤΗΤΑΣ ΚΑΙ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ

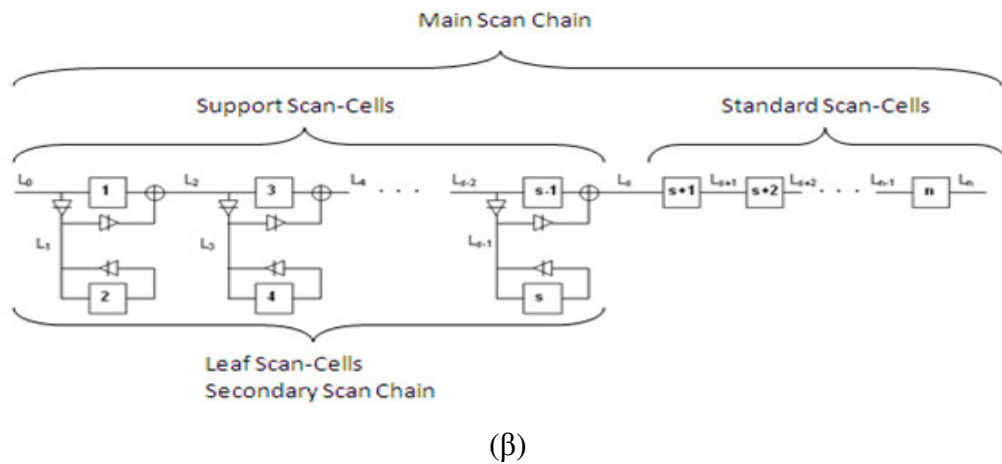
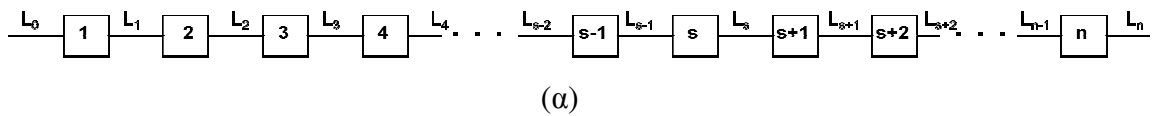
- 4.1 Η Προτεινόμενη Τεχνική Σχεδίασης Αλυσίδων Σάρωσης
 - 4.2 Λειτουργία για Αιτιοκρατικό Έλεγχο
 - 4.3 Λειτουργία για Ψευδοτυχαίο Έλεγχο
 - 4.4 Λειτουργία για Έλεγχο Χαμηλής Κατανάλωσης
 - 4.5 Κάλυψη Σφαλμάτων
-

4.1 Η Προτεινόμενη Τεχνική Σχεδίασης Αλυσίδων Σάρωσης

Η τεχνική που προτείνεται σε αυτή την εργασία είναι μια τεχνική σχεδίασης αλυσίδων σάρωσης για μείωση του χρόνου ελέγχου (test time) και για την επίτευξη χαμηλής κατανάλωσης κατά την ολίσθηση δεδομένων ελέγχου στην αλυσίδα. Στο Σχήμα 4.1(α) φαίνεται μια τυπική αλυσίδα σάρωσης ενώ στο Σχήμα 4.1(β) η αντίστοιχη αλυσίδα σάρωσης σύμφωνα με την προτεινόμενη τεχνική. Τα τρίγωνα με τις κάθετες γραμμές και το σύμβολο \oplus , στο Σχήμα 4.1(β), αντιπροσωπεύουν τρισταθείς απομονωτές (tri-state buffers) και τη πύλη XOR, αντίστοιχα. Η ακριβής τοπολογία της προτεινόμενης τεχνικής παρουσιάζεται πιο αναλυτικά παρακάτω.

Όπως φαίνεται στο Σχήμα 4.1 στη προτεινόμενη τεχνική η αρχική αλυσίδα χωρίζεται σε δύο βασικά μέρη, την κύρια αλυσίδα σάρωσης (main scan chain) και τη δευτερεύουσα αλυσίδα σάρωσης (secondary scan chain) με τα κελιά φύλλα (leaf cells). Επιπρόσθετα, η κύρια αλυσίδα χωρίζεται σε δύο τμήματα, το τμήμα της

τυπικής αλυσίδας σάρωσης (standard scan chain) και το τμήμα της αλυσίδας σάρωσης υποστήριξης (support scan chain).



Σχήμα 4.1 (α) Τυπική Αλυσίδα Σάρωσης και (β) Αλυσίδα Σάρωσης της Προτεινόμενης Τεχνικής

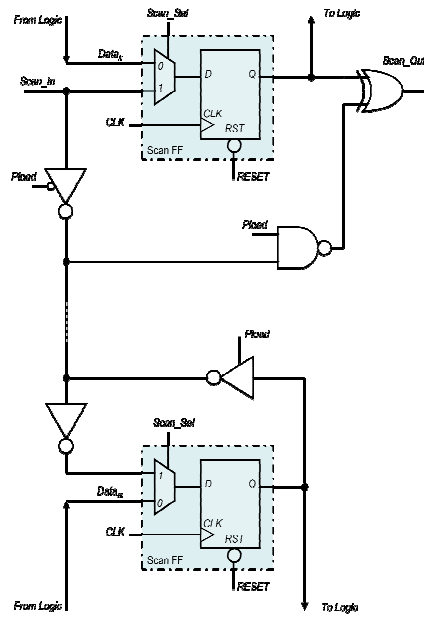
Σε κάθε κελί της αλυσίδας υποστήριξης αντιστοιχεί ένα κελί φύλλο σε μια ένα-προς-ένα αντιστοιχία, κατά τρόπο έτσι ώστε τα δύο κελιά να μπορούν να οδηγηθούν από το ίδιο σήμα στην είσοδο σάρωσης (SI) κατά τη λειτουργία σάρωσης. Από τα δύο σχέδια του Σχήματος 4.1 είναι φανερό ότι ο αριθμός των γραμμών διασύνδεσης στη νέα αλυσίδα σάρωσης είναι ακριβώς ο ίδιος με την αρχική αλυσίδα. Επιπλέον, συνθέτοντας την αλυσίδα υποστήριξης και τα κελιά φύλλα χρησιμοποιώντας διαδοχικά ζεύγη κελιών της αρχικής αλυσίδας ως ζεύγη κελιού υποστήριξης και κελιού φύλλου το αθροιστικό μήκος των γραμμών διασύνδεσης της νέας τοπολογίας παραμένει στατιστικά ίδιο με αυτό των γραμμών διασύνδεσης της αρχικής αλυσίδας. Έτσι η προτεινόμενη τεχνική δεν επιβαρύνει με πρόσθετο κόστος σε επιφάνεια πυριτίου τη σύνθεση της αλυσίδας σάρωσης. Αν (n) είναι ο αριθμός των κελιών (flip-flop) της αρχικής αλυσίδας, τότε ο αριθμός των κελιών της τυπικής αλυσίδας κατά την εφαρμογή της τεχνικής μπορεί να κυμανθεί από 0 ή 1 (ανάλογα εάν το n είναι άρτιος ή περιττός αντίστοιχα) έως $n-2$. Συνεπώς, ο μέγιστος αριθμός των κελιών της αλυσίδας υποστήριξης και άρα των κελιών φύλλων, είναι ίσος με το μισό της αρχικής αλυσίδας (για την ακρίβεια με το ακέραιο μέρος αυτού του αριθμού στην περίπτωση

που η αλυσίδα έχει περιττό αριθμό κελιών). Το κριτήριο που καθορίζει τον αριθμό των κελιών φύλλων (leaf scan cells) εξαρτάται από τη σχέση του κέρδους σε χρόνο εφαρμογής του ελέγχου ως προς το κόστος σε επιφάνεια πυριτίου.

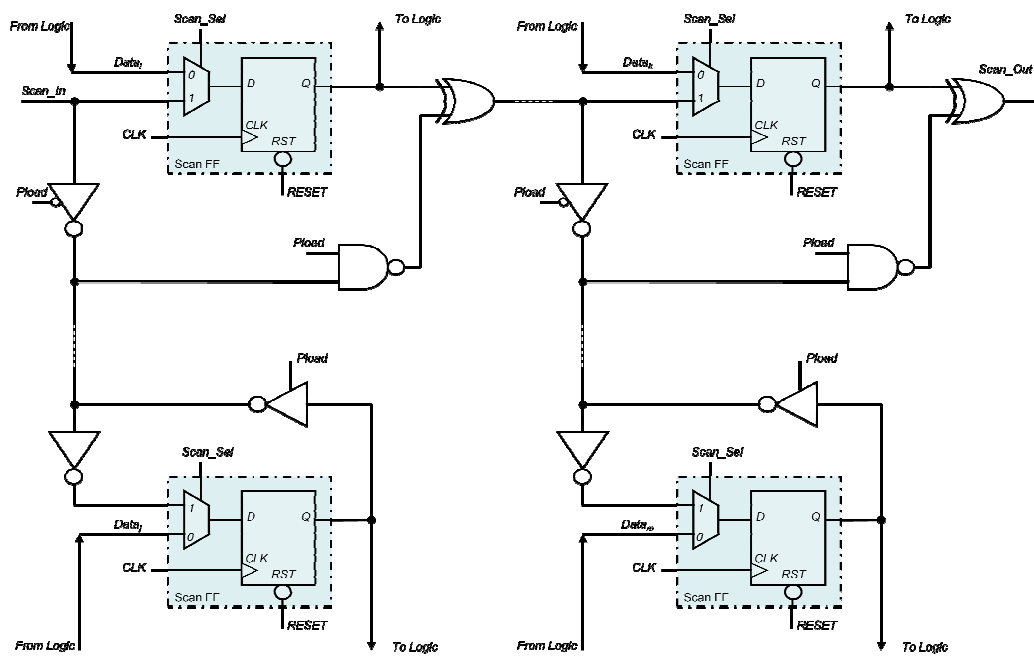
Στο Σχήμα 4.2 φαίνεται αναλυτικά η δομή ενός ζεύγους κελιού υποστήριξης και κελιού φύλλου. Τα πλαίσια με το σκιασμένο φόντο αναφέρονται στα flip-flop σάρωσης που χρησιμοποιούνται και στη τυπική (αρχική) αλυσίδα σάρωσης. Η λογική που προστίθεται από την προτεινόμενη τεχνική είναι ένας τρισταθής αναστροφέας με σήμα ελέγχου, μια πύλη NAND και μια πύλη XOR ανά κελί υποστήριξης, και ένας αναστροφέας μαζί με έναν τρισταθή αναστροφέα με σήμα ελέγχου ανά κελί φύλλο. Το σήμα ελέγχου των τρισταθών αναστροφέων που οδηγεί επίσης και τη μια από τις δύο εισόδους της πύλης NAND ονομάζεται *Pload* και επιτρέπει ή όχι την φόρτωση των κελιών φύλλων με τιμές από την είσοδο σάρωσης καθώς και την ολίσθηση των αποκρίσεων των κυττάρων φύλλων στην έξοδο σάρωσης. Διαδοχικά ζεύγη κελιού υποστήριξης και κελιού φύλλου συνθέτουν την αλυσίδα υποστήριξης με τον αντίστοιχο αριθμό κελιών φύλλων (Σχήμα 4.3). Στη συνέχεια παρουσιάζεται η λειτουργία της προτεινόμενης αλυσίδας σάρωσης κατά την κανονική λειτουργία του κυκλώματος, την αρχικοποίηση (Reset), την εισαγωγή του διανύσματος ελέγχου, τη δέσμευση των αποκρίσεων και την εξαγωγή των αποκρίσεων.

Κανονική Λειτουργία

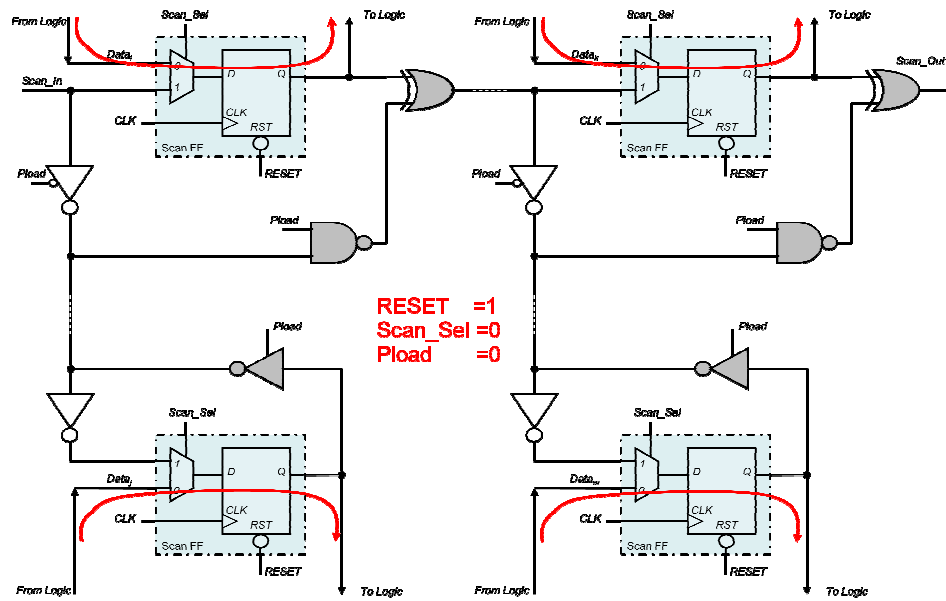
Στο Σχήμα 4.4 φαίνεται η κατάσταση της αλυσίδας σάρωσης στη κανονική λειτουργία του κυκλώματος. Τα σήματα *RESET*, *Scan_Sel* και *Pload* έχουν τις τιμές 1, 0 και 0 αντίστοιχα (το σήμα *Scan_Sel* είναι το σήμα επίτρεψης της διαδικασίας σάρωσης). Σε αυτή την κατάσταση δεν ολισθαίνουν δεδομένα στην αλυσίδα και τα κελιά φύλλα δε παίρνουν τιμή από την είσοδο σάρωσης. Τα flip-flop σάρωσης δέχονται δεδομένα από τη συνδυαστική λογική και παρέχουν δεδομένα σε αυτή. Ακολούθως οι σκιασμένες πύλες αναφέρονται σε διαδρομές σήματος που δεν είναι ενεργές με βάση την τιμή του σήματος *Pload*.



Σχήμα 4.2 Ζεύγος Κελιού Υποστήριξης και Κελιού Φύλλου



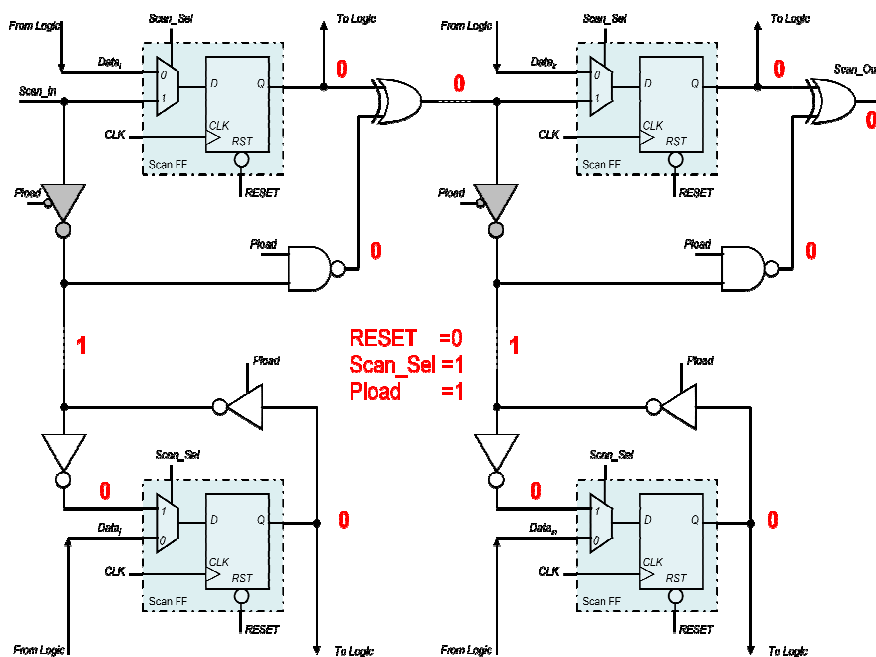
Σχήμα 4.3 Αλυσίδα Υποστήριξης και Κελιά Φύλλα



Σχήμα 4.4 Κανονική Λειτουργία

Αρχειοποίηση της Αλυσίδας Σάρωσης

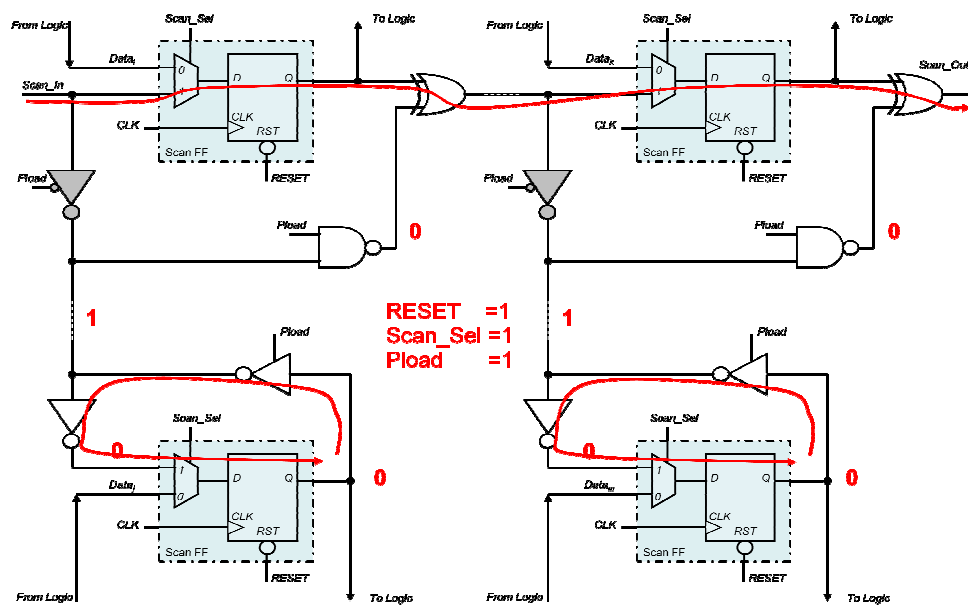
Η αρχειοποίηση της αλυσίδας σάρωσης, έτσι ώστε να είναι γνωστές οι αρχικές καταστάσεις στα flip flop σάρωσης, γίνεται θέτοντας $RESET=0$, $Scan_Sel=1$ και $Pload=1$ (Σχήμα 4.5). Όλα τα flip flop αρχειοποιούνται με 0 στην έξοδό τους. Παρατηρήστε ότι οι έξοδοι των πυλών XOR αρχικοποιούνται και αυτές στην τιμή 0.



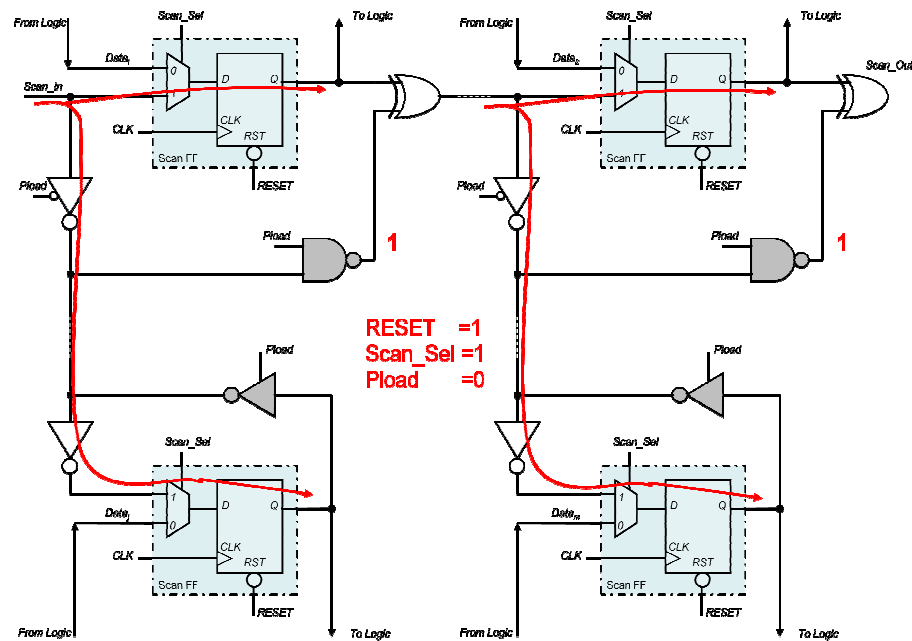
Σχήμα 4.5 Αρχικοποίηση της Αλυσίδας Σάρωσης

Εισαγωγή του Διανύσματος Ελέγχου

Κατά τη διάρκεια της εισαγωγής του διανύσματος ελέγχου (scan in) τα σήματα έχουν τις τιμές $RESET=1$, $Scan_Sel=1$ και $Pload=1$. Έτσι ολισθαίνουν τα δεδομένα ελέγχου στην κύρια αλυσίδα (βλ. Σχήμα 4.6). Στο τελευταίο κύκλο της ολίσθησης (που θα εισαχθεί δηλαδή η τελευταία τιμή του διανύσματος ελέγχου) το $Pload$ αλλάζει σε 0 για να φορτωθούν παράλληλα οι τιμές και στα κελιά φύλλα (βλ. Σχήμα 4.7). Όπως γίνεται φανερό στο Σχήμα 4.6, όσο ολισθαίνουν οι τιμές στην κύρια αλυσίδα, στα κελιά φύλλα ανακυκλώνεται συνεχώς η ίδια τιμή μειώνοντας τις μεταβάσεις στις γραμμές που οδηγούν τη συνδυαστική λογική του υπό έλεγχο κυκλώματος, μειώνοντας συνεπώς αναλογικά τη δυναμική του κατανάλωση κατά την ολίσθηση. Προφανώς, η χρήση του τελευταίου κύκλου ολίσθησης για τη φόρτωση των κελιών φύλλων δεν είναι η μοναδική επιλογή που προσφέρει η προτεινόμενη αρχιτεκτονική.



Σχήμα 4.6 Εισαγωγή του Διανύσματος Ελέγχου



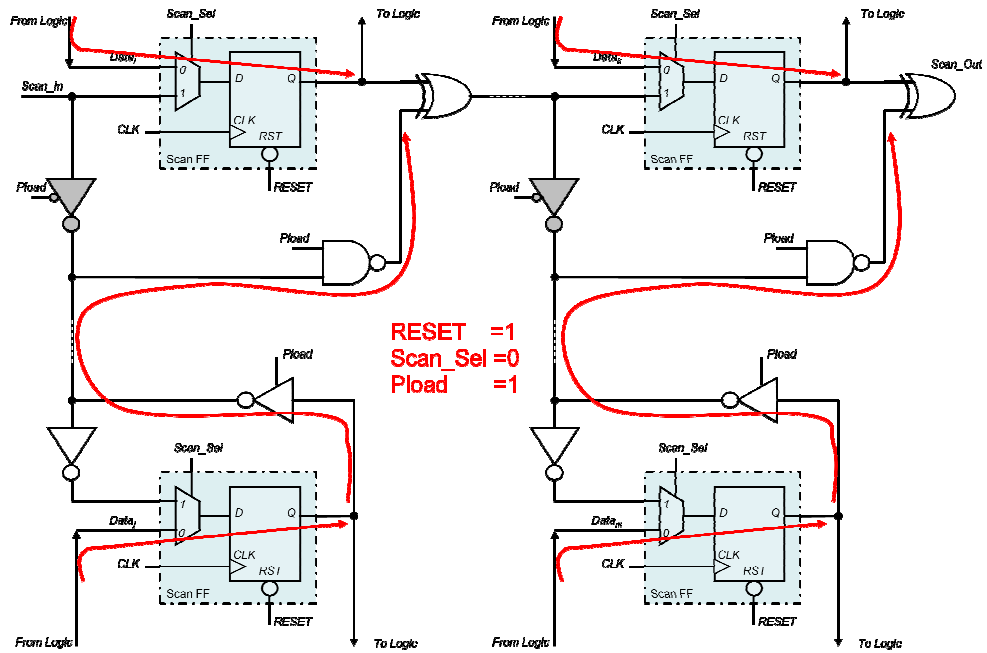
Σχήμα 4.7 Παράλληλη Εισαγωγή Τιμών στα Κελιά Φύλλα

Δέσμευση των αποκρίσεων

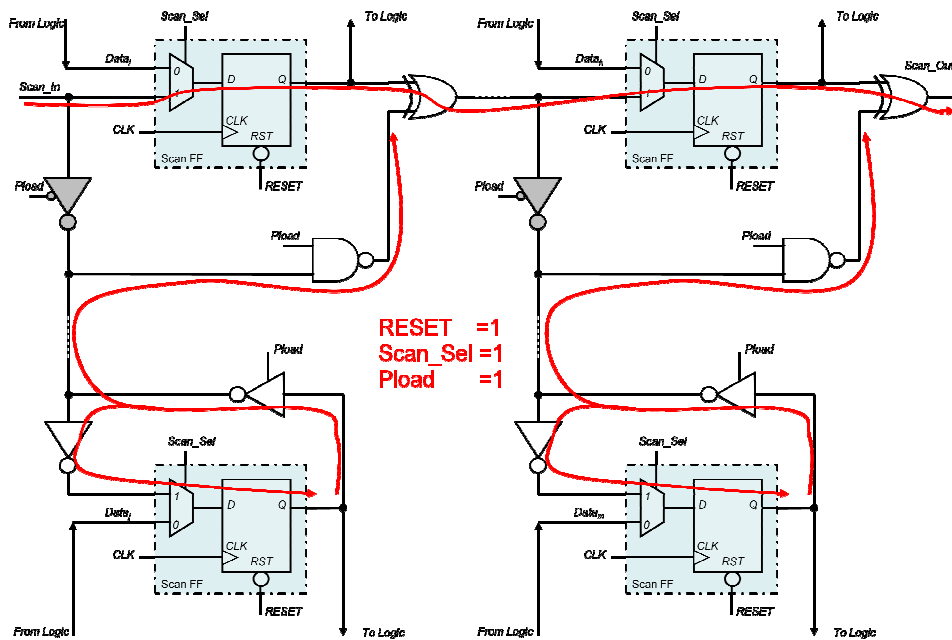
Αφού εφαρμοστεί το διάνυσμα ελέγχου στο κύκλωμα για να δεσμευτούν οι αποκρίσεις (capture) τα σήματα παίρνουν τις τιμές $RESET=1$, $Scan_Sel=0$ και $Pload=1$ (βλ. Σχήμα 4.8). Σύμφωνα με το σχήμα, οι αποκρίσεις του κυκλώματος που δεσμεύονται ανά ζεύγος κελιού υποστήριξης και κελιού φύλλου δίδονται ως είσοδοι σε μια πύλη XOR η οποία με τη σειρά της τροφοδοτεί το επόμενο κελί της αλυσίδας υποστήριξης.

Εξαγωγή των αποκρίσεων

Με τα σήματα $RESET=1$, $Scan_Sel=1$ και $Pload=1$ γίνεται η εξαγωγή με ολίσθηση των αποκρίσεων (scan out) και συγχρόνως η εισαγωγή του επόμενου διανύσματος ελέγχου (βλ. Σχήμα 4.9). Παρατηρήστε ότι η τιμή στην έξοδο κάθε XOR πύλης γίνεται XOR με καθεμιά από τις αποκρίσεις των κελιών φύλλων που ακολουθούν μέχρι το τέλος της αλυσίδας υποστήριξης.



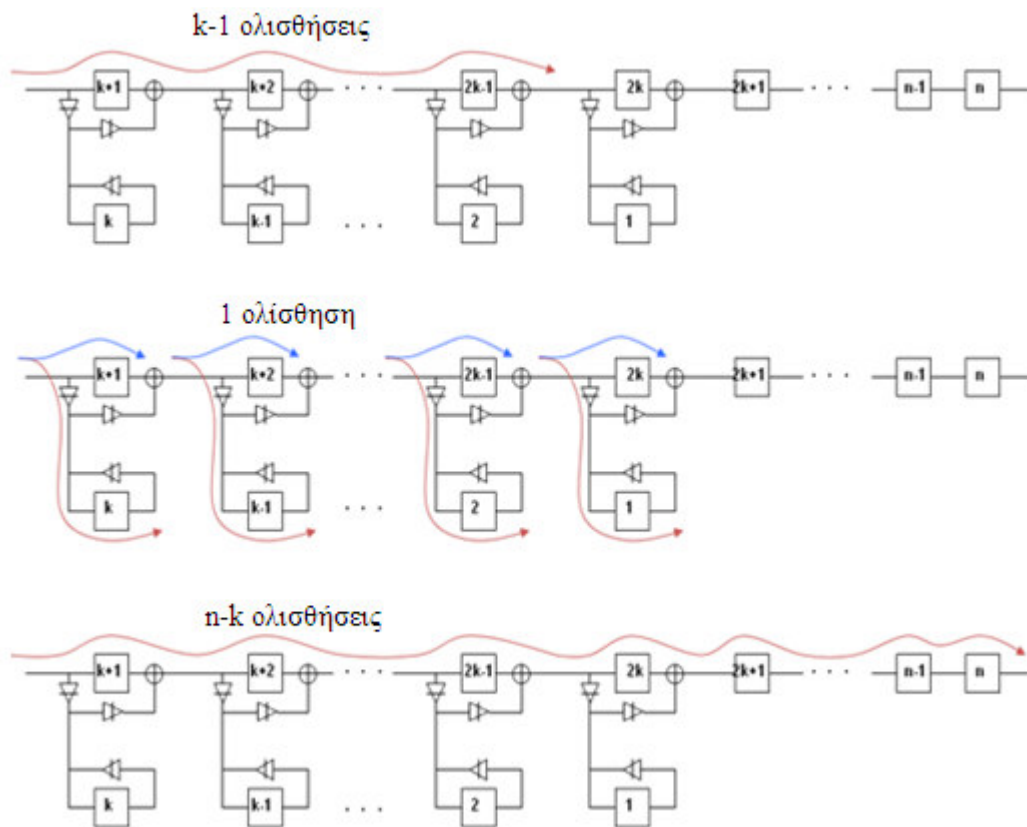
Σχήμα 4.8 Δέσμευση των αποκρίσεων



Σχήμα 4.9 Εξαγωγή Αποκρίσεων

Παρατηρούμε ότι κατά τη διάρκεια ολίσθησης δεδομένων ελέγχου στα κελιά της αλυσίδας σάρωσης, οι τιμές τους γίνονται XOR με τιμές που προϋπάρχουν από προηγούμενες αποκρίσεις του κυκλώματος στα κελιά φύλλα. Συνεπώς, το διάνυσμα τιμών που ολισθαίνονται στην αλυσίδα $W = \langle w_1, w_2, \dots, w_n \rangle$ θα πρέπει να είναι τέτοιο ώστε με την XOR πράξη στις αντίστοιχες πύλες με τις υπάρχουσες αποκρίσεις, οι

οποίες εκφράζονται με το διάνυσμα αποκρίσεων $Z = \langle z_1, z_2, \dots, z_n \rangle$ να δίδουν το επιθυμητό διάνυσμα ελέγχου $Y = \langle y_1, y_2, \dots, y_n \rangle$ στην αλυσίδα σάρωσης. Στις επόμενες ενότητες χρησιμοποιούμε την αλυσίδα σάρωσης του Σχήματος 4.10, που αποτελείται από n κύτταρα από τα οποία τα $k \leq \lfloor n/2 \rfloor$ είναι κελιά φύλλα. Η νέα αρίθμηση των κελιών φαίνεται επίσης στο Σχήμα 4.10.



Σχήμα 4.10 Πλήρης Αιτιοκρατικός Έλεγχος

4.2 Λειτουργία για Αιτιοκρατικό Έλεγχο

Σύμφωνα με την προηγούμενη ανάλυση, για να πραγματοποιηθεί πλήρης αιτιοκρατικός έλεγχος σάρωσης (full deterministic scan testing), χωρίς δηλ. την ύπαρξη αδιάφορων τιμών στα διανύσματα ελέγχου, χρησιμοποιώντας μια αλυσίδα σάρωσης σχεδιασμένη σύμφωνα με την προτεινόμενη τεχνική, όπως αυτή στο Σχήμα 4.10, θα γίνουν αρχικά $k-1$ ολισθήσεις στα $k-1$ κελιά της αλυσίδας υποστήριξης. Στην επόμενη ολίσθηση (k -οστή) θα εισαχθούν οι k τιμές στα κελιά φύλλα και τέλος θα ακολουθήσουν άλλες $n-k$ ολισθήσεις για να φορτωθεί και η κύρια αλυσίδα με δεδομένα ελέγχου. Δηλαδή συνολικά θα απαιτηθούν n ολισθήσεις, όσες και για μια

τυπική αλυσίδα μήκους n . Από αυτή την άποψη δεν διαφαίνεται να επιτυγχάνεται κάποιο κέρδος με την εφαρμογή της προτεινόμενης τεχνικής. Θα φανεί στη συνέχεια ότι το ουσιαστικό κέρδος σε κύκλους ολίσθησης δεδομένων επιτυγχάνεται με την κατάλληλη αξιοποίηση των αδιάφορων όρων στα διανύσματα ελέγχου που εισάγονται στην αλυσίδα.

Έστω λοιπόν ότι οι πρώτες q τιμές του διανύσματος ελέγχου είναι αδιάφορες X -τιμές (don't care X -values) με $0 \leq q \leq k$ (για $q > k$ η τεχνική δεν προσφέρει πρόσθετα οφέλη). Σε αυτή την περίπτωση η λειτουργία εισαγωγής δεδομένων ελέγχου (scan in) διαμορφώνεται ως ακολούθως και αποτελείται από $k-q$ ολισθήσεις για να φορτωθούν τα $k-q$ πιο αριστερά κελιά φύλλα και $n-k$ ολισθήσεις για να γεμίσει η κύρια αλυσίδα σάρωσης όπως φαίνεται και στο Σχήμα 4.11. Οπότε απαιτούνται συνολικά $n-q$ ολισθήσεις. Δηλαδή υπάρχει μια μείωση (κέρδος) q ολισθήσεων ανά διάνυσμα ελέγχου, που στο σύνολο των διανυσμάτων είναι πολύ σημαντική καθώς ο αριθμός των διανυσμάτων ελέγχου είναι πολύ μεγάλος στα σύγχρονα κυκλώματα. Επιπρόσθετα, τα δεδομένα ελέγχου που αποθηκεύονται στον εξοπλισμό ελέγχου (ATE) μειώνονται κατά q -bit ανά διάνυσμα ελέγχου και κατά q -bit ανά διάνυσμα απόκρισης με αποτέλεσμα την πολύ σημαντική μείωση της μνήμης που απαιτείται για την αποθήκευσή τους (test data volume reduction).

Το διάνυσμα ελέγχου Y που θα εφαρμοστεί στο κύκλωμα, μετά τη λειτουργία scan in, προσδιορίζεται από το προηγούμενο διάνυσμα αποκρίσεων Z και το επόμενο διάνυσμα εισόδου W που θα εισαχθεί στην αλυσίδα σάρωσης. Στη συνέχεια παρουσιάζεται ο τρόπος υπολογισμού του διανύσματος Y .

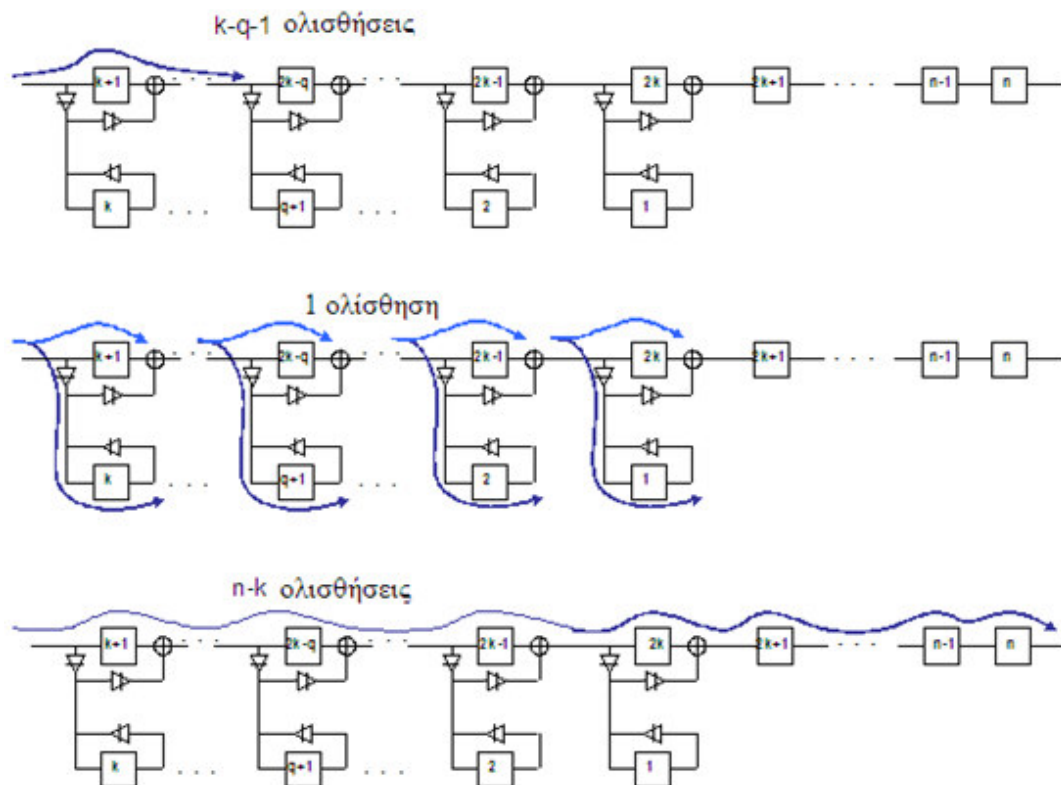
Αν $q=k$

$$y_j = z_j \quad 1 \leq j \leq k$$

$$y_j = w_j \quad k < j \leq k+1$$

$$y_j = w_j \oplus (y_{2k-j+2} \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=2k-j+2}^k y_i \quad k+2 \leq j \leq 2k$$

$$y_j = w_j \oplus (y_1 \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=1}^k y_i \quad 2k+1 \leq j \leq n$$



Σχήμα 4.11 Αυτοκρατικός Έλεγχος

Αν $q < k$

$$y_j = z_{k+q-j+1} \oplus (z_{j+1} \oplus \dots \oplus z_{k-q+j}) = z_{k+q-j+1} \oplus \text{XOR}_{i=j+1}^{k-q+j} z_i \quad 1 \leq j \leq q$$

$$y_j = w_j \oplus (z_{j+1} \oplus \dots \oplus z_k) = w_j \oplus \text{XOR}_{i=j+1}^k z_i \quad q+1 \leq j \leq k-1$$

$$y_j = w_j \quad k \leq j \leq k+1$$

$$y_j = w_j \oplus (y_{2k-j+2} \oplus \dots \oplus y_k) = w_j \oplus \text{XOR}_{i=2k-j+2}^k y_i \quad k+2 \leq j \leq 2k$$

$$y_j = w_j \oplus (y_1 \oplus \dots \oplus y_k) = w_j \oplus \text{XOR}_{i=1}^k y_i \quad 2k+1 \leq j \leq n$$

Επιλύοντας τις παραπάνω εξισώσεις ως προς W , για ένα δεδομένο διάνυσμα ελέγχου που επιθυμούμε να εφαρμοστεί στο υπό έλεγχο κύκλωμα και ένα δεδομένο διάνυσμα πρότερων αποκρίσεων Z , είναι εύκολο να προσδιοριστεί το διάνυσμα εισόδου που πρέπει να εισαχθεί στην αλυσίδα σάρωσης. Συνεπώς τα διανύσματα που αποθηκεύουμε στο σύστημα ελέγχου ορθής λειτουργίας (tester ή automatic test

equipment - ATE) για να εισάγουμε στην αλυσίδα, είναι τα διανύσματα W αντί των αρχικών διανυσμάτων Y που παρέχουν τα εργαλεία αυτόματης εξαγωγής διανυσμάτων ελέγχου ορθής λειτουργίας (automatic test pattern generation – ATPG tools) για την αρχική αλυσίδα πριν την εφαρμογή της τεχνικής.

Στη συνέχεια δίνεται ένα παράδειγμα για τη δεύτερη περίπτωση όπου $q < k$, χρησιμοποιώντας μία αλυσίδα με $n=17$ κελιά σάρωσης $k=5$ και $q=3$. Σύμφωνα με τις εξισώσεις το διάνυσμα Y θα δίδεται ως ακολούθως συναρτήσει των διανυσμάτων Z και W :

$$y_1 = z_8 \oplus z_2 \oplus z_3$$

$$y_2 = z_7 \oplus z_3 \oplus z_4$$

$$y_3 = z_6 \oplus z_4 \oplus z_5$$

$$y_4 = w_4 \oplus z_5$$

$$y_5 = w_5$$

$$y_6 = w_6$$

$$y_7 = w_7 \oplus y_5$$

$$y_8 = w_8 \oplus y_4 \oplus y_5$$

$$y_9 = w_9 \oplus y_3 \oplus y_4 \oplus y_5$$

$$y_{10} = w_{10} \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

$$y_{11} = w_{11} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

$$y_{12} = w_{12} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

$$y_{13} = w_{13} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

$$y_{14} = w_{14} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

$$y_{15} = w_{15} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

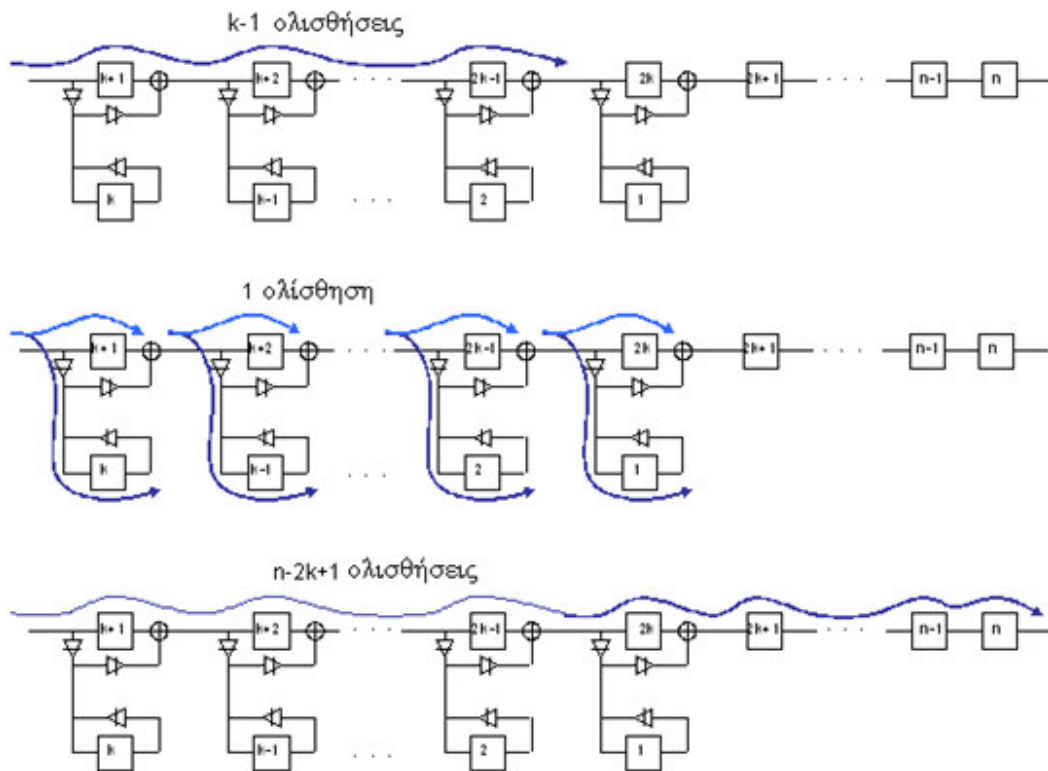
$$y_{16} = w_{16} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

$$y_{17} = w_{17} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$$

4.3 Λειτουργία για Ψευδοτυχαίο Έλεγχο

Υπάρχουν δύο εναλλακτικοί τρόποι εφαρμογής του ψευδοτυχαίου ελέγχου δηλ. του ελέγχου με τη χρήση ψευδοτυχαίων διανυσμάτων. Στη πρώτη προσέγγιση η λειτουργία εισαγωγής του διανύσματος εισόδου (scan in) αποτελείται από k ολισθήσεις για να γεμίσουν τα κελιά φύλλα και $n-2k+1$ ολισθήσεις για να γεμίσουν

τα κελιά της κύριας αλυσίδας σάρωσης (Σχήμα 4.12). Παρόλο που αρκούν $n-2k$ ολισθήσεις για να γεμίσουν τα κελιά της κύριας αλυσίδας, πραγματοποιείται μια επιπλέον ολίσθηση ώστε να αποφευχθεί η μόνιμη εμφάνιση της λογικής τιμής 0 στο n -οστό κελί της κύριας αλυσίδας μετά την ολοκλήρωση της ολίσθησης. Το φαινόμενο αυτό οφείλεται στο γεγονός ότι μετά από τις k ολισθήσεις, για τη φόρτωση των κελιών φύλλων, οι τιμές που υπάρχουν σε αυτά είναι οι ίδιες με τα αντίστοιχα κελιά που τα υποστηρίζουν στην αλυσίδα υποστήριξης, με αποτέλεσμα η XOR πράξη των δύο ίδιων τιμών στο δεξιότερο ζευγάρι κελιών υποστήριξης-φύλλου να ολισθαίνει πάντα ένα 0 στο τελευταίο (n -οστό) κελί της αλυσίδας σάρωσης ύστερα από $n-2k$ κύκλους γεγονός που αντίκειται στην έννοια του ψευδοτυχαίου. Με την πρόσθετη ολίσθηση το πρόβλημα διορθώνεται. Συνολικά απαιτούνται μόνο $n-k+1$ ολισθήσεις.



Σχήμα 4.12 Ψευδοτυχαίος Έλεγχος ($n-k+1$ ολισθήσεις)

Παρόμοια με τον αιτιοκρατικό έλεγχο, το διάνυσμα ελέγχου Y που θα εμφανιστεί στην αλυσίδα σάρωσης, προσδιορίζεται από το προηγούμενο διάνυσμα των αποκρίσεων Z , του ελέγχου, και το επόμενο διάνυσμα εισόδου W που θα εισαχθεί

στην αλυσίδα με τη λειτουργία της ολίσθησης. Το διάνυσμα Y προσδιορίζεται σύμφωνα με τις παρακάτω εξισώσεις.

Για τις $k+1$ πρώτες τιμές ισχύει:

$$y_j = w_j \oplus (z_{j+1} \oplus \dots \oplus z_k) = w_j \oplus \bigoplus_{i=j+1}^k z_i \quad 1 \leq j \leq k-1$$

$$y_j = w_j \quad k \leq j \leq k+1$$

Για τις υπόλοιπες τιμές διακρίνουμε δύο περιπτώσεις:

α) για $n-2k \geq k$:

$$y_j = w_j \oplus (y_{2k-j+2} \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=2k-j+2}^k y_i \quad k+2 \leq j \leq 2k$$

$$y_j = w_j \oplus (y_1 \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=1}^k y_i \quad 2k+1 \leq j \leq n-k+1$$

$$y_j = y_{n-j+2} \oplus (y_1 \oplus \dots \oplus y_{n-j+2}) = y_{n-j+2} \oplus \bigoplus_{i=1}^{n-j+2} y_i = \bigoplus_{i=1}^{n-j+1} y_i \quad n-k+2 \leq j \leq n$$

β) για $n-2k < k$:

$$y_j = w_j \oplus (y_{2k-j+2} \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=2k-j+2}^k y_i \quad k+2 \leq j \leq n-k+1$$

$$y_j = y_{n-j+2} \oplus (y_{2k-j+2} \oplus \dots \oplus y_{n-j+2}) = y_{n-j+2} \oplus \bigoplus_{i=2k-j+2}^{n-j+2} y_i = \bigoplus_{i=2k-j+2}^{n-j+1} y_i \quad n-k+2 \leq j \leq 2k$$

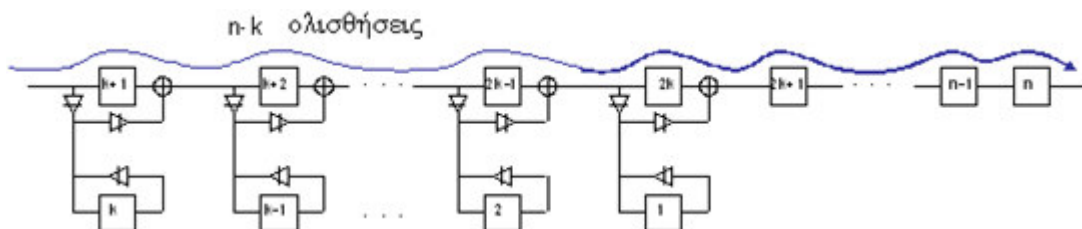
$$y_j = y_{n-j+2} \oplus (y_1 \oplus \dots \oplus y_{n-j+2}) = y_{n-j+2} \oplus \bigoplus_{i=1}^{n-j+2} y_i = \bigoplus_{i=1}^{n-j+1} y_i \quad 2k+1 \leq j \leq n$$

Στη συνέχεια δίνονται δυο παραδείγματα για $n-2k \geq k$ και $n-2k < k$, με $n=17$ και $k=5$ και $n=13$ και $k=5$, αντίστοιχα:

n=17 και k=5	n=13 και k=5
$y_1 = w_1 \oplus z_2 \oplus z_3 \oplus z_4 \oplus z_5$	$y_1 = w_1 \oplus z_2 \oplus z_3 \oplus z_4 \oplus z_5$
$y_2 = w_2 \oplus z_3 \oplus z_4 \oplus z_5$	$y_2 = w_2 \oplus z_3 \oplus z_4 \oplus z_5$
$y_3 = w_3 \oplus z_4 \oplus z_5$	$y_3 = w_3 \oplus z_4 \oplus z_5$
$y_4 = w_4 \oplus z_5$	$y_4 = w_4 \oplus z_5$
$y_5 = w_5$	$y_5 = w_5$

$y_6 = w_6$	$y_6 = w_6$
$y_7 = w_7 \oplus y_5$	$y_7 = w_7 \oplus y_5$
$y_8 = w_8 \oplus y_4 \oplus y_5$	$y_8 = w_8 \oplus y_4 \oplus y_5$
$y_9 = w_9 \oplus y_3 \oplus y_4 \oplus y_5$	$y_9 = w_9 \oplus y_3 \oplus y_4 \oplus y_5$
$y_{10} = w_{10} \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$	$y_{10} = y_2 \oplus y_3 \oplus y_4$
$y_{11} = w_{11} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$	$y_{11} = y_1 \oplus y_2 \oplus y_3$
$y_{12} = w_{12} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$	$y_{12} = y_1 \oplus y_2$
$y_{13} = w_{13} \oplus y_1 \oplus y_2 \oplus y_3 \oplus y_4 \oplus y_5$	$y_{13} = y_1$
$y_{14} = y_1 \oplus y_2 \oplus y_3 \oplus y_4$	
$y_{15} = y_1 \oplus y_2 \oplus y_3$	
$y_{16} = y_1 \oplus y_2$	
$y_{17} = y_1$	

Στη δεύτερη προσέγγιση του ψευδοτυχαίου ελέγχου οι αποκρίσεις του κυκλώματος στα κελιά φύλλα αποτελούν το τμήμα του νέου διανύσματος ελέγχου από 1 έως k ($y_i = z_i$, $1 \leq i \leq k$). Η λειτουργία εισαγωγής του διανύσματος εισόδου αποτελείται από $n-k$ ολισθήσεις για να γεμίσει η κύρια αλυσίδα σάρωσης (Σχήμα 4.13). Οπότε συνολικά οι ολισθήσεις είναι $n-k$.



Σχήμα 4.13 Ψευδοτυχαίος Έλεγχος ($n-k$ ολισθήσεις)

Το διάνυσμα ελέγχου Y που θα εμφανιστεί στην αλυσίδα σάρωσης μετά την εισαγωγή του διανύσματος εισόδου W , προσδιορίζεται από τις παρακάτω εξισώσεις.

$$y_j = z_j \quad 1 \leq j \leq k$$

$$y_j = w_j \quad k < j \leq k+1$$

$$y_j = w_j \oplus (y_{2k-j+2} \oplus \dots \oplus y_k) = w_j \oplus \text{XOR}_{i=2k-j+2}^k y_i \quad k+2 \leq j \leq 2k$$

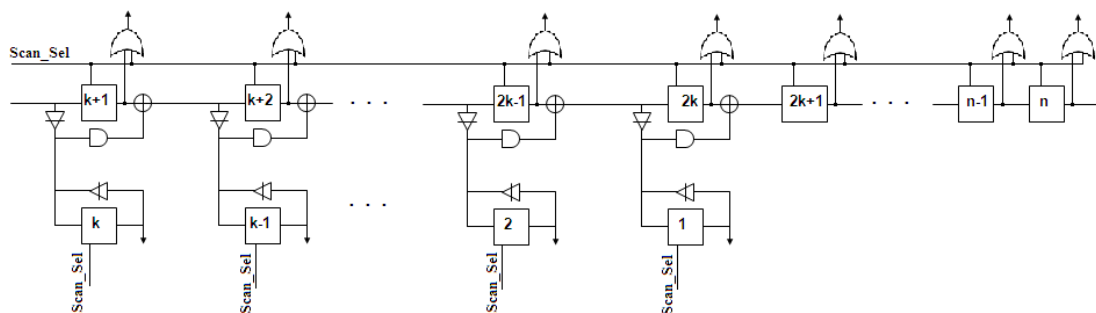
$$y_j = w_j \oplus (y_1 \oplus \dots \oplus y_k) = w_j \oplus \text{XOR}_{i=1}^k y_i \quad 2k+1 \leq j \leq n$$

4.4 Λειτουργία για Έλεγχο Χαμηλής Κατανάλωσης

Με τη προτεινόμενη τεχνική μειώνεται η δυναμική κατανάλωση ενέργειας κατά την ολίσθηση καθώς κατά την εισαγωγή του διανύσματος ελέγχου στην αλυσίδα και την εξαγωγή των αποκρίσεων, k κελιά της αλυσίδας παραμένουν μόνιμα παγωμένα σε δεδομένες τιμές για όλους τους κύκλους ρολογιού εκτός από έναν κύκλο ολίσθησης για τη φόρτωσή τους. Αυτό έχει σαν αποτέλεσμα τη μείωση του αριθμού των μεταβάσεων των σημάτων στις εισόδους της συνδυαστικής λογικής και κατά συνέπεια τη μείωση της μέσης δυναμικής ενέργειας σε αυτή κατά τη διαδικασία της ολίσθησης.

Στην περίπτωση που ζητάμε να εξαλείψουμε την δυναμική κατανάλωση ενέργειας της συνδυαστικής λογικής κατά τη φάση της ολίσθησης δεδομένων ελέγχου στην αλυσίδα σάρωσης, η ακόλουθη σχεδίαση μπορεί να υιοθετηθεί σύμφωνα με την προτεινόμενη τεχνική. Τα κελιά σάρωσης που οδηγούν κρίσιμα μονοπάτια του συνδυαστικού κυκλώματος, σε ότι αφορά τις επιδόσεις του σε ταχύτητα, τοποθετούνται στη θέση των κελιών φύλλων στην αλυσίδα σάρωσης. Στα υπόλοιπα κελιά της κύριας αλυσίδας σάρωσης τοποθετείται μια πύλη OR ανάμεσα στην έξοδο του κελιού και τη συνδυαστική λογική του υπό έλεγχο κυκλώματος (data gating) [54], όπως φαίνεται στο Σχήμα 4.14. Η δεύτερη είσοδος της πύλης OR οδηγείται από το σήμα ενεργοποίησης της λειτουργίας σάρωσης (*Scan_Sel*). Έτσι, κατά τη λειτουργία της ολίσθησης για την εισαγωγή του διανύσματος ελέγχου και την εξαγωγή των αποκρίσεων δε γίνονται μεταβάσεις στις τιμές των σημάτων στις εισόδους της συνδυαστικής λογικής καθώς α) στα μεν κελιά της κύριας αλυσίδας η έξοδος της πύλης OR είναι μόνιμα στη λογική τιμή 1 (όπως και το σήμα *Scan_Sel*) και β) με βάση την προτεινόμενη τεχνική, όπως αναφέρθηκε νωρίτερα, κατά την ολίσθηση των δεδομένων ελέγχου στην αλυσίδα τα κύτταρα της δευτερεύουσας αλυσίδας παραμένουν παγωμένα σε μια δεδομένη τιμή εκτός από ένα και μόνο κύκλο του

ρολογιού όπου νέα δεδομένα φορτώνονται στα κελιά αυτά. Με αυτή τη σχεδιαστική προσέγγιση μπορούμε σχεδόν να μηδενίσουμε τη δυναμική κατανάλωση της συνδυαστικής λογικής κατά την ολίσθηση δεδομένων ελέγχου στην αλυσίδα, χωρίς να επηρεάσουμε τις επιδόσεις στην ταχύτητα λειτουργίας του κυκλώματος καθώς δεν προσθέτουμε κυκλωμάτωση στις κρίσιμες διαδρομές σήματος. Στην περίπτωση που ο διαθέσιμος αριθμός των κελιών της δευτερεύουσας αλυσίδας δεν είναι αρκετός για να καλύψει όλα τα flip-flop που οδηγούν κρίσιμες διαδρομές σήματος, τότε τα κελιά που περισσεύουν παραμένουν στην κύρια αλυσίδα αλλά χωρίς την προσθήκη της πύλης OR. Έτσι πετυχαίνουμε και πάλι δραστική μείωση της καταναλισκόμενης ενέργειας κατά την ολίσθηση, χωρίς να επηρεάζουμε τις κρίσιμες διαδρομές διάδοσης σήματος και συνεπώς την ταχύτητα λειτουργίας.



Σχήμα 4.14 Έλεγχος Χαμηλής Κατανάλωσης

4.5 Κάλυψη Σφαλμάτων

Ένα πιθανό πρόβλημα που μπορεί να εμφανιστεί κατά την εφαρμογή της προτεινόμενης τεχνικής είναι το ακόλουθο. Στην περίπτωση που στις αποκρίσεις ενός ζεύγους κελιού υποστήριξης και κελιού φύλλου έχουν συλληφθεί ταυτόχρονα λανθασμένες αποκρίσεις της συνδυαστικής λογικής εξ αιτίας της παρουσίας ενός ή περισσότερων σφαλμάτων σε αυτή, τότε το XOR αυτών των δύο τιμών στη σχετική πύλη στις εξόδους των δύο κελιών, κατά την ολίσθηση έξω των αποκρίσεων, θα δώσει την αναμενόμενη τιμή της περίπτωσης χωρίς σφάλματα και συνεπώς η παρουσία του(των) σφάλματος(σφαλμάτων) θα αποκρυφτεί (aliasing). Αν για παράδειγμα οι αναμενόμενες αποκρίσεις σε ένα ζεύγος κελιού υποστήριξης και κελιού φύλλου για ένα συγκεκριμένο διάνυσμα ελέγχου είναι 0 και 1 αντίστοιχα στην

απαλλαγμένη από σφάλματα περίπτωση, και εξαιτίας κάποιου σφάλματος οι αποκρίσεις γίνουν 1 και 0, τότε η XOR πράξη θα δώσει 1 που είναι η αναμενόμενη τιμή και έτσι δε θα καταστεί εφικτή η ανίχνευση του σφάλματος στην έξοδο της αλυσίδας. Φυσικά η πιθανότητα αυτή είναι σχετικά μικρή (ιδιαίτερα με την απαίτηση για όλα τα διανύσματα ελέγχου που ενεργοποιούν το σφάλμα να εμφανίζεται η συγκεκριμένη συμπεριφορά) αλλά όχι αμελητέα.

Όμως αν σε ένα κελί φύλλο έχει συλληφθεί μια λανθασμένη απόκριση τότε κατά την ολίσθηση των νέων δεδομένων ελέγχου μέσα στην αλυσίδα και την ταυτόχρονη ολίσθηση των αποκρίσεων έξω από την αλυσίδα “μολύνονται” με τη λανθασμένη τιμή (δηλ. γίνονται XOR με τη λανθασμένη τιμή) οι αποκρίσεις όλων των ζευγών κελιών υποστήριξης - κελιών φύλλων που προηγούνται αυτού του κελιού (αριστερότερα ζεύγη κελιών) καθώς και τα δεδομένα ελέγχου του νέου διανύσματος όλων των κελιών φύλλων που έπονται αυτού του κελιού (δεξιότερα κελιά φύλλα), μέχρι να ανανεωθούν τα δεδομένα των κελιών φύλλων. Σύμφωνα λοιπόν με την αρίθμηση των κελιών που φαίνεται π.χ. στο Σχήμα 4.14, στην περίπτωση που πραγματοποιείται πλήρης αιτιοκρατικός έλεγχος, αν το κελί φύλλο υπ’ αριθμών 1 έχει λανθασμένη απόκριση τότε “μολύνει” όλες τις k αριστερότερες αποκρίσεις των ζευγών κελιών υποστήριξης - κελιών φύλλων στην αλυσίδα, ενώ αν το k -οστό κελί φύλλο έχει λανθασμένη απόκριση “μολύνει” μία απόκριση (αυτή του αριστερότερου κελιού υποστήριξης, με το οποίο ανήκει και στο ίδιο ζεύγος) και τις $k-1$ πρώτες τιμές από το διάνυσμα εισόδου. Επιπλέον, αν το i -οστό κελί φύλλο, με $2 \leq i \leq k-1$, έχει λανθασμένη απόκριση, τότε “μολύνει” τις $k-i+1$ αποκρίσεις των αριστερότερων ζευγών κελιών και τις $i-1$ πρώτες τιμές του διανύσματος εισόδου.

Επίσης, όταν πραγματοποιείται αιτιοκρατικός έλεγχος, με τις q πρώτες τιμές του διανύσματος ελέγχου να είναι αδιάφορες X -τιμές (βλ. Σχήμα 4.11), αν το υπ’ αριθμών 1 κελί φύλλο έχει λανθασμένη απόκριση τότε “μολύνει” την απόκριση του κελιού υποστήριξης στο κοινό ζεύγος και όλες τις αποκρίσεις των $k-q-1$ αριστερότερων αυτού ζευγών κελιών υποστήριξης - κελιών φύλλων στην αλυσίδα. Αν το k -οστό κελί φύλλο έχει λανθασμένη απόκριση “μολύνει” μια απόκριση (αυτή του αριστερότερου κελιού υποστήριξης, με το οποίο ανήκει και στο ίδιο ζεύγος) και $k-q-1$ τιμές από το διάνυσμα εισόδου. Επιπρόσθετα, αν το i -οστό κελί φύλλο, με

$2 \leq i \leq q$, έχει λανθασμένη απόκριση, “μολύνει” την απόκριση του κελιού υποστήριξης στο δικό του ζεύγος και όλες τις αποκρίσεις των $k-q-1$ αριστερότερων αυτού ζευγών κελιών υποστήριξης - κελιών φύλλων στην αλυσίδα. Τέλος αν το j -οστό κελί φύλλο, με $q+1 \leq j \leq k-1$, έχει λανθασμένη απόκριση, “μολύνει” τις $k-j+1$ αριστερότερες αποκρίσεις μαζί με την απόκριση του κελιού υποστήριξης στο δικό του ζεύγος και $j-q-1$ τιμές από το διάνυσμα εισόδου.

Στην περίπτωση όπου πραγματοποιείται ψευδοτυχαίος έλεγχος, τότε στη πρώτη σχεδιαστική προσέγγιση που αναφέραμε με τις συνολικά $n-k+1$ συνολικές ολισθήσεις (βλ. Σχήμα 4.12), ισχύει ότι και για τον πλήρη αιτιοκρατικό έλεγχο. Στη δεύτερη σχεδιαστική προσέγγιση με τις συνολικά $n-k$ ολισθήσεις όπου δε γίνεται παράλληλη φόρτωση στα κελιά φύλλα (βλ. Σχήμα 4.13), αν το j -οστό κελί φύλλο, με $1 \leq j \leq k$, έχει λανθασμένη απόκριση, τότε “μολύνει” τις $k-j+1$ αριστερότερες αποκρίσεις μαζί με την απόκριση του κελιού υποστήριξης στο δικό του ζεύγος και $n-k+j$ τιμές από το διάνυσμα εισόδου.

Από την προηγούμενη ανάλυση προκύπτει ότι η πιθανότητα απόκρυψης ενός σφάλματος, εξ αιτίας του μηχανισμού που προαναφέρθηκε, καθίσταται εξαιρετικά μικρή, στην πράξη αμελητέα, και η αναμενόμενη κάλυψη σφαλμάτων θα παραμείνει ίδια με αυτή της τυπικής αλυσίδας σάρωσης.

Τέλος, στην περίπτωση που παρόλα αυτά για κάποιο σφάλμα, στο υπό μελέτη μοντέλο σφαλμάτων, παρατηρηθεί κατά τη φάση της σχεδίασης ότι υπάρχει η δυνατότητα εμφάνισης του φαινομένου της απόκρυψης, τότε ο σχεδιαστής μπορεί να αλλάξει τη θέση του σχετικού κελιού φύλλου στη δευτερεύουσα αλυσίδα ώστε το νέο ζεύγος κελιού υποστήριξης – κελιού φύλλου που θα δημιουργηθεί να μην έχει κοινό κώνο απόκρισης και συνεπώς η πιθανότητα απόκρυψης του σφάλματος (εξ αιτίας της προτεινόμενης τοπολογίας) να μηδενιστεί.

ΚΕΦΑΛΑΙΟ 5. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ

5.1 Πειραματική Διάταξη Επαλήθευσης

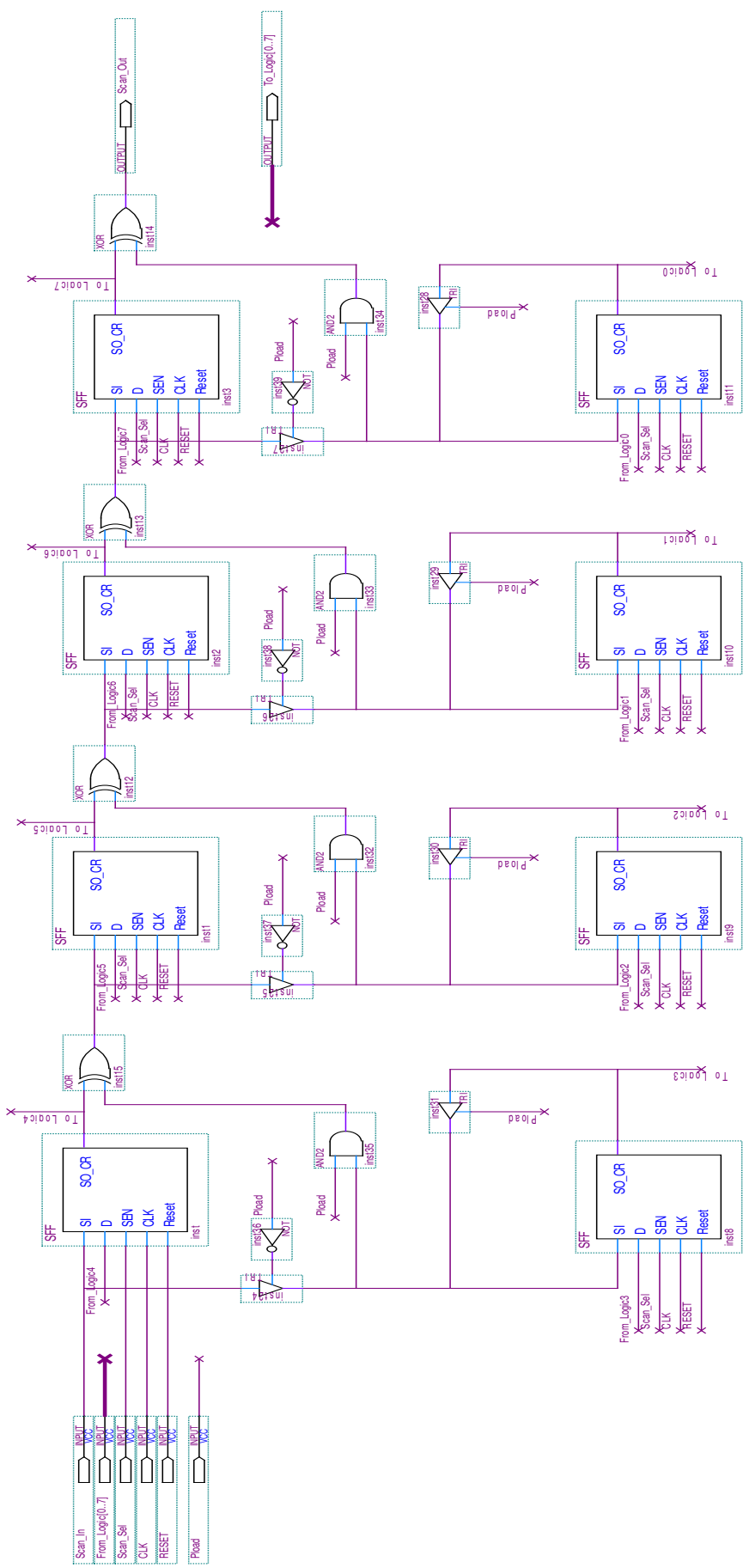
5.2 Πειραματικά Αποτελέσματα

5.3 Ανάλυση Αποτελεσμάτων

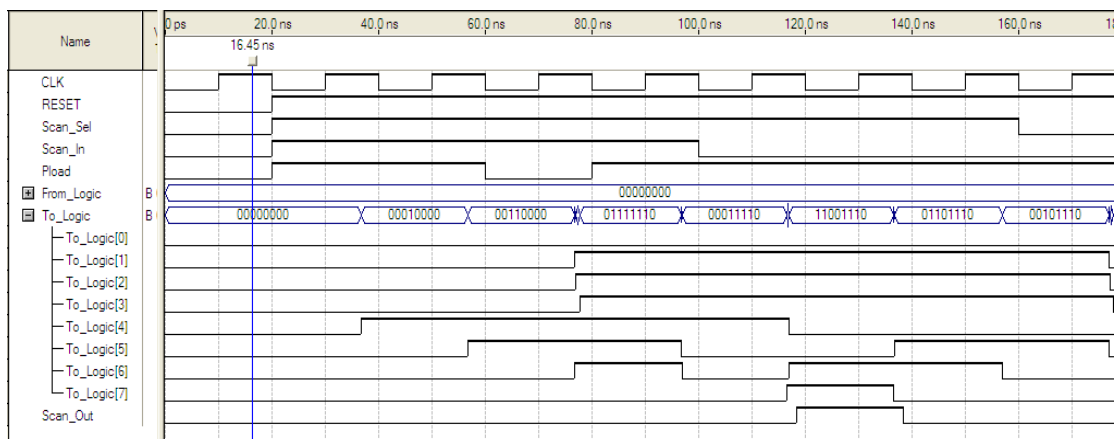
5.1 Πειραματική Διάταξη Επαλήθευσης

Για την επαλήθευση της δυνατότητας σύνθεσης και λειτουργίας της προτεινόμενης τεχνικής υπήρξε κατάλληλος σχεδιασμός με τη χρήση του προγράμματος Quartus II της Altera. Στο Σχήμα 5.1 δίδεται η σχεδίαση μιας αλυσίδας οκτώ flip-flop σύμφωνα με την προτεινόμενη τεχνική όπου η κατανομή των κελιών στη δευτερεύουσα αλυσίδα είναι 50%.

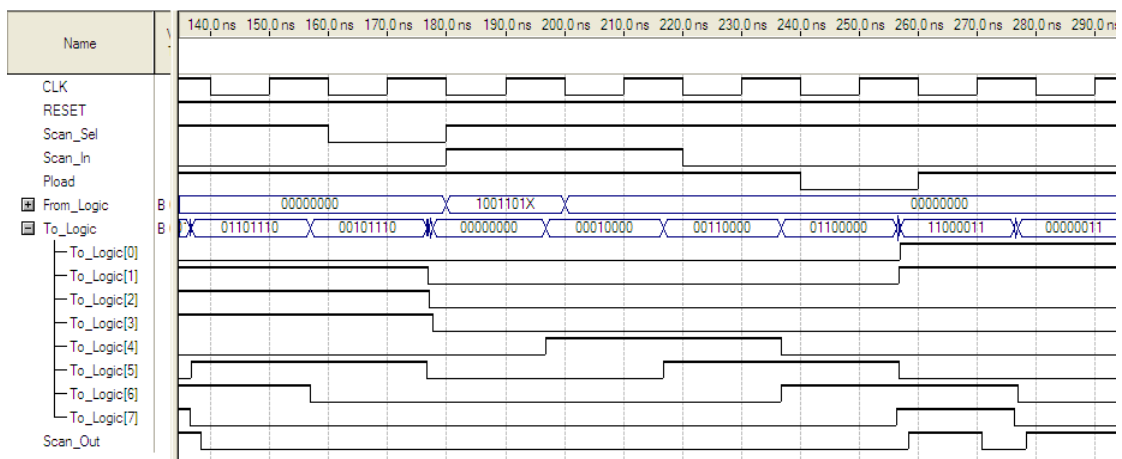
Ακολούθως δίδονται οι κυματομορφές των προσομοιώσεων της παραπάνω αλυσίδας κατά την εισαγωγή του διανύσματος εισόδου, τη παράλληλη φόρτωση των κελιών φύλλων και κατά την εξαγωγή των “αποκρίσεων”. Το διάνυσμα ελέγχου που εφαρμόζεται, με την ολίσθηση του κατάλληλου διανύσματος εισόδου, είναι το $t_0t_1t_2t_3t_4t_5t_6t_7=X1110100$ (Σχήμα 5.2). Οι τιμές στα κελιά εμφανίζονται στα σήματα *To_Logic* (στη συμπτυγμένη μορφή το διάνυσμα δίδεται με αντίθετη φορά). Καθώς η πρώτη τιμή είναι απροσδιόριστη παραλείπεται και ολισθαίνουν οι υπόλοιπες επτά τιμές. Κατά τον τρίτο κύκλο ολίσθησης το Pload αλλάζει σε 0 για να φορτωθούν τα τρία αριστερότερα κελιά φύλλα (Σχήμα 5.2). Στη συνέχεια ακολουθούν τέσσερις κύκλοι για τη φόρτωση των κελιών της κύριας αλυσίδας. Μετά τον κύκλο δέσμευσης (capture) για τη σύλληψη των αποκρίσεων ακολουθούν τέσσερις κύκλοι για την εξαγωγή των “αποκρίσεων” στην έξοδο Scan_Out (βλ. Σχήμα 5.3).



Σχήμα 5.1 Πειραματική Διάταξη με Υλοποίηση της Προτεινόμενης Τεχνικής



Σχήμα 5.2 Προσομοίωση της Προτεινόμενης Τεχνικής κατά την Εισαγωγή του Διανύσματος Εισόδου και την Παράλληλη Φόρτωση των Κελιών Φύλλων



Σχήμα 5.3 Προσομοίωση κατά τη Δέσμευση και Εξαγωγή των Αποκρίσεων

5.2 Πειραματικά Αποτελέσματα

Για την εκτίμηση της αποτελεσματικότητας της προτεινόμενης τεχνικής χρησιμοποιήθηκαν διανύσματα ελέγχου για τα κυκλώματα αναφοράς (benchmark circuits) ISCAS'89 [55] και IWLS'05 [56]. Από την εφαρμογή των διανυσμάτων ελέγχου, τα οποία δημιουργήθηκαν με τη χρήση ATPG εργαλείων για τα ανωτέρω κυκλώματα, υπολογίστηκε το κέρδος σε κύκλους ολίσθησης με την εφαρμογή της προτεινόμενης τεχνικής σε σχέση με το κόστος σε επιφάνεια που θα απαιτηθεί. Οι υπολογισμοί έγιναν με τη χρήση κατάλληλων προγραμμάτων, γραμμένων σε κώδικα C, που αναπτύχθηκαν ειδικά για αυτόν τον σκοπό. Πληροφορίες σχετικά με τα

κυκλώματα που χρησιμοποιήθηκαν παρουσιάζονται στους Πίνακες 5.1 και 5.2 (ISCAS και IWLS αντίστοιχα) με τις τέσσερις πρώτες στήλες να αναφέρονται στο όνομα του κυκλώματος, τον αριθμό εισόδων, τον αριθμό των εξόδων και τον αριθμό των διανυσμάτων ελέγχου (για τα IWLS υπάρχουν δύο στήλες για τον αριθμό των διανυσμάτων ελέγχου, compacted και uncompactd, οι οποίες αναφέρονται σε συμπιεσμένα (compacted) και ασυμπιεστά (uncompactd) σύνολα διανυσμάτων ελέγχου. Στα συμπιεσμένα σύνολα δεν περιλαμβάνονται διανύσματα ελέγχου για τα οποία όλα τα σφάλματα που ανιχνεύονται έχουν ήδη ανιχνευθεί από προηγούμενα διανύσματα ελέγχου. Οι υπόλοιπες στήλες αναφέρονται στον αριθμό των flip flop και των πυλών (NOT, AND κλπ) που έχει κάθε κύκλωμα.

Ακολουθήθηκαν δύο σχεδιαστικές προσεγγίσεις. Στην πρώτη, τα διανύσματα κάθε κυκλώματος αναδιατάχθηκαν έτσι ώστε οι θέσεις με τα περισσότερα απροσδιόριστα bit στο σύνολο των διανυσμάτων να τοποθετηθούν αριστερότερα στο κάθε διάνυσμα και αυτό να έχει τη μορφή $XXX...XXt_{i+1}...t_n$, όπου $t_i=0$ ή 1 (με $0 \leq i \leq n-1$) και n το μέγεθος σε bit του διανύσματος. Στη συνέχεια το flip-flop που δέχεται το αριστερότερο bit του διανύσματος αριθμήθηκε με το νούμερο 1 σύμφωνα με την αρίθμηση των κελιών της προτεινόμενης αλυσίδας στο προηγούμενο κεφάλαιο. Ακολούθως, το flip-flop που δέχεται το δεύτερο από αριστερά bit του διανύσματος αριθμήθηκε με το νούμερο 2 και ούτω καθεξής. Στη δεύτερη σχεδιαστική προσέγγιση, τα διανύσματα αφέθηκαν με τη διάταξη που δόθηκαν από το εργαλείο ATPG και τα flip-flop αριθμήθηκαν με τον ίδιο τρόπο ξεκινώντας πάλι από το αριστερότερο bit. Η δεύτερη προσέγγιση χρησιμοποιήθηκε μόνο για τα IWLS κυκλώματα. Επίσης, στα ISCAS κυκλώματα έγιναν μετρήσεις στις περιπτώσεις που το 1/8, τα 2/8, τα 3/8 και τα 4/8 της αρχικής αλυσίδας αποτελούν σύμφωνα με την προτεινόμενη τεχνική τη δευτερεύουσα αλυσίδα με τα κελιά φύλλα, ενώ στα IWLS έγιναν μετρήσεις μόνο με τις δύο ακραίες περιπτώσεις (που είναι και οι πιο ενδεικτικές) όπου η δευτερεύουσα αλυσίδα είναι το 1/8 και τα 4/8 αντίστοιχα της αρχικής αλυσίδας. Επίσης στα IWLS, που είναι μεγάλα σε μέγεθος κυκλώματα με πολλά flip-flop (καθώς και στο μεγαλύτερο κύκλωμα από τα ISCAS, το s38417, με την ίδια ιδιότητα), ο υπολογισμός του κέρδους σε κύκλους ολίσθησης και του κόστους σε επιφάνεια πυριτίου έγινε για τις περιπτώσεις όπου χρησιμοποιούνται πολλαπλές παράλληλες αλυσίδες σάρωσης (με αριθμούς 5, 10, 20 και 50). Συνεπώς

τα διανύσματα ελέγχου των ανωτέρω κυκλωμάτων διαιρέθηκαν αντίστοιχα σε 5, 10, 20 και 50 υπο-ομάδες με βάση τη θεωρούμενη διάταξη σε κάθε περίπτωση χωρίς άλλες παρεμβάσεις. Ο τύπος που χρησιμοποιήθηκε για τον υπολογισμό του κέρδους σε κύκλους ολίσθησης είναι:

$$\text{κέρδος} = \frac{\# \text{ κύκλων ολίσθησης σειριακής σάρωσης} - \# \text{ κύκλων ολίσθησης προτεινόμενης τεχνικής}}{\# \text{ κύκλων ολίσθησης σειριακής σάρωσης}} \cdot 100\%$$

Πίνακας 5.1 Πληροφορίες σχετικά με τα ISCAS '89 κυκλώματα

circuit	inputs	outputs	test vectors	DFF	NOT	AND2	AND3	AND4	NAND2	NAND3	NAND4	OR2	OR3	OR4	NOR2	NOR3	NOR4
s420.1	18	1	1900	16	78	49	-	-	25	4	-	20	8	-	24	7	3
s641	35	24	2920	19	272	60	18	12	4	-	-	3	9	1	-	-	-
s713	35	23	3527	19	254	58	24	12	28	-	-	7	9	1	-	-	-
s838.1	34	1	4093	32	158	105	-	-	49	8	-	40	16	-	48	15	7
s953	16	23	5015	29	84	49	-	-	97	15	2	36	-	-	94	18	-
s1196	14	14	7846	18	141	83	33	2	92	26	1	86	12	3	43	5	2
s1238	14	14	7835	18	80	92	39	3	97	27	1	96	13	3	47	8	2
s5378	35	49	33956	179	1775	-	-	-	-	-	-	126	63	50	511	242	12
s9234	19	22	43746	228	3570	914	32	9	463	29	36	354	19	58	77	11	25
s13207	31	121	40310	669	5378	986	35	93	831	14	4	320	57	135	43	39	16
s38417	28	106	195855	1636	13470	3803	258	93	1949	84	17	122	91	13	1838	421	20
s38584	12	278	193767	1452	7805	4930	287	299	1618	236	272	2464	63	94	1063	105	17
s15850	14	87	61985	597	6324	1554	49	16	924	23	21	587	62	61	98	11	42

Πίνακας 5.2 Πληροφορίες σχετικά με τα IWLS'05 κυκλώματα

circuit	inputs	outputs	uncompacted test vectors	compacted test vectors	DFF	NOT	AND2	NAND2	OR2	NOR2	XOR2
ac97_ctrl	2253	2246	17880	1090	5205	9268	6203	2758	4037	977	106
aes_core	788	659	15336	2450	1736	9650	6632	6653	4238	2294	638
mem_ctrl	1194	1228	9020	904	2925	6275	7184	3436	3606	1175	223
pci_bridge32	3517	3523	27321	1584	9223	13652	12290	2560	6132	852	346
systemcaes	928	799	9186	1843	1957	5062	5009	1936	3276	456	605
tv80	372	391	5956	1685	923	3806	4144	2002	2395	806	147
usb_funct	1858	1844	15713	1742	4495	7606	6234	3407	3520	1298	521
wb_conmax	1899	2186	7650	7264	4188	15474	24867	8768	11794	2911	-
ethernet	10637	10649	97684	9570	22843	48815	53799	3577	26311	1705	485

Η επιφάνεια πυριτίου κάθε λογικής πύλης στα υπό εξέταση κυκλώματα μετρήθηκε σε ισοδύναμο αριθμό μοναδιαίων τρανζίστορ (τρανζίστορ με το ελάχιστο μέγεθος στη χρησιμοποιούμενη τεχνολογία σχεδίασης) που απαιτούνται για την υλοποίησή της. Τα μεγέθη των τρανζίστορ κάθε πύλης στο κύκλωμα καθορίστηκαν με την υπόθεση (προσέγγιση) ότι αυτή έχει φόρτο στην έξοδό της ίσο με έναν απλό αναστροφέα με τα ελάχιστα σε μέγεθος τρανζίστορ. Συνεπώς, όλες οι πύλες NAND στο κύκλωμα έχουν το ίδιο μέγεθος και το ίδιο ισχύει για όλες τις πύλες NOR, AND, OR, NOT και ούτω καθεξής. Καθώς αυτό δεν ισχύει σχεδόν για το σύνολο των πυλών, η επιφάνεια υλοποίησης του κάθε κυκλώματος θα είναι στην πραγματικότητα κατά πολύ μεγαλύτερη από αυτή που θα παραθέσουμε ακολούθως. Συνεπώς, ο υπολογισμός του κόστους της προτεινόμενης τεχνικής είναι πεσιμιστικός, αποτελώντας ένα άνω όριο, και στην πράξη αναμένουμε ότι η επιβάρυνση που θα επιφέρει η προτεινόμενη τεχνική σε επιφάνεια θα είναι μικρότερη από αυτή που αναφέρεται στους πίνακες που ακολουθούν. Το κόστος υλοποίησης κάθε πύλης, σε αριθμό μοναδιαίων τρανζίστορ, δίδεται στον Πίνακα 5.3.

Πίνακας 5.3 Κόστος επιφάνειας υλοποίησης, σε αριθμό μοναδιαίων τρανζίστορ, των χρησιμοποιούμενων πυλών στα κυκλώματα αναφοράς

ΠΥΛΗ	# ΕΙΣΟΔΩΝ			
	1	2	3	4
3 STATE BUF	12	-	-	-
NOT	3	-	-	-
NAND	-	8	15	24
NOR	-	10	21	36
AND	-	11	18	27
OR	-	13	24	39
XOR	-	13	-	-
DFF	74	-	-	-
SCAN FF	84	-	-	-

Το κόστος σε επιφάνεια πυριτίου για την εφαρμογή της τεχνικής υπολογίστηκε σύμφωνα με τον τύπο:

$$\text{κόστος} = \frac{\text{επιφάνεια πρόσθετης λογικής για την εφαρμογή της τεχνικής}}{\text{συνολική επιφάνεια πριν την εφαρμογή της τεχνικής}} \times 100\%$$

Τα αποτελέσματα των μετρήσεων για τα κυκλώματα ISCAS και IWLS (με συμπεσμένα και ασυμπέστα δεδομένα ελέγχου) παρουσιάζονται στους Πίνακες 5.4, 5.5 και 5.6, αντίστοιχα (οι Πίνακες 5.5 και 5.6 μοιράστηκαν σε τέσσερα τμήματα ο καθένας λόγω του μεγέθους τους).

Στον Πίνακα 5.4 με τα αποτελέσματα των ISCAS, κάθε στήλη αντιστοιχεί σε ένα κύκλωμα εκτός από τη τελευταία που δείχνει το μέσο όρο των αποτελεσμάτων ανά γραμμή. Στη δεύτερη και τρίτη γραμμή φαίνονται οι κύκλοι και η επιφάνεια που απαιτούνται από τα κυκλώματα κατά τη τυπική σειριακή σάρωση. Στις υπόλοιπες γραμμές του πίνακα, με αναφορά στο ποσοστό της αρχικής αλυσίδα που δομείται ως δευτερεύουσα αλυσίδα σύμφωνα με τη προτεινόμενη τεχνική (1/8, 2/8, 3/8 και 4/8), υπολογίζονται για κάθε περίπτωση οι κύκλοι ολίσθησης που απαιτούνται (cycles), το ποσοστιαίο κέρδος από την μείωση των κύκλων ολίσθησης (reduction %), η επιφάνεια υλοποίησης (area) και η ποσοστιαία επιβάρυνση σε επιφάνεια (increment %) σε σχέση με τη τυπική σειριακή σάρωση.

Οι Πίνακες 5.5 και 5.6 έχουν την ίδια δομή. Οι στήλες ανά δυο αναφέρονται σε κάθε κύκλωμα για τη μη αναδιατεταγμένη – αρχική (original) αλυσίδα σάρωσης και την αναδιατεταγμένη (reordered). Στο τέλος ακολουθεί ο μέσος όρος των αποτελεσμάτων και για τις δύο περιπτώσεις (αρχική και αναδιατεταγμένη). Οι πρώτες γραμμές αναφέρουν τους κύκλους και την επιφάνεια που απαιτούνται αν τα κυκλώματα δομηθούν με τη χρήση 5, 10, 20 και 50 παράλληλων αλυσίδων σάρωσης. Στη συνέχεια αναφέρονται τα αποτελέσματα χρησιμοποιώντας την προτεινόμενη τεχνική για τους αντίστοιχους αριθμούς αλυσίδων (ανάλογα με το μέγεθος κάθε κυκλώματος, π.χ. αποτελέσματα για τη περίπτωση των 50 αλυσίδων υπολογίστηκαν μόνο για το κύκλωμα ethernet που είναι το μεγαλύτερο και μπορούσε να υποστηρίξει και αυτή τη περίπτωση), με κατανομή στη δευτερεύουσα αλυσίδα του 1/8 και των 4/8 (ή 1/2) της αρχικής. Ομοίως, όπως και με τα ISCAS κυκλώματα, υπολογίζονται οι κύκλοι ολίσθησης, η επιφάνεια υλοποίησης, το ποσοστιαίο κέρδος από την μείωση των

κύκλων ολίσθησης και η ποσοστιαία επιβάρυνση σε επιφάνεια της προτεινόμενης τεχνικής σε σχέση με τη τυπική σάρωση πολλαπλών αλυσίδων.

Στα Σχήματα 5.4 έως 5.21 παρουσιάζονται τα πειραματικά αποτελέσματα των πινάκων με τη χρήση γραφικών παραστάσεων. Στο Σχήμα 5.4 δίδεται η μέση τιμή ποσοστιαίου κέρδους από τη μείωση των κύκλων ολίσθησης και ποσοστιαίας επιβάρυνσης σε επιφάνεια, στα ISCAS κυκλώματα, για κάθε κατανομή των κελιών στη δευτερεύουσα αλυσίδα σε σχέση με την αρχική αλυσίδα (1/8, 2/8, 3/8, 4/8). Στα Σχήματα 5.5 και 5.6 δίδονται σε μορφή ιστογραμμάτων το ποσοστιαίο κέρδος και η ποσοστιαία επιβάρυνση σε επιφάνεια, αντίστοιχα, για κάθε ένα από τα κυκλώματα ISCAS και για κάθε κατανομή κελιών στη δευτερεύουσα αλυσίδα. Τα Σχήματα 5.7 έως 5.20 αποτελούνται από δύο ομάδες ιστογραμμάτων μια για τα ασυμπιεστα δεδομένα ελέγχου των IWLS κυκλωμάτων και μια για τα συμπιεσμένα. Η κάθε ομάδα περιλαμβάνει επτά ιστογράμματα, τρία με τους μέσους όρους των αποτελεσμάτων (ένα για το ποσοστιαίο κέρδος των μη αναδιατεταγμένων (αρχικών) αλυσίδων, ένα για το ποσοστιαίο κέρδος των αναδιατεταγμένων αλυσίδων και ένα για τη ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης) και τέσσερα με τα αποτελέσματα για κάθε κύκλωμα ξεχωριστά σε κάθε μια από τις δύο κατανομές κελιών στις δευτερεύουσες αλυσίδες, τόσο στην περίπτωση των μη αναδιατεταγμένων αλυσίδων όσο και στην περίπτωση των αναδιατεταγμένων αλυσίδων. Στο ιστόγραμμα του Σχήματος 5.21 φαίνεται η ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης για κάθε ένα από τα IWLS κυκλώματα.

5.3 Ανάλυση Αποτελεσμάτων

Στον Πίνακα 5.4 για τα ISCAS κυκλώματα παρατηρείται ότι το μεγαλύτερο ποσοστιαίο κέρδος από τη μείωση των κύκλων ολίσθησης είναι κατά μέσο όρο 42,7% με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 11,72% όταν η κατανομή κελιών στη δευτερεύουσα αλυσίδα είναι στα 4/8 της αρχικής, ενώ το μικρότερο ποσοστιαίο κέρδος είναι κατά μέσο όρο 11,53% με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 2,81% όταν η κατανομή κελιών στη δευτερεύουσα αλυσίδα είναι στο 1/8 της αρχικής αλυσίδας. Όπως ήταν αναμενόμενο, το ποσοστιαίο κέρδος σε κύκλους ολίσθησης κατά μέσο όρο σχεδόν διπλασιάζεται (σε 22,87%), όπως

φαίνεται και στον Πίνακα 5.4, με αντίστοιχο σχεδόν διπλασιασμό στην μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης (5,70%) όταν η κατανομή κελιών στη δευτερεύουσα αλυσίδα ανέλθει στα 2/8 της αρχικής, ενώ τριπλασιάζεται (σε 32,76%) με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 8,51% όταν η κατανομή κελιών στη δευτερεύουσα αλυσίδα είναι στα 3/8 της αρχικής.

Στα αποτελέσματα με χρήση των ασυμπιέστων διανυσμάτων ελέγχου στα IWLS κυκλώματα και στη περίπτωση των μη αναδιατεταγμένων αλυσίδων, το μεγαλύτερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 12,64% με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 10,81%, για δέκα αλυσίδες σάρωσης με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στα 4/8 των αρχικών. Το μικρότερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 6,74% με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 2,99%, για 20 αλυσίδες σάρωσης με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στο 1/8 των αρχικών.

Όπως ήταν αναμενόμενο, παρατηρείται σημαντική βελτίωση του μέσου ποσοστιαίου κέρδους σε κύκλους ολίσθησης, μέχρι και τριπλασιασμός, στη περίπτωση των αναδιατεταγμένων αλυσίδων, χωρίς πρόσθετη επιβάρυνση σε επιφάνεια υλοποίησης. Η βελτίωση αυτή οφείλεται στο γεγονός ότι η αναδιάταξη εξασφαλίζει με πολύ υψηλή συχνότητα την εμφάνιση αδιάφορων τιμών στα διανύσματα ελέγχου για τα κελιά της δευτερεύουσας αλυσίδας. Στη περίπτωση των αναδιατεταγμένων αλυσίδων το μεγαλύτερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 38,81%, με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 12,67%, για 50 αλυσίδες σάρωσης, με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στα 4/8 των αρχικών αλυσίδων. Το μικρότερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 11,36%, με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 2,99%, για 20 αλυσίδες σάρωσης, με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στο 1/8 των αρχικών. Επίσης παρατηρείται ότι η κατανομή των κελιών στις δευτερεύουσες αλυσίδες στα 4/8 των αρχικών προσφέρει μεγαλύτερο μέσο ποσοστιαίο κέρδος σε κύκλους ολίσθησης από τη κατανομή στο 1/8 αλλά και μεγαλύτερη μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης.

Στα αποτελέσματα όπου γίνεται χρήση των συμπιεσμένων διανυσμάτων ελέγχου στα IWLS κυκλώματα και στη περίπτωση των μη αναδιατεταγμένων αλυσίδων, το μεγαλύτερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 2,43%, με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 9,45%, για 5 αλυσίδες, με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στα 4/8 των αρχικών αλυσίδων. Το μικρότερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 1,76%, με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 3,17%, για 50 αλυσίδες, με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στο 1/8 των αρχικών αλυσίδων.

Στη περίπτωση των αναδιατεταγμένων αλυσίδων το μεγαλύτερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης προκύπτει πάλι για την περίπτωση των 5 αλυσίδων με τιμή 28,61%, με την ίδια μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 9,45% και με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στα 4/8 των αρχικών. Το μικρότερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 8,31%, με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 3,17%, για 50 αλυσίδες με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στο 1/8 των αρχικών αλυσίδων. Είναι και πάλι φανερή η σημαντική βελτίωση σε σχέση με τις μη αναδιατεταγμένες αλυσίδες. Ομοίως, όπως και με τα ασυμπιεστα διανύσματα ελέγχου, τα κατά μέσο όρο ποσοστιαία κέρδη σε κύκλους ολίσθησης με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στο 4/8 των αρχικών είναι μεγαλύτερα από αυτά με τη κατανομή των κελιών στις δευτερεύουσες αλυσίδες στο 1/8 των αρχικών αλυσίδων.

Πίνακας 5.4 Πειραματικά Αποτελέσματα για τα ISCAS'89 κυκλώματα

	s420.1	s641	s713	s838.1	s953	s1196	s1238	s5378	s9234	s13207	s15850	s38417	s38584	mean
basic scan	24720	47994	58311	107840	121481	123912	123606	5374117	8760900	21560532	31531152	278512640	239185056	
	3324	4046	4322	6780	6062	6776	7139	36085	54959	105889	109990	276300	286521	
1/8	21996	42957	52188	95618	108926	110150	109878	4714468	7691726	18892967	27632060	243827186	209629963	11,53
	11,02	10,50	10,50	11,33	10,33	11,11	11,11	12,27	12,20	12,37	12,37	12,45	12,36	
	3426	4148	4424	6984	6215	6878	7241	37207	56387	110122	113764	286704	295752	
	3,07	2,52	2,36	3,01	2,52	1,51	1,43	3,11	2,60	4,00	3,43	3,77	3,22	2,81
2/8	19729	37942	46087	85566	92214	96534	96230	4071730	6677243	16226133	23766584	209799540	181446878	22,87
	20,19	20,94	20,96	20,65	24,09	22,09	22,15	24,23	23,78	24,74	24,63	24,67	24,14	
	3528	4250	4526	7188	6419	6980	7343	38329	57866	114406	117589	297159	305034	
	6,14	5,04	4,72	6,02	5,89	3,01	2,86	6,22	5,29	8,04	6,91	7,55	6,46	5,70
3/8	17944	33881	41060	77615	79701	83116	82749	3482455	5859993	13644668	20188491	178624963	157365323	32,76
	27,41	29,41	29,58	28,03	34,39	32,92	33,05	35,20	33,11	36,71	35,97	35,86	34,21	
	3630	4352	4628	7392	6572	7082	7445	39451	59294	118639	121363	307563	314265	
	9,21	7,56	7,08	9,03	8,41	4,52	4,29	9,33	7,89	12,04	10,34	11,31	9,68	8,51
4/8	16618	29644	35832	71407	63045	63413	62951	2953961	5229833	11195328	16999249	154944757	138938799	42,70
	32,78	38,23	38,55	33,78	48,10	48,82	49,07	45,03	40,30	48,07	46,09	44,37	41,91	
	3732	4505	4781	7596	6776	7235	7598	40624	60773	122923	125188	318018	323547	
	12,27	11,34	10,62	12,04	11,78	6,77	6,43	12,58	10,58	16,09	13,82	15,10	12,92	11,72

Πίνακας 5.5 Πειραματικά Αποτελέσματα για τα IWLS'05 Κοκλώματα με Ασυμπίεστα Διανύσματα Ελέγχου

		IWLS uncompact test vectors											
		ac97_ctrl		pci_bridge32		aes_core		mem_ctrl		usb_func			
		original	reordered	original	reordered	original	reordered	original	reordered	original	reordered		
typical multiple chains	5 chains	cycles	8063880		19233984		2423088		2155780		5845236		
		area	423226		746330		329032		324382		398915		
	10 chains	cycles	4040880		9616992		1211544		1082400		2922618		
		area	423226		746330		329032		324382		398915		
	20 chains	cycles	2020440		4808496		-		-		1461309		
		area	423226		746330		-		-		398915		
	50 chains	cycles	-		-		-		-		-		
		area	-		-		-		-		-		
proposed architecture	4/8	cycles	6260467	4662197	17076153	11560617	2065745	1274951	1900511	1234230	5019142	3497844	
		reduction %	22,36	42,18	11,22	39,89	14,75	47,38	11,84	42,75	14,13	40,16	
		area	480652		835988		349126		354829		446294		
		increation %	13,57		12,01		6,11		9,39		11,88		
	1/8	cycles	7207816	7083396	17827159	16918276	2212540	2133809	2012816	1898573	5332566	5137926	
		reduction %	10,62	12,16	7,31	12,04	8,69	11,94	6,63	11,93	8,77	12,10	
		area	437557		768719		334030		331981		410747		
		increation %	3,39		3,00		1,52		2,34		2,97		
10 chains	cycles	3152981	2349915	8493928	5811367	1066568	639924	941876	627291	2458594	1757117		
	reduction %	21,97	41,85	11,68	39,57	11,97	47,18	12,98	42,05	15,88	39,88		
	area	480652		835988		349126		354829		446294			
	increation %	13,57		12,01		6,11		9,39		11,88			

Πίνακας 5.5 Πειραματικά Αποτελέσματα για τα IWLS'05 Κυκλώματα με Ασυμπιεστα Διανύσματα Ελέγχου (Συνέχεια)

		IWLS uncompact test vectors												mean					
		wb_conmax		tv80		systemcaes		ethernet		s38417		original				reordered			
		original	reordered	original	reordered	original	reordered	original	reordered	original	reordered								
typical multiple chains	5 chains	cycles	2907000		446700		1708596		-		55838720								
		area	739673		157212		235758		-		276300								
	10 chains	cycles	1453500		-		854298		104073032		27919360								
		area	739673		-		235758		2140974		276300								
	20 chains	cycles	726750		-		-		52036516		13959680								
		area	739673		-		-		2140974		276300								
	50 chains	cycles	-		-		-		20834169		-								
		area	-		-		-		2140974		-								
proposed architecture	5 chains	cycles	2824451	2376228	402170	272736	1609692	1108027	-	-	44591517	31650472							
		reduction %	2,84	18,26	9,97	38,94	5,79	35,15	-	-	20,14	43,32	12,56	38,67					
		area	788072		166698		259422		-	-	318018								
		increment%	6,54		6,03		10,04		-	-	15,10		10,07						
	10 chains	cycles	2825550	2610753	416326	394575	1655644	1506957	-	-	50759705	49040603							
		reduction %	2,80	10,19	6,80	11,67	3,10	11,80	-	-	9,10	12,17	7,09	11,78					
		area	751760		159558		241674		-	-	286704								
		increment%	1,63		1,49		2,51		-	-	3,77		2,51						
4/8	cycles	1408524	1191244	-	-	794812	559672	91878315	63474870	23036414	17269390								
	reduction %	3,09	18,04	-	-	6,96	34,49	11,72	39,01	17,49	38,15	12,64	37,80						
	Area	788072		-	-	259422		241219		318018									
	increment%	6,54		-	-	10,04		12,67		15,10		10,81							

Πίνακας 5.5 Πειραματικά Αποτελέσματα για τα IWLS'05 Κυκλώματα με Ασυμπίεστα Διαγράμματα Ελέγχου (Συνέχεια)

		IWLS uncompact test vectors																
		wb_conmax		tv80		systemcaes		ethernet		s38417		mean						
		original	reordered	original	reordered	original	reordered	original	reordered	original	reordered	original	reordered					
10 chains	1/8	cycles	1409312	1308708	-	-	832948	758017	96066232	91705423	25578448	24598045						
		reduction %	3,04	9,96	-	-	2,50	11,27	7,69	11,88	8,38	11,90	6,87	11,54				
		area	751760		-	-	241674		2208753		286704							
		increment %	1,63		-	-	2,51		3,17		3,77							2,70
20 chains	4/8	cycles	709834	600857	-	-	-	-	45305306	31777815	11862536	9181340						
		reduction %	2,33	17,32	-	-	-	-	12,94	38,93	15,02	34,23	11,97	35,12				
		area	788072		-	-	-	-	241219		318018							
		increment %	6,54		-	-	-	-	12,67		15,10							11,96
proposed architecture	1/8	cycles	710085	657629	-	-	-	-	48209844	45856156	12957179	12352035						
		reduction %	2,29	9,51	-	-	-	-	7,35	11,88	7,18	11,52	6,74	11,36				
		area	751760		-	-	-	-	2208753		286704							
		increment %	1,63		-	-	-	-	3,17		3,77							2,99
50 chains	4/8	cycles	-	-	-	-	-	-	18690069	12748987	-	-						
		reduction %	-	-	-	-	-	-	10,29	38,81	-	-	10,29	38,81				
		area	-	-	-	-	-	-	241219		-	-	-	-				
		increment %	-	-	-	-	-	-	12,67		-	-	-	-				12,67
50 chains	1/8	cycles	-	-	-	-	-	-	19342593	18400788	-	-						
		reduction %	-	-	-	-	-	-	7,16	11,68	-	-	7,16	11,68				
		area	-	-	-	-	-	-	2208753		-	-	-	-				
		increment %	-	-	-	-	-	-	3,17		-	-	-	-				3,17

Πίνακας 5.6 Πειραματικά Αποτελέσματα για τα IWLS'05 Κυκλώματα με Συμπιεσμένα Διανύσματα Ελέγχου

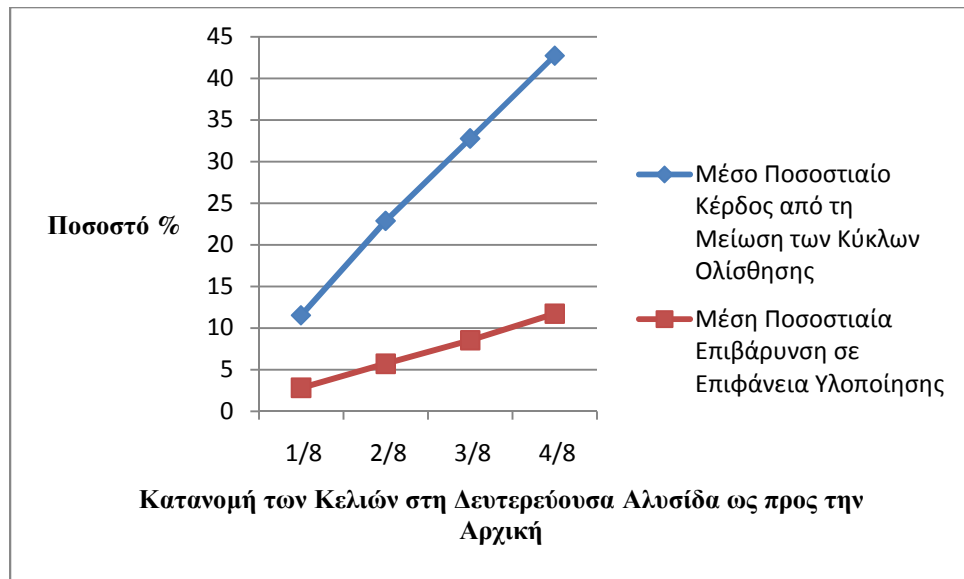
		IWLS compacted test vectors											
		ac97_ctrl		pci_bridge32		aes_core		mem_ctrl		usb_funcnt			
		original	reordered	original	reordered	original	reordered	original	reordered	original	reordered		
typical multiple chains	5 chains	cycles	491590		1115136		387100		216056		648024		
		area	423226		746330		329032		324382		398915		
	10 chains	cycles	246340		557568		193550		108480		324012		
		area	423226		746330		329032		324382		398915		
	20 chains	cycles	123170		278784		-		-		162006		
		area	423226		746330		-		-		398915		
	50 chains	cycles	-		-		-		-		-		
		area	-		-		-		-		-		
	proposed architecture	5 chains	cycles	470593	359607	1102538	910695	368682	217349	215753	136740	630580	465789
			reduction %	4,27	26,85	1,13	18,33	4,76	43,85	0,14	0,14	36,71	2,69
4/8		area	480652		835988		349126		354829		446294		
		increment %	13,57		12,01		6,11		9,39		11,88		
5 chains		cycles	470998	435659	1102538	996007	369064	341805	215805	190507	630667	574376	
		reduction %	4,19	11,38	1,13	10,68	4,66	11,70	0,12	0,12	11,83	2,68	11,37
1/8		area	437557		768719		334030		331981		410747		
		increment %	3,39		3,00		1,52		2,34		2,97		
10chains		cycles	237217	182309	551148	457483	188808	110168	107668	70004	316466	234666	
		reduction %	3,70	25,99	1,15	17,95	2,45	43,08	0,75	0,75	35,47	2,33	27,57
4/8	area	480652		835988		349126		354829		446294			
	increment %	13,57		12,01		6,11		9,39		11,88			

Πίνακας 5.6 Πειραματικά Αποτελέσματα για τα IWLS'05 Κυκλώματα με Συμπιεσμένα Διανώσματα Ελέγχου (Συνέχεια)

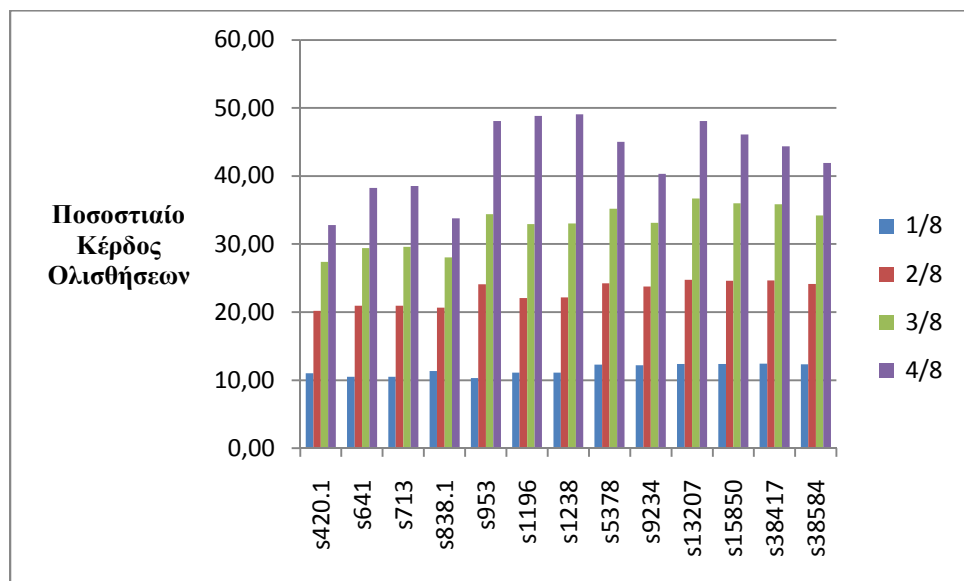
		IWLS compacted test vectors											
		wb_conmax		tv80		systemcaes		ethernet		mean			
		original	reordered	original	reordered	original	reordered	original	reordered	original	reordered		
typical multiple chains	5 chains	cycles	2760320		126375	342798		-					
		area	739673		157212	235758		-					
	10 chains	cycles	1380160		-	171399		10182480					
		area	739673		-	235758		2140974					
	20 chains	cycles	690080		-	-		5091240					
		area	739673		-	-		2140974					
	50 chains	cycles	-		-	-		2038410					
		area	-		-	-		2140974					
proposed architecture	4/8	cycles	2685545	2271658	122733	83607	339985	262209	-	-	-		
		reduction %	2,71	17,70	2,88	33,84	0,82	23,51	-	-	2,43 28,61		
		area	788072		166698		259422		-	-	-		
		increment %	6,54		6,03		10,04		-	-	9,45		
	1/8	cycles	2686342	2481442	122911	112036	339985	306114	-	-	-		
		reduction %	2,68	10,10	2,74	11,35	0,82	10,70	-	-	2,38 11,14		
		area	751760		159558		241674		-	-	-		
		increment %	1,63		1,49		2,51		-	-	2,36		
	10chains	cycles	1339493	1138599	-	-	170089	133082	10071815	8894655	-	-	
		reduction %	2,95	17,5	-	-	0,76	22,36	1,09	12,65	1,90 25,32		
area		788072		-	-	259422		241219		-	-		
increment %		6,54		-	-	10,04		12,67		10,28			

Πίνακας 5.6 Πειραματικά Αποτελέσματα για τα IWLS'05 Κυκλώματα με Συμπιεσμένα Διανόσματα Ελέγχου (Συνέχεια)

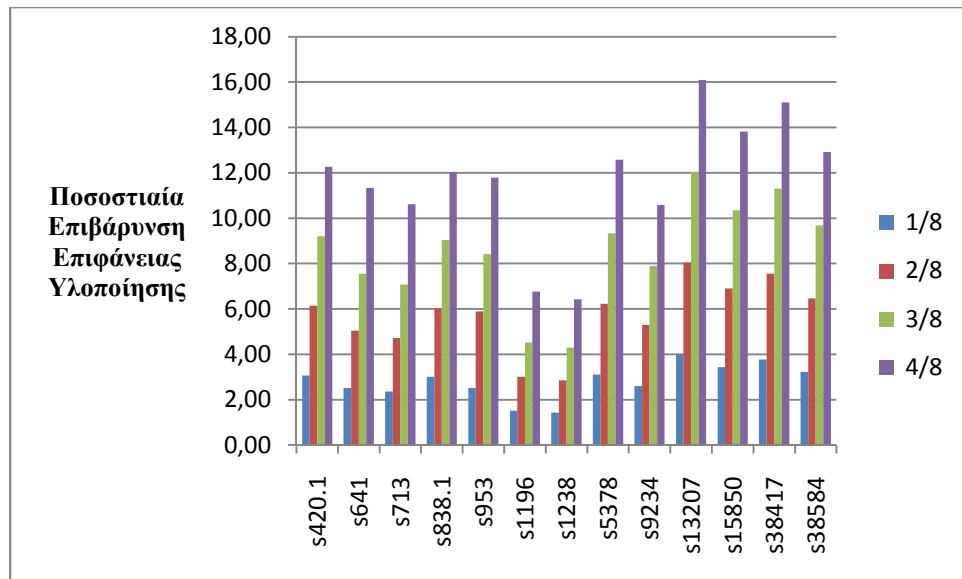
		IWLS compacted test vectors												
		wb_conmax		tv80		systemcaes		ethernet		mean				
		original	reordered	original	reordered	original	reordered	original	reordered	original	reordered			
10chains	1/8	cycles	1340044	1243873	-	-	170089	154012	10072242	9310968	-	-	-	-
		reduction %	2,91	9,87	-	-	0,76	10,14	1,08	8,56	1,87	10,49	-	-
		area	751760		-	-	241674		2208753		-	-	-	-
		increment %	1,63		-	-	2,51		3,17		2,57		-	-
20 chains	4/8	cycles	674833	573832	-	-	-	-	5015297	4450369	-	-	-	-
		reduction %	2,21	16,85	-	-	-	-	1,49	12,59	1,81	19,72	-	-
		area	788072		-	-	-		241219		-	-	-	-
		increment %	6,54		-	-	-		12,67		11,33		-	-
50 chains	1/8	cycles	675012	625036	-	-	-	-	5015310	4658125	-	-	-	-
		reduction %	2,18	9,43	-	-	-	-	1,49	8,51	1,79	9,99	-	-
		area	751760		-	-	-		2208753		-	-	-	-
		increment %	1,63		-	-	-		3,17		2,83		-	-
50 chains	4/8	cycles	-	-	-	-	-	-	2002471	1784992	-	-	-	-
		reduction %	-	-	-	-	-	-	1,76	12,43	1,76	12,43	-	-
		area	-		-	-	-		241219		-	-	-	-
		increment %	-		-	-	-		12,67		12,67		-	-
50 chains	1/8	cycles	-	-	-	-	-	-	2002471	1869112	-	-	-	-
		reduction %	-	-	-	-	-	-	1,76	8,31	1,76	8,31	-	-
		area	-		-	-	-		2208753		-	-	-	-
		increment %	-		-	-	-		3,17		3,17		-	-



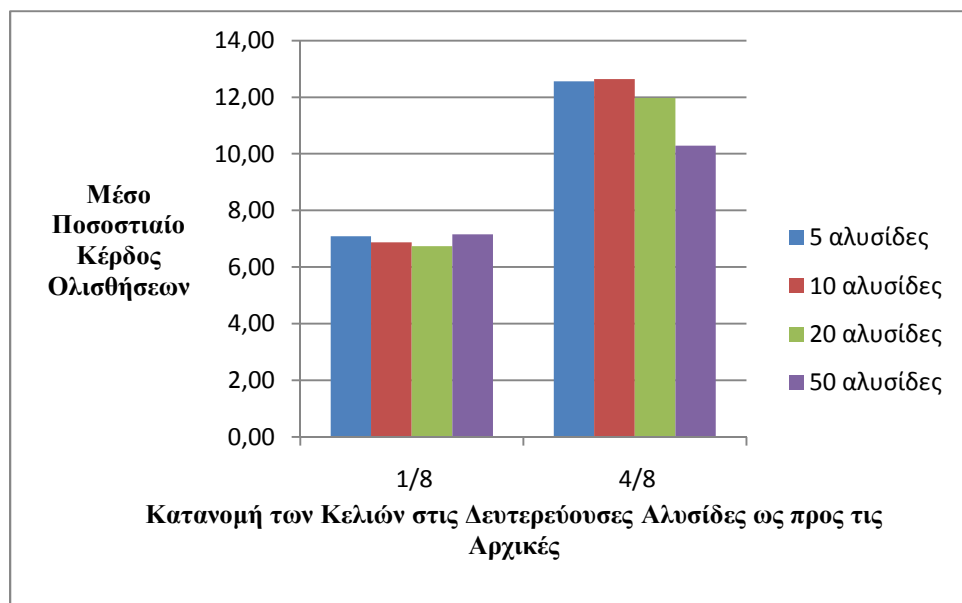
Σχήμα 5.4 Μέση Τιμή Ποσοστιαίου Κέρδους Ολίσθησεων και Ποσοστιαίας Επιβάρυνσης Υλοποίησης στα ISCAS κυκλώματα



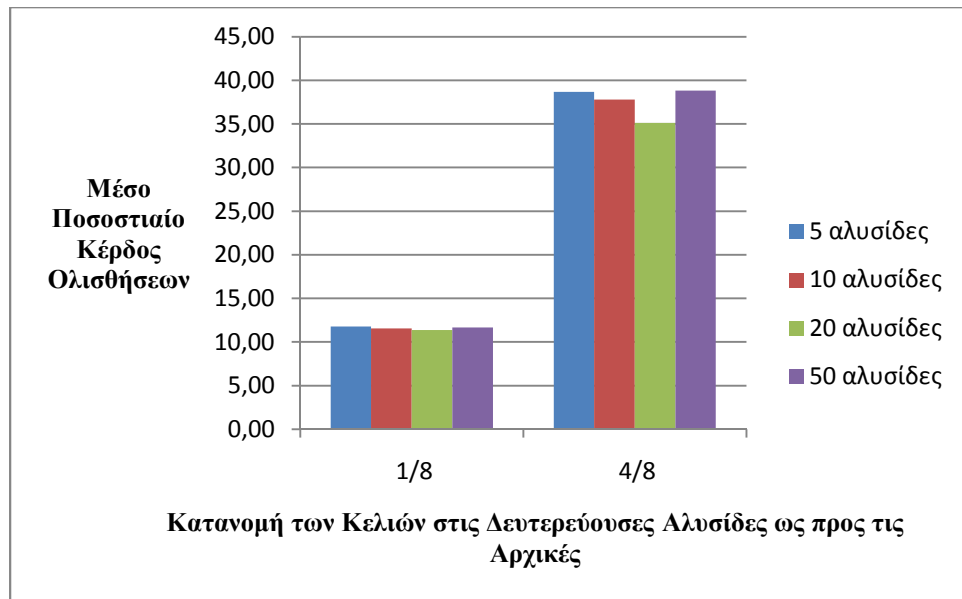
Σχήμα 5.5 Ποσοστιαίο Κέρδος Ολίσθησεων για κάθε Κύκλωμα ISCAS



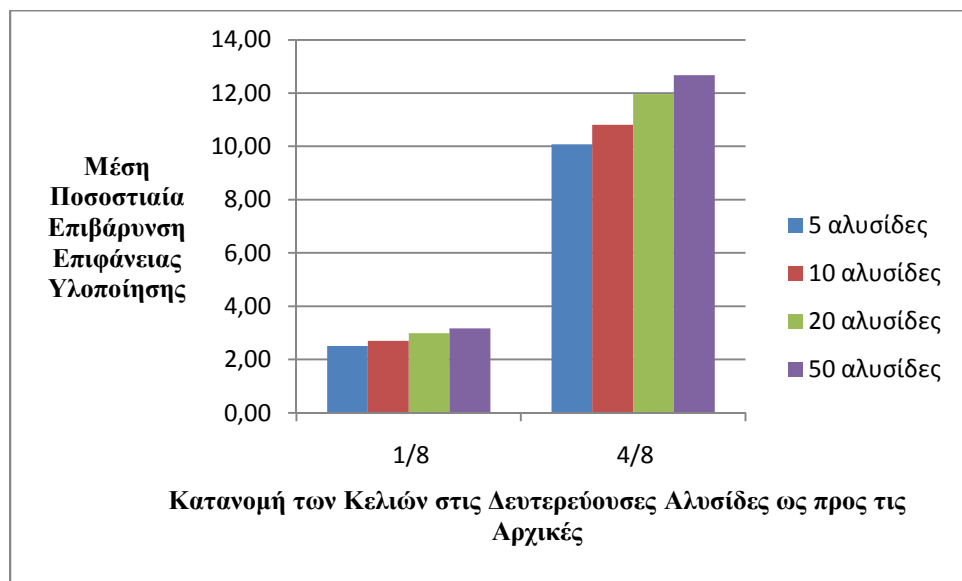
Σχήμα 5.6 Ποσοστιαία Επιβάρυνση Υλοποίησης για κάθε Κύκλωμα ISCAS



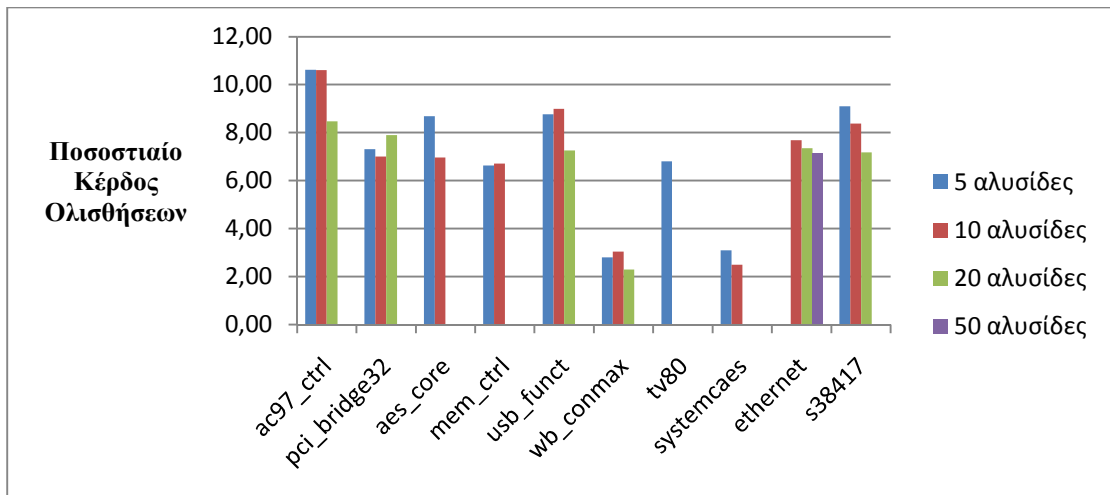
Σχήμα 5.7 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στις Μη Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου στα IWLS Κυκλώματα



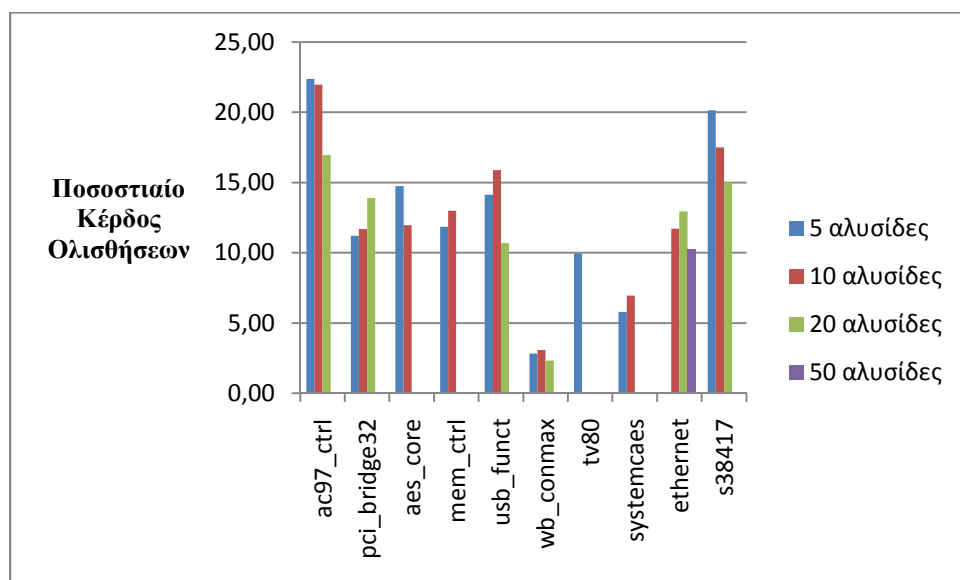
Σχήμα 5.8 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στις Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων στα IWLS Κυκλώματα



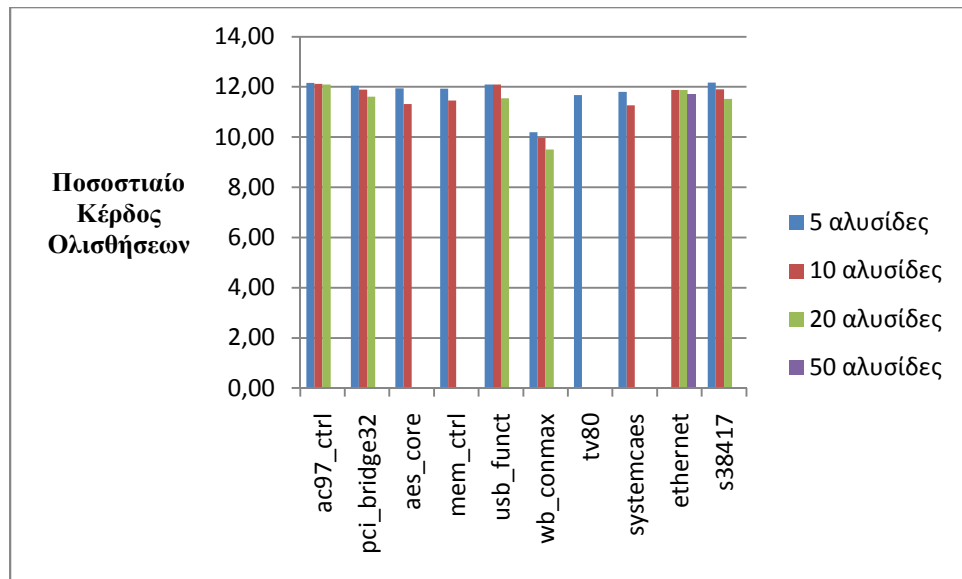
Σχήμα 5.9 Μέση Ποσοστιαία Επιβάρυνση Επιφάνειας Υλοποίησης για τα IWLS Κυκλώματα



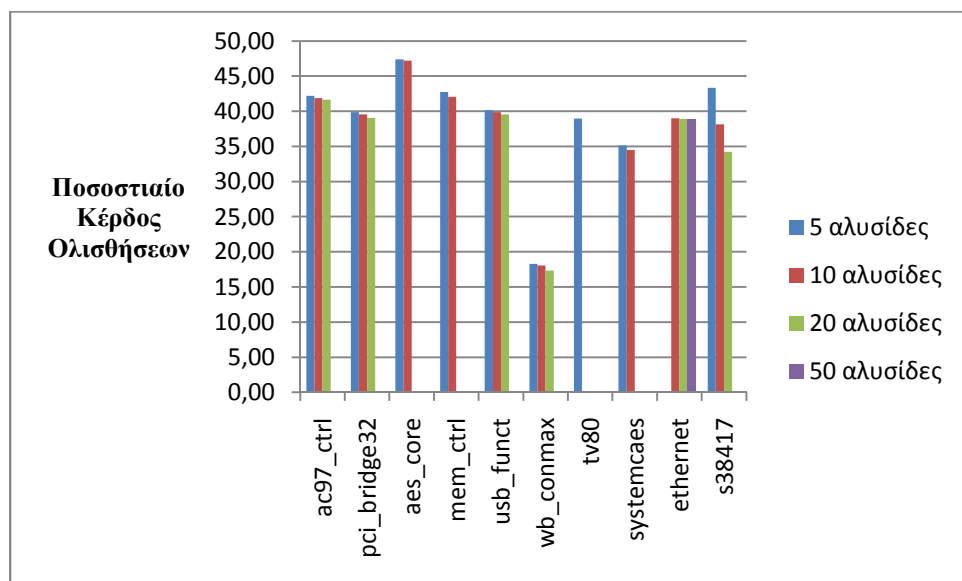
Σχήμα 5.10 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)



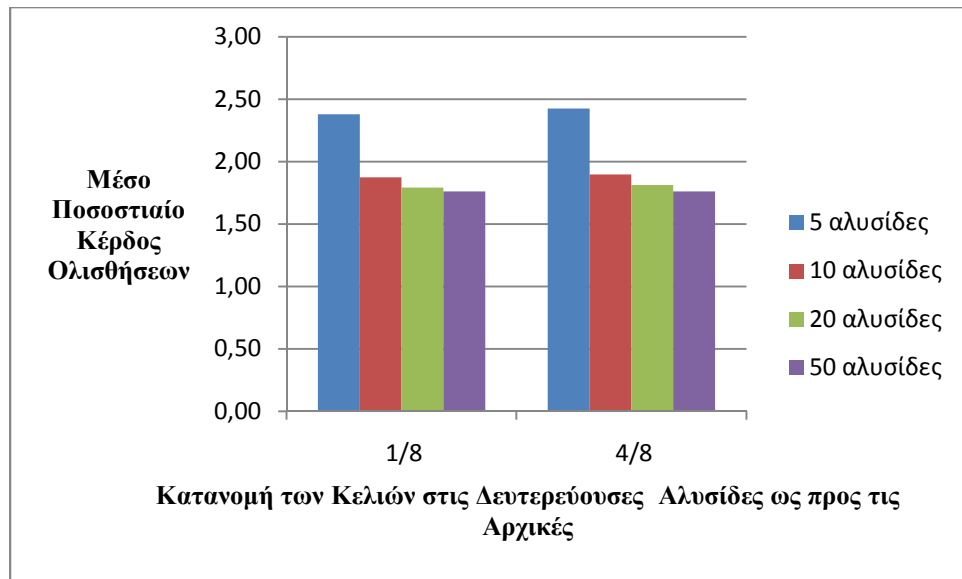
Σχήμα 5.11 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)



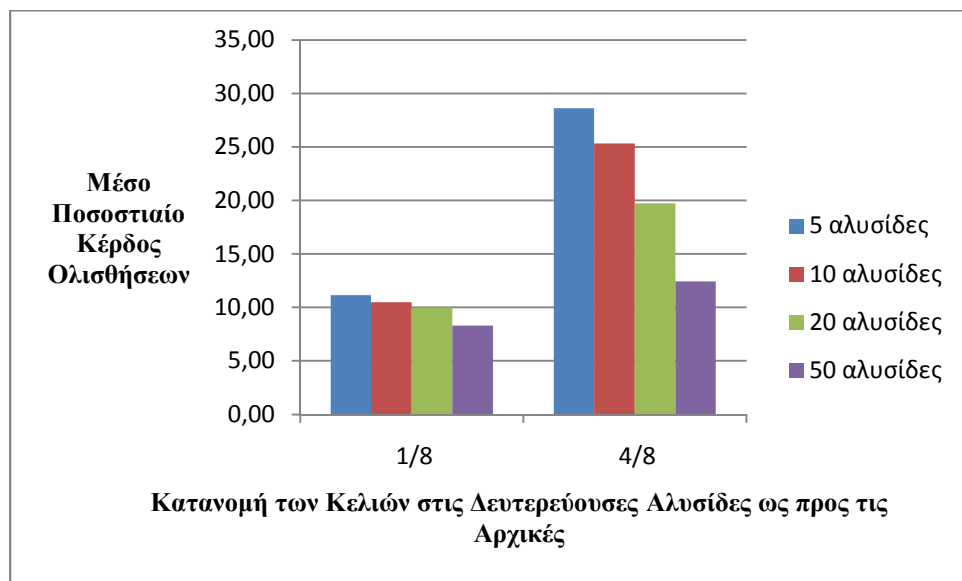
Σχήμα 5.12 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)



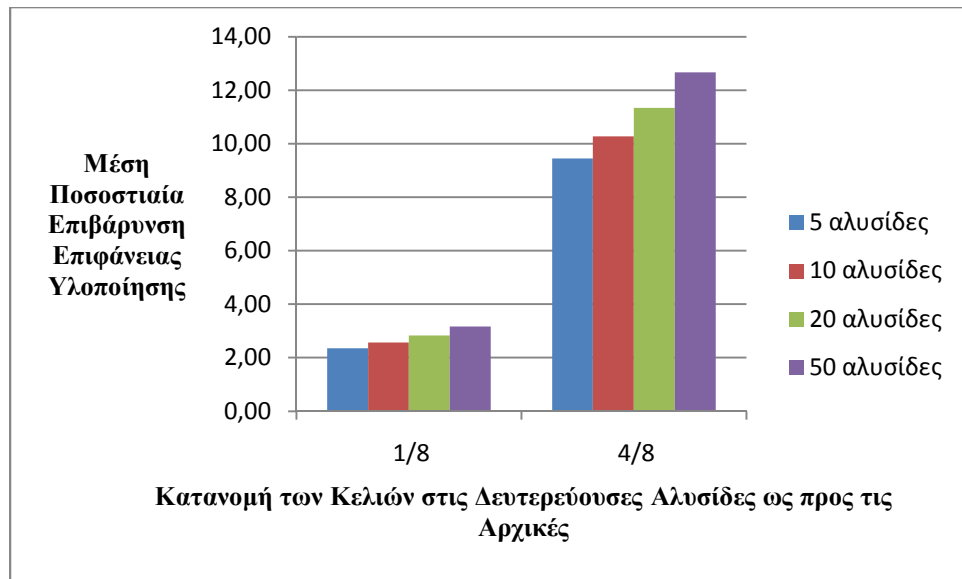
Σχήμα 5.13 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Ασυμπίεστων Διανυσμάτων Ελέγχου)



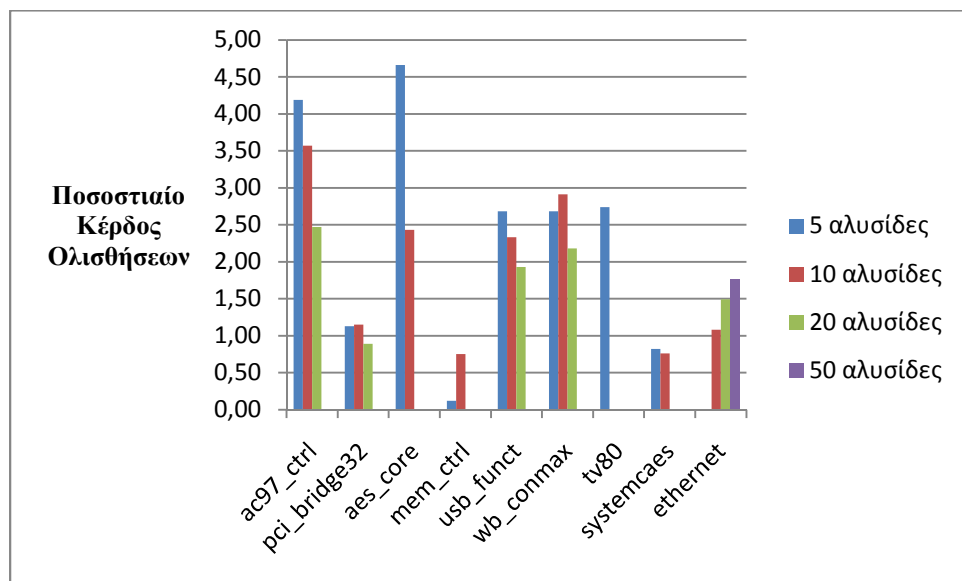
Σχήμα 5.14 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στα IWLS Κυκλώματα (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)



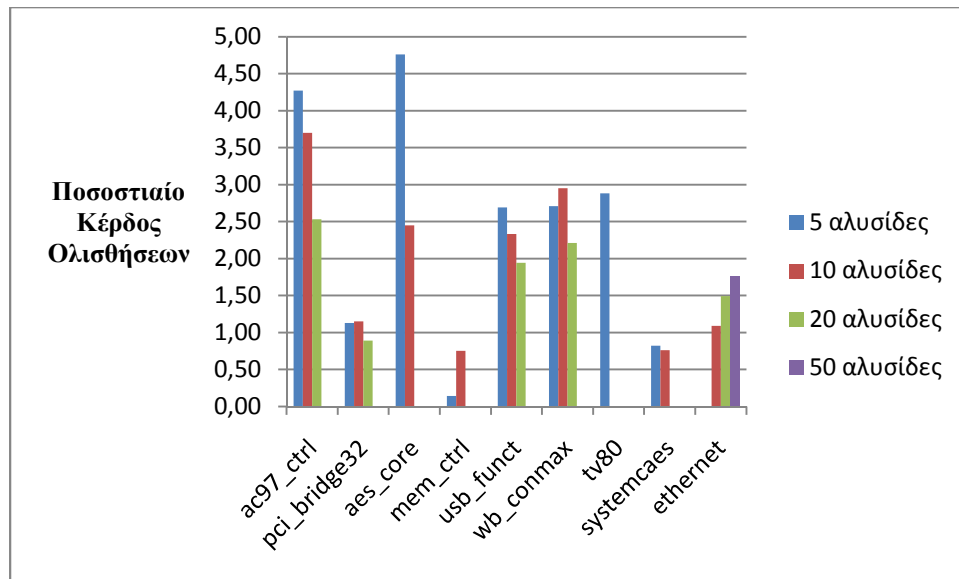
Σχήμα 5.15 Μέση Τιμή Ποσοστιαίου Κέρδους Ολισθήσεων στα IWLS Κυκλώματα (Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)



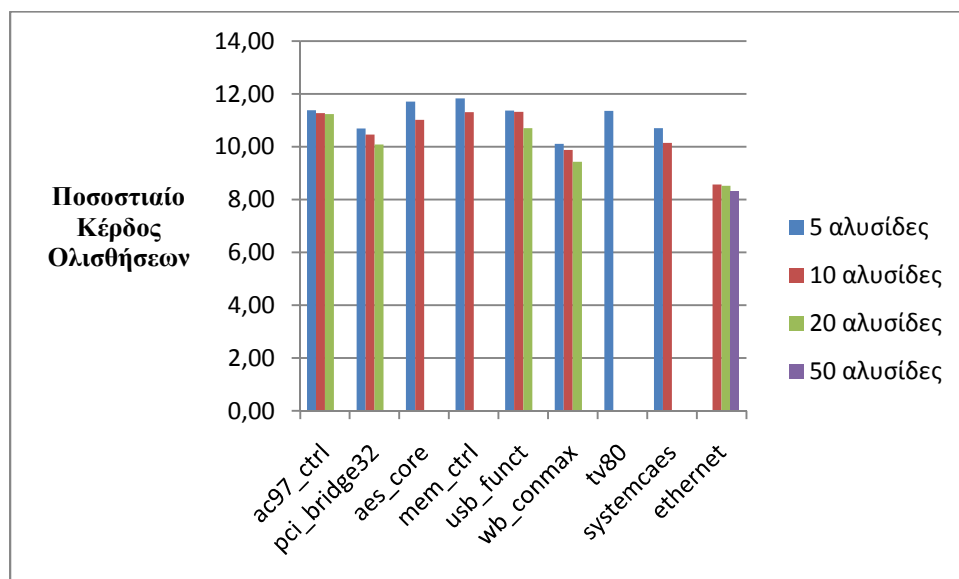
Σχήμα 5.16 Μέση Τιμή Ποσοστιαίας Επιβάρυνσης Υλοποίησης για τα IWLS Κυκλώματα



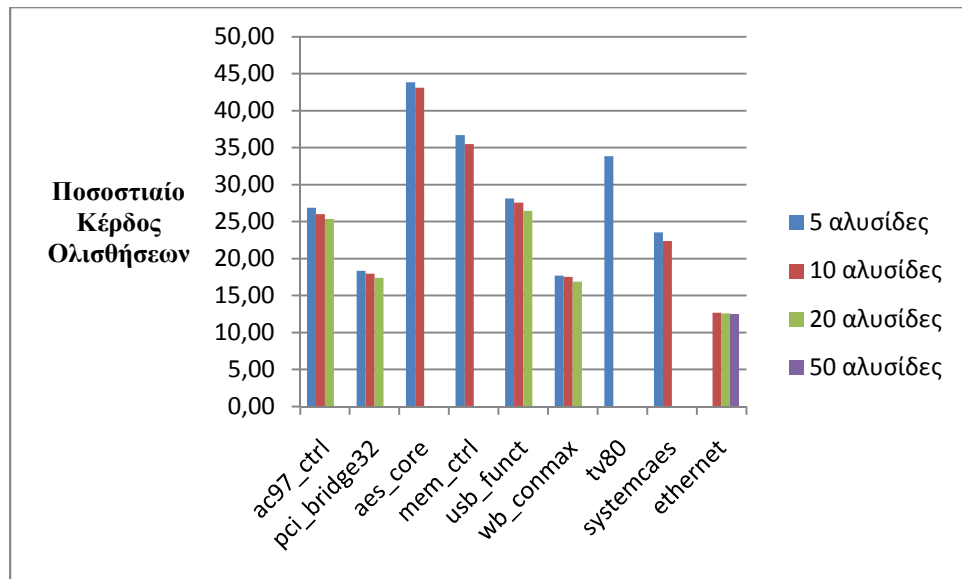
Σχήμα 5.17 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)



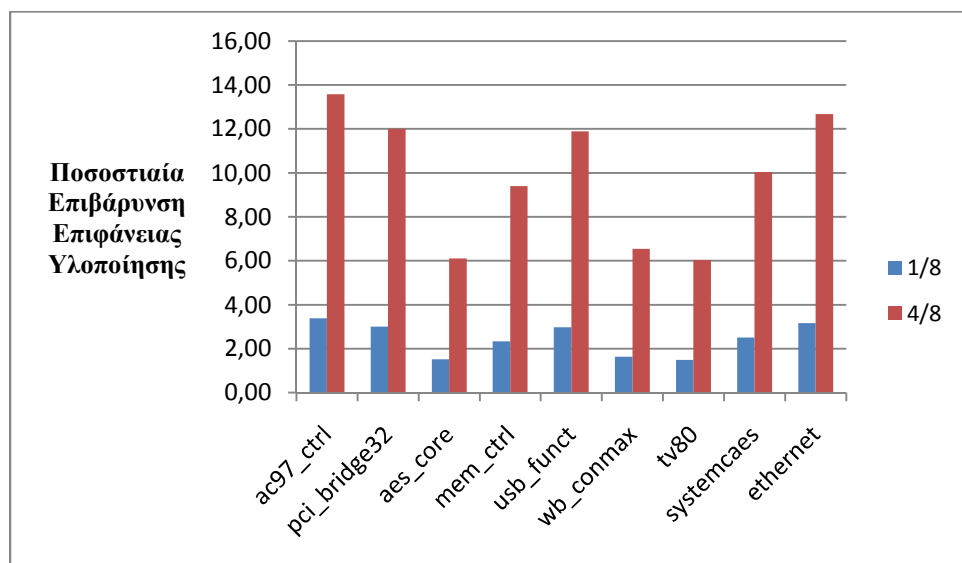
Σχήμα 5.18 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών (Μη Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)



Σχήμα 5.19 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στο 1/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)



Σχήμα 5.20 Ποσοστιαίο Κέρδος Ολισθήσεων στα IWLS Κυκλώματα με Κατανομή των Κελιών στις Δευτερεύουσες Αλυσίδες στα 4/8 των Αρχικών (Αναδιατεταγμένες Αλυσίδες με χρήση Συμπιεσμένων Διανυσμάτων Ελέγχου)



Σχήμα 5.21 Ποσοστιαία Επιβάρυνση Υλοποίησης για κάθε Κύκλωμα IWLS

ΚΕΦΑΛΑΙΟ 6. ΣΥΜΠΕΡΑΣΜΑΤΑ

Στη παρούσα εργασία παρουσιάστηκε μια τεχνική σχεδίασης αλυσίδων σάρωσης για υψηλή ταχύτητα και χαμηλή κατανάλωση. Η τεχνική εκμεταλλεύεται το εξαιρετικά υψηλό ποσοστό αδιάφορων τιμών στα διανύσματα ελέγχου των ολοκληρωμένων κυκλωμάτων για να πετύχει τους επιδιωκόμενους στόχους. Βασίζεται δε στην κατάλληλη τμηματοποίηση της αρχικής αλυσίδας σε δύο τμήματα και την αποφυγή φόρτωσης του ενός τμήματος (ή μέρους αυτού) με νέες τιμές ελέγχου όταν το σχετικό διάνυσμα ελέγχου περιέχει αδιάφορες τιμές. Κατά αυτόν τον τρόπο μειώνεται τόσο ο αριθμός των απαιτούμενων ολισθήσεων για την ολοκλήρωση του ελέγχου ορθής λειτουργίας, όσο και ο αριθμός των μεταβάσεων των σημάτων της συνδυαστικής λογικής κατά την ολίσθηση των δεδομένων με αποτέλεσμα τη μείωση της μέσης κατανάλωσης ενέργειας στο κύκλωμα. Για την επαλήθευση της αποτελεσματικότητας της προτεινόμενης τεχνικής χρησιμοποιήθηκαν τα γνωστά κυκλώματα αναφοράς ISCAS'89 και IWLS'05. Από τα πειραματικά αποτελέσματα παρατηρείται σημαντική μείωση στο χρόνο εφαρμογής του ελέγχου με κάποια αναπόφευκτη (αν και όχι απαγορευτική) επιβάρυνση στο κόστος της επιφάνειας υλοποίησης. Σημαντικό ρόλο στο κέρδος που αφορά το χρόνο εφαρμογής του ελέγχου ορθής λειτουργίας παίζει η πιθανή αναδιάταξη των κελιών στη νέα αλυσίδα σάρωσης καθώς και η κατανομή των κελιών στα δύο τμήματα της αλυσίδας.

Στα πειραματικά αποτελέσματα παρατηρήθηκε ποσοστιαίο κέρδος από τη μείωση των κύκλων ολίσθησης έως και 42,7% κατά μέσο όρο (με μέση επιβάρυνση σε επιφάνεια υλοποίησης 11,72%) στα ISCAS κυκλώματα, και έως 38,81% και 28,61% κατά μέσο όρο (με μέση επιβάρυνση σε επιφάνεια υλοποίησης 12,67% και 9,45% αντίστοιχα) στα IWLS κυκλώματα, με τη χρήση ασυμπιεστων και συμπιεσμένων

διανυσμάτων ελέγχου, αντίστοιχα. Συμπερασματικά, η δομή της προτεινόμενης τεχνικής παρέχει στον σχεδιαστή ένα ευρύ φάσμα επιλογών σε ότι αφορά το κέρδος στο χρόνο εφαρμογής του ελέγχου ορθής λειτουργίας που μπορεί να επιτευχθεί, ανάλογα με τους περιορισμούς που θα τεθούν στο κόστος της πρόσθετης επιφάνειας πυριτίου.

ΑΝΑΦΟΡΕΣ

- [1] G. Moore, Cramming more components onto integrated circuits, *Electronics*, pp. 114–117, April 19, 1965.
- [2] W. J. Dally and J. W. Poulton, *Digital Systems Engineering*, Cambridge University Press, London, 1998.
- [3] W. Y. Chen, S. K. Gupta, and M. A. Breuer, Analytical models for crosstalk excitation and propagation in VLSI circuits, *IEEE Trans. on Computer-Aided Design*, 21(10), pp. 1117–1131, October 2002.
- [4] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreeprakash, and M. Hachinger, A case study of IR-drop in structured at-speed testing, in *Proc. IEEE Int. Test Conf.*, pp. 1098–1104, September 2003.
- [5] L.-C. Wang, J. J. Liou, and K.-T. Cheng, Critical path selection for delay fault testing based upon a statistical timing model, *IEEE Trans. on Computer-Aided Design*, 23(11), pp. 1550–1565, November 2004.
- [6] E. J. McCluskey and F. Buelow, IC quality and test transparency, in *Proc. IEEE Int. Test Conf.*, pp. 295–301, September 1988.
- [7] T. W. Williams and N. C. Brown, Defect level as a function of fault coverage, *IEEE Trans. on Computers*, 30(12), pp. 987–988, December 1981.
- [8] M. L. Bushnell and V. D. Agrawal, *Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits*, Springer Science, New York, 2000.
- [9] N. Jha and S. Gupta, *Testing of Digital Systems*, Cambridge University Press, London, 2003.
- [10] M. L. Bushnell and V. D. Agrawal, *Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits*, Springer, Boston, 2000.
- [11] E. B. Eichelberger and T. W. Williams, A logic design structure for LSI testability, in *Proc. Design Automation Conf.*, pp. 462–468, June 1977.

- [12] S. DasGupta, P. Goel, R. G. Walther, and T. W. Williams, A variation of LSSD and its implications on design and test pattern generation in VLSI, in Proc. Int. Test Conf., pp. 63–66, November 1982.
- [13] P. Girard, Survey of low-power testing of VLSI circuits, IEEE Design & Test of Computers, 19(3), pp. 82–92, May/June 2002.
- [14] A. Chandra and K. Chakrabarty, Combining low-power scan testing and test data compression for system-on-a-chip, in Proc. European Design Automation Conf., pp. 166–169, June 2001.
- [15] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault, and S. Pravossoudovitch, A gated clock scheme for low power scan testing of logic ICs or embedded cores, in Proc. Asian Test Symp., pp. 253–258, November 2001.
- [16] J. Saxena, K. M. Butler, and L. Whetsel, A scheme to reduce power consumption during scan testing, in Proc. Int. Test Conf., pp. 670–677, October 2001.
- [17] T. Yoshida and M. Watari, MD-scan method for low power scan testing, in Proc. Int. Test Conf., pp. 480–487, October 2003.
- [18] P. Rosinger, B. M. Al-Hashimi, and N. Nicolici, Scan architecture with mutually exclusive scan segment activation for shift- and capture-power reduction, IEEE Trans. on Computer-Aided Design, 23(7), pp. 1142–1153, July 2004.
- [19] L. Whetsel, Core test connectivity, communication, and control, in Proc. Int. Test Conf., pp. 303–312, November 1998.
- [20] A. Khoche, Test resource partitioning for scan architectures using bandwidth matching, IEEE Test Resource Partitioning Workshop, pp. 1.4-1–1.4-8, October 2002.
- [21] I. Hamzaoglu and J. H. Patel, Reducing test application time for full scan embedded cores, in Proc. Fault-Tolerant Computing Symp., pp. 260–267, July 1999.
- [22] F. F. Hsu, K. M. Butler, and J. H. Patel, A case study on the implementation of Illinois scan architecture, in Proc. Int. Test Conf., pp. 538–547, October 2001.
- [23] L.-T. Wang, C.-W. Wu, and X. Wen, VLSI Test Principles and Architectures: Design for Testability, Morgan Kaufmann, San Francisco, 2006.
- [24] S. W. Golomb, Shift Register Sequence, Aegean Park Press, Laguna Hills, CA, 1982.
- [25] H. D. Schnurmann, E. Lindbloom, and R. G. Carpenter, The weighted random test-pattern generator, IEEE Trans. on Computers, 24(7), pp. 695–700, July 1975.
- [26] J. A. Waicukauski, E. Lindbloom, E. B. Eichelberger, and O. P. Forenza, WRP: A method for generating weighted random test patterns, IBM J. Res.Dev., 33(2), pp. 149–161, March 1989.

- [27] M. Bershteyn, Calculation of multiple sets of weights for weighted random testing, in Proc. Int. Test Conf., pp. 1031–1040, October 1993.
- [28] R. Kapur, S. Patil, T. J. Snethen, and T. W. Williams, Design of an efficient weighted random pattern generation system, in Proc. Int. Test Conf., pp. 491–500, October 1994.
- [29] L. Lai, J. H. Patel, T. Rinderknecht, and W.-T. Cheng, Hardware efficient LBIST with complementary weights, in Proc. Int. Conf. on Computer Design, pp. 479–481, October 2005.
- [30] B. Krishnamurthy, A dynamic programming approach to the test point insertion problem, in Proc. Design Automation Conf., pp. 695–704, June 1987.
- [31] V. S. Iyengar and D. Brand, Synthesis of pseudo-random pattern testable designs, in Proc. Int. Test Conf., pp. 501–508, August 1989.
- [32] N. A. Touba and E. J. McCluskey, Test point insertion based on path tracing, in Proc. VLSI Test Symp., pp. 2–8, April 1996.
- [33] B. H. Seiss, P. Trouborst, and M. Schulz, Test point insertion for scan-based BIST, in Proc. European Test Conf., pp. 253–262, April 2003.
- [34] N. Tamarapalli and J. Rajski, Constructive multi-phase test point insertion for scan-based BIST, in Proc. Int. Test Conf., pp. 649–658, October 1996.
- [35] B. Koenemann, LFSR-coded test patterns for scan designs, in Proc. European Test Conf., pp. 237–242, April 1991.
- [36] S. Hellebrand, J. Rajski, S. Tarnick, S. Venkataramann, and B. Courtois, Generation of vector patterns through reseeding of multiple-polynomial linear feedback shift registers, IEEE Trans. on Computers, 44(2), pp. 223–233, February 1995.
- [37] J. Rajski, J. Tyszer, and N. Zacharia, Test data decompression for multiple scan designs with boundary scan, IEEE Trans. on Computers, 47(11), pp. 1188–1200, November 1998.
- [38] S. Hellebrand, B. Reeb, S. Tarnick, and H.-J. Wunderlich, Pattern generation for a deterministic BIST scheme, in Proc. Int. Conf. on Computer-Aided Design, pp. 88–94, November 1995.
- [39] H.-G. Liang, S. Hellebrand, and H.-J. Wunderlich, Two-dimensional test data compression for scan-based deterministic BIST, in Proc. Int. Test Conf., pp. 894–902, September 2001.

- [40] A. Al-Yamani, S. Mitra, and E. J. McCluskey, Optimized reseeding by seed ordering and encoding, *IEEE Trans. on Computer-Aided Design*, 24(2), pp. 264–270, February 2005.
- [41] G. Kiefer and H.-J. Wunderlich, Deterministic BIST with multiple scan chains, in *Proc. Int. Test Conf.*, pp. 1057–1064, October 1998.
- [42] D. Das and N. A. Touba, Reducing test data volume using external/LBIST hybrid test patterns, in *Proc. Int. Test Conf.*, pp. 115–122, October 2000.
- [43] R. Dorsch and H.-J. Wunderlich, Tailoring ATPG for embedded testing, in *Proc. Int. Test Conf.*, pp. 530–537, October 2001.
- [44] K. Ichino, T. Asakawa, S. Fukumoto, K. Iwasaki, and S. Kajihara, Hybrid BIST using partially rotational scan, in *Proc. Asian Test Symp.*, pp. 379–384, November 2001.
- [45] P. H. Bardell and W. H. McAnney, Self-testing of multiple logic modules, in *Proc. Int. Test Conf.*, pp. 200–204, November 1982.
- [46] B. Nadeau-Dostie, *Design for At-Speed Test, Diagnosis and Measurement*, Springer, Boston, 2000.
- [47] L.-T. Wang, C.-W. Wu, and X. Wen, *VLSI Test Principles and Architectures: Design for Testability*, Morgan Kaufmann, San Francisco, 2006.
- [48] Il-soo Lee, Yong Min Hur, Tony Ambler, "The Efficient Multiple Scan Chain Architecture Reducing Power Dissipation and Test Time," *ats*, pp.94-97, 13th Asian Test Symposium (ATS'04), 2004
- [49] A. Chandra, H. Yan and R. Kapur, "Multimode Illinois scan architecture for test application time and test data volume reduction," *Proc. VLSI Test Symp.*, pp. 84–92, 2007.
- [50] A. Jas, B. Pouya, and N. A. Touba, "Virtual scan chains: a means for reducing scan length in cores," in *Proc. VLSI Test Symp.*, 2000, pp. 73–78.
- [51] P. M. Rosinger, B. M. Al-Hashimi, and N. Nicolici, "Scan Architecture with Mutually Exclusive Scan Segment Activation for Shift and Capture Power Reduction", *IEEE TCAD*, July 2004, pp. 1142-1153.
- [52] D. Xiang, K. Li, H. Fujiwara, K. Thulasiraman, and J. Sun, "Constraining transition propagation for low-power scan testing using a twostage scan architecture," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, no. 5, pp. 450–454, May 2007.
- [53] M. Chiu and J. C.-M. Li, "Jump scan: a DFT technique for low power testing," *Proc. VTS*, pp. 277-282, 2005.

[54] S. Gerstendorfer and H.J Wunderlich, "Minimized Power Consumption for Scan-Based BIST," *Journal of Electronic Testing: Theory and Applications*, vol. 16, pp. 203-212, 2000.

[55] F. Brglez, D. Bryan and K. Kozminski, "Combinational profiles of sequential benchmark circuits," *Proc. of IEEE Int. Symp. on Circuits and Systems*, pp. 1929-1934, May 1989.

[56] IWLS'05 Benchmark Circuits, <http://www.iwls.org/iwls2005/benchmarks.html>.

ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ

Η Μαρία Χαλκιά έλαβε το πτυχίο Πληροφορικής από το Τμήμα Πληροφορικής του Πανεπιστημίου Ιωαννίνων, το 2006. Από το 2007 είναι μεταπτυχιακή φοιτήτρια του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων.

