

ΤΙΤΛΟΣ ΔΙΑΤΡΙΒΗΣ

ΤΕΧΝΙΚΗ ΧΑΜΗΛΗΣ ΣΤΑΤΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΨΗΦΙΑΚΩΝ
ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ ΜΕ ΤΗΝ ΕΙΣΑΓΩΓΗ ΠΟΛΛΑΠΛΩΝ
ΚΑΤΑΣΤΑΣΕΩΝ ΥΠΝΟΥ

Η
ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ

Υποβάλλεται στην
ορισθείσα από την Γενική Συνέλευση Ειδικής Σύνοψης
του Τμήματος Πληροφορικής
Εξεταστική Επιτροπή

από τον

ΚΑΤΣΙΚΟ ΠΑΝΑΓΙΩΤΗ

ως μέρος των Υποχρεώσεων
για τη λήψη
του

ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΣΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ
ΜΕ ΕΞΕΙΔΙΚΕΥΣΗ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ-ΕΦΑΡΜΟΓΕΣ

ΙΟΥΛΙΟΣ 2009

ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω θερμά τον καθηγητή μου , κ. Γεώργιο Τσιατούχα για την σημαντική του βοήθεια για την ολοκλήρωση αυτής της εργασίας!

Επίσης ένα μεγάλο ευχαριστώ σε όλους τους κοντινούς μου ανθρώπους που με στήριξαν και με βοήθησαν σε όλη αυτή την πορεία μου!

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΕΡΙΕΧΟΜΕΝΑ	iii
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ	v
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ	vi
ΠΕΡΙΛΗΨΗ	viii
EXTENDED ABSTRACT IN ENGLISH	x
ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ	2
1.1. ΣΤΟΧΟΙ	2
1.2. ΔΟΜΗ ΤΗΣ ΔΙΑΤΡΙΒΗΣ	2
1.3. ΔΥΝΑΜΙΚΗ ΚΑΤΑΝΑΛΩΣΗ	3
1.4. ΚΑΤΑΝΑΛΩΣΗ ΒΡΑΧΥΚΥΚΛΩΜΑΤΟΣ	5
1.5. ΣΤΑΤΙΚΗ ΚΑΤΑΝΑΛΩΣΗ	7
1.5.1 ΡΕΥΜΑ ΔΙΑΡΡΟΗΣ	9
1.5.2 ΡΕΥΜΑ ΣΤΗΝ ΠΕΡΙΟΧΗ ΥΠΟΚΑΤΩΦΛΙΟΥ Ή ΡΕΥΜΑ ΑΣΘΕΝΟΥΣ	
ΑΝΑΣΤΡΟΦΗΣ	10
1.5.3 ΡΕΥΜΑΤΑ DIBL ΚΑΙ GIDL	11
ΚΕΦΑΛΑΙΟ 2. ΜΕΛΕΤΗ ΤΗΣ ΣΤΑΤΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΣΤΑ	
ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ	13
2.1. ΑΝΑΛΥΣΗ ΚΑΙ ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΤΩΝ ΡΕΥΜΑΤΩΝ ΔΙΑΡΡΟΗΣ	13
2.1.1 ΡΕΥΜΑ ΔΙΑΡΡΟΗΣ ΟΞΕΙΔΙΟΥ ΠΥΛΗΣ ΤΩΝ ΤΡΑΝΖΙΣΤΟΡ	13
2.1.2 ΡΕΥΜΑ ΔΙΑΡΡΟΗΣ ΥΠΟΚΑΤΩΦΛΙΟΥ	15
2.2. ΤΕΧΝΙΚΕΣ ΜΕΙΩΣΗΣ ΤΗΣ ΣΤΑΤΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ	16
2.2.1 ΧΡΗΣΗ ΑΝΑΣΤΡΟΦΗΣ VGS	16
2.2.2 ΧΡΗΣΗ ΤΡΑΝΖΙΣΤΟΡ ΥΨΗΛΟΥ-VT	17
2.2.3 ΑΥΤΟ-ΑΝΑΣΤΡΟΦΗ ΠΟΛΩΣΗ	18
2.2.4 ΕΝΑΛΛΑΚΤΙΚΗ ΧΡΗΣΗ ΠΟΛΛΑΠΛΩΝ VT	21
2.2.5 ΧΡΗΣΗ ΤΡΑΝΖΙΣΤΟΡ ΜΕ ΠΑΧΥ ΟΞΕΙΔΙΟ	21
2.2.6 ΜΕΙΩΣΗ ΣΤΑΤΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΜΕΣΩ ΤΟΥ ΦΑΙΝΟΜΕΝΟΥ	
ΣΤΟΙΒΑΣ (STACK EFFECT)	25
2.2.7 ΑΝΑΔΙΑΤΑΞΗ ΤΩΝ PIN ΕΙΣΟΔΟΥ	25
2.3. ΤΕΧΝΙΚΕΣ ΠΟΛΛΑΠΛΩΝ ΚΑΤΑΣΤΑΣΕΩΝ ΎΠΙΝΟΥ	26
2.3.1 ΑΝΑΛΥΣΗ ΤΗΣ ΤΑΣΗΣ ΤΟΥ ΚΟΜΒΟΥ V_{GND}	28
2.4. ΧΡΗΣΗ ΜΙΑΣ ΕΝΔΙΑΜΕΣΗΣ ΚΑΤΑΣΤΑΣΗΣ ΎΠΙΝΟΥ	29
2.4.1 ΠΕΙΡΑΜΑΤΑ	31
2.4.2 ΠΛΕΟΝΕΚΤΗΜΑΤΑ	33
2.4.3 ΜΕΙΟΝΕΚΤΗΜΑΤΑ	33
2.5. ΧΡΗΣΗ ΔΥΟ ΕΝΔΙΑΜΕΣΩΝ ΚΑΤΑΣΤΑΣΕΩΝ ΎΠΙΝΟΥ	34
2.5.1 ΠΕΙΡΑΜΑΤΑ	35
2.5.2 ΕΦΑΡΜΟΓΗ ΤΗΣ ΤΕΧΝΙΚΗΣ ΣΕ PIPELINE	37
2.5.3 ΑΠΟΤΕΛΕΣΜΑΤΑ	38

2.5.4 ΠΛΕΟΝΕΚΤΗΜΑΤΑ	39
2.5.5 ΜΕΙΟΝΕΚΤΗΜΑΤΑ	39
ΚΕΦΑΛΑΙΟ 3. ΤΕΧΝΙΚΗ ΚΑΤΑΣΤΑΣΕΩΝ ΥΠΝΟΥ ΜΕ ΧΡΗΣΗ ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΩΝ ΔΙΑΚΟΠΤΩΝ	40
3.1. Η ΤΕΧΝΙΚΗ ΤΩΝ ΚΑΤΑΣΤΑΣΕΩΝ ΥΠΝΟΥ	40
3.2. ΒΑΣΙΚΗ ΤΟΠΟΛΟΓΙΑ ΠΡΟΤΕΙΝΟΜΕΝΗΣ ΤΕΧΝΙΚΗΣ	41
3.3. ΠΟΛΛΑΠΛΟΙ ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΟΙ ΔΙΑΚΟΠΤΕΣ	44
3.3.1 ΚΑΤΑΣΤΑΣΕΙΣ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ	48
3.3.1.1 ΚΑΤΑΣΤΑΣΗ SNORE	49
3.3.1.2 ΚΑΤΑΣΤΑΣΗ DREAM	51
3.3.1.3 ΚΑΤΑΣΤΑΣΗ SLEEP	53
3.3.1.4 ΚΑΤΑΣΤΑΣΗ ΚΑΝΟΝΙΚΗΣ ΛΕΙΤΟΥΡΓΙΑΣ	55
ΚΕΦΑΛΑΙΟ 4. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ	58
4.1. ΠΕΙΡΑΜΑΤΙΚΗ ΔΙΑΤΑΞΗ- ΨΗΦΙΑΚΟ ΚΥΚΛΩΜΑ	58
4.2. ΠΕΙΡΑΜΑΤΙΚΗ ΔΙΑΤΑΞΗ – ΤΟ ΚΥΚΛΩΜΑ ΚΑΤΑΣΤΑΣΕΩΝ ΥΠΝΟΥ	60
4.3. ΣΗΜΑΤΑ ΕΛΕΓΧΟΥ	62
4.4. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ	65
4.4.1 ΚΑΤΑΣΤΑΣΗ ΥΠΝΟΥ SNORE	67
4.4.2 ΚΑΤΑΣΤΑΣΗ ΥΠΝΟΥ DREAM	69
4.4.3 ΚΑΤΑΣΤΑΣΗ ΥΠΝΟΥ SLEEP	72
4.4.4 ΚΑΤΑΣΤΑΣΗ ΚΑΝΟΝΙΚΗΣ ΛΕΙΤΟΥΡΓΙΑΣ	74
4.5. ΑΝΑΛΥΣΗ ΑΠΟΤΕΛΕΣΜΑΤΩΝ	76
4.5.1 ΤΑΣΗ ΕΙΚΟΝΙΚΗΣ ΓΗΣ ΚΑΙ ΚΑΝΟΝΙΚΟΠΟΙΗΜΕΝΟ ΡΕΥΜΑ ΔΙΑΡΡΟΗΣ ΑΝΑ ΚΑΤΑΣΤΑΣΗ	76
4.5.2 ΚΑΝΟΝΙΚΟΠΟΙΗΜΕΝΟΣ ΧΡΟΝΟΣ ΑΦΥΠΝΙΣΗΣ ΩΣ ΠΡΟΣ ΤΟ ΚΑΝΟΝΙΚΟΠΟΙΗΜΕΝΟ ΡΕΥΜΑ ΔΙΑΡΡΟΗΣ	77
4.5.3 ΚΑΝΟΝΙΚΟΠΟΙΗΜΕΝΗ ΕΝΕΡΓΕΙΑ ΑΦΥΠΝΙΣΗΣ ΩΣ ΠΡΟΣ ΤΟ ΚΑΝΟΝΙΚΟΠΟΙΗΜΕΝΟ ΡΕΥΜΑ ΔΙΑΡΡΟΗΣ	79
4.5.4 ΕΞΟΙΚΟΝΟΜΗΣΗ ΕΝΕΡΓΕΙΑΣ ΩΣ ΠΡΟΣ ΤΟΝ ΑΡΙΘΜΟ ΤΩΝ ΑΔΡΑΝΩΝ ΚΥΚΛΩΝ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ	80
4.6. ΚΑΤΑΝΕΜΗΜΕΝΗ ΥΛΟΠΟΙΗΣΗ ΚΥΚΛΩΜΑΤΟΣ ΔΗΜΙΟΥΡΓΙΑΣ ΚΑΤΑΣΤΑΣΕΩΝ ΥΠΝΟΥ	87
4.7. ΣΥΜΠΕΡΑΣΜΑΤΑ	89
4.7.1 ΠΛΕΟΝΕΚΤΗΜΑΤΑ	90
4.7.2 ΜΕΙΟΝΕΚΤΗΜΑΤΑ	91
ΑΝΑΦΟΡΕΣ	92
ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ	95

ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

Πίνακας	Σελ
Πίνακας 2.1: Ρεύμα διαρροής πύλης NAND 2-εισόδων	16
Πίνακας 2.2 Κύκλοι Ρολογιού για την Επαναφορά σε Κανονική Λειτουργία	38
Πίνακας 3.1: Καταστάσεις Λειτουργίας του Κυκλώματος	49
Πίνακας 3.2 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κατάσταση Snore	50
Πίνακας 3.3 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κατάσταση Dream.	52
Πίνακας 3.4 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κατάσταση Sleep.	54
Πίνακας 3.5 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κανονική Κατάσταση	56
Πίνακας 4.1 Πίνακας Αληθείας για τα Σήματα Select1, Select2, Normal, A1, A2, B1, B2	62
Πίνακας 4.2 Μεγέθη των Inverters	65
Πίνακας 4.3 Η Τάση του Κόμβου VGND ως Συνάρτηση του Μεγέθους των Τρανζίστορ για την Κατάσταση Snore	67
Πίνακας 4.4 Χρόνοι Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Snore	69
Πίνακας 4.5 Ενέργεια Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Snore	69
Πίνακας 4.6 Η Τάση του Κόμβου VGND ως Συνάρτηση του Μεγέθους των Τρανζίστορ για την Κατάσταση Dream	70
Πίνακας 4.7 Χρόνοι Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Dream.	71
Πίνακας 4.8 Ενέργεια Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Dream	72
Πίνακας 4.9 Η Τάση του Κόμβου VGND ως Συνάρτηση του Μεγέθους των Τρανζίστορ για την Κατάσταση Sleep	72
Πίνακας 4.10 Χρόνοι Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Sleep.	74
Πίνακας 4.11 Ενέργεια Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Sleep	74
Πίνακας 4.12 Τάση Εικονικής Γης με Κανονικοποιημένο Ρεύμα Διαρροής	77
Πίνακας 4.13 Κανονικοποιημένος Χρόνος Αφύπνισης και Κανονικοποιημένο Ρεύμα Διαρροής για Κάθε μια από τις Καταστάσεις του Κυκλώματος.	79

ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

Σχήμα	Σελ
Σχήμα 1.1: Μεταβατική κατάσταση του αντιστροφέα CMOS	4
Σχήμα 1.2 Είσοδος και Ρεύμα Εξόδου για έναν Αντιστροφέα CMOS	5
Σχήμα 1.3 Μηχανισμοί δημιουργίας ρευμάτων διαρροής	8
Σχήμα 1.4 Πλήρες Μοντέλο του CMOS Αντιστροφέα	9
Σχήμα 1.5 Το Ρεύμα Ασθενούς Αναστροφής Ρέει στην Περιοχή Κάτω από την Πύλη	10
Σχήμα 1.6 Εξάρτηση του Ρεύματος Ασθενούς Αναστροφής από την Τάση Κατωφλίου (V_i) και την τάση V_{GS}	10
Σχήμα 1.7 Διεύρυνση της περιοχής απογύμνωσης.	11
Σχήμα 1.8 Τα ρεύματα DIBL και GIDL	12
Σχήμα 2.1: Ρεύμα διαρροής οξειδίου πύλης NMOS τρανζίστορ σε αντιστροφέα	14
Σχήμα 2.2. Σχεδιάγραμμα των Ομάδων σε μια NAND2 Πύλη	15
Σχήμα 2.3 Μείωση του Ρεύματος Υποκατωφλίου με Χρήση Ανάστροφης V_{GS}	17
Σχήμα 2.4 Χρήση PMOS Τρανζίστορ με Υψηλότερη Τάση Κατωφλίου	18
Σχήμα 2.5 Μείωση του Ρεύματος Υποκατωφλίου με την Χρήση της Αυτό-ανάστροφης Πόλωσης	18
Σχήμα 2.6 Χρήση Τρανζίστορ με Υψηλό- V_t (λευκά) στο Κρίσιμο Μονοπάτι και με Χαμηλό- V_t (σκιασμένα) αλλού	20
Σχήμα 2.7 Αναθέσεις Υψηλού- V_i και Παχύ-Οξειδίου για Διαφορετικές Καταστάσεις Εισόδου	24
Σχήμα 2.8 Χρήση Τρανζίστορ Ύπνου	27
Σχήμα 2.9: Το κύκλωμα σε κατάσταση κανονικής λειτουργίας	30
Σχήμα 2.10: Το κύκλωμα σε κατάσταση COLD.	30
Σχήμα 2.11: Το κύκλωμα σε κατάσταση PARK.	31
Σχήμα 2.12 Ground Bounce κατά την Μετάβαση των Καταστάσεων	32
Σχήμα 2.13 Επίδραση του Φαινομένου Αναπήδησης Γης στις Επιδόσεις των Γειτονικών Κυκλωμάτων	33
Σχήμα 2.14: Γεννήτρια Τάσεων	34
Σχήμα 2.15: Κύκλωμα Πολλαπλών Καταστάσεων «ύπνου»	35
Σχήμα 2.16: Κανονικοποιημένο Διάγραμμα του Κέρδους σε Ενέργεια και του Κόστους σε Χρόνο Αφύπνισης ως Συνάρτηση του Ρεύματος Διαρροής	36
Σχήμα 2.17 Εφαρμογή σε μια Pipeline	37
Σχήμα 3.1: Βασική τοπολογία με τη χρήση τρανζίστορ «ύπνου»	40
Σχήμα 3.2 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου	42
Σχήμα 3.3 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου στην Κανονική Λειτουργία	43
Σχήμα 3.4 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου στην Κατάσταση Πλήρους Ύπνου	43
Σχήμα 3.5 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου στην	

Ενδιάμεση Κατάσταση Ύπνου.	44
Σχήμα 3.6 Το Κύκλωμα με Τρεις Καταστάσεις Ύπνου	45
Σχήμα 3.7 Το Προτεινόμενο Κύκλωμα.	47
Σχήμα 3.8 . Το Κύκλωμα σε Κατάσταση Snore	50
Σχήμα 3.9. Το Κύκλωμα σε Κατάσταση Dream	53
Σχήμα 3.10. Το Κύκλωμα σε Κατάσταση Sleep	55
Σχήμα 3.11 Το Κύκλωμα σε Κατάσταση Κανονικής Λειτουργίας	57
Σχήμα 4.1 . Ο Κυκλικός Ταλαντωτής που Χρησιμοποιείται σαν Βασική Μονάδα για το Λογικό Κύκλωμα	59
Σχήμα 4.2 . Το Προτεινόμενο Κύκλωμα Δημιουργίας Καταστάσεων Ύπνου	61
Σχήμα 4.3 . Ο Αποκωδικοποιητής για την Παραγωγή των Σημάτων Normal, A1, A2, B1 και B2 από τα Σήματα Select1 και Select2.	62
Σχήμα 4.4 Ο Controller Παραγωγής των Σημάτων που Ελέγχουν την Κατάσταση Ύπνου του Κυκλώματος	64
Σχήμα 4.5 Το Κύκλωμα των Αναστροφών Οδήγησης του MN0 τρανζίστορ	65
Σχήμα 4.6 Μετάβαση από την Κατάσταση Κανονικής Λειτουργίας στην Κατάσταση Snore και Ξανά στην Κατάσταση Κανονικής Λειτουργίας	68
Σχήμα 4.7 Μετάβαση από την Κατάσταση Dream στην Κατάσταση Κανονικής Λειτουργίας και Ξανά στην Κατάσταση Κανονικής Λειτουργίας	70
Σχήμα 4.8 Μετάβαση από την Κατάσταση Κανονικής Λειτουργίας στην Κατάσταση Sleep και Ξανά στην Κατάσταση Κανονικής Λειτουργίας	73
Σχήμα 4.9 Μετάβαση στην Κανονική Λειτουργία με το Σήμα Enable στην Υψηλή Στάθμη	75
Σχήμα 4.10 Τάση Εικονικής Γης και Κανονικοποιημένο Ρεύμα Διαρροής ανά κατάσταση	77
Σχήμα 4.11 Κανονικοποιημένος Χρόνος Αφύπνισης ως προς το Κανονικοποιημένο Ρεύμα Διαρροής	78
Σχήμα 4.12 Κανονικοποιημένη Ενέργεια Αφύπνισης ως προς το Κανονικοποιημένο ρεύμα Διαρροής	80
Σχήμα 4.13 Εξοικονόμηση Ενέργειας ως προς τους Αδρανείς Κύκλους του Κυκλώματος(200ps)	81
Σχήμα 4.14 Εξοικονόμηση Ενέργειας ως προς τους Αδρανείς Κύκλους Κυκλώματος (500ps)	82
Σχήμα 4.15 Εξοικονόμηση Ισχύος ως προς τους Αδρανείς Κύκλους Κυκλώματος (1ns)	83
Σχήμα 4.16 Εξοικονόμηση Ισχύος ως προς τους Αδρανείς Κύκλους Κυκλώματος (2ns)	84
Σχήμα 4.17 Εξοικονόμηση Ενέργειας της Κατάστασης Snore για Διαφορετικές Περιόδους Λειτουργίας	85
Σχήμα 4.18 Εξοικονόμηση Ενέργειας της Κατάστασης Dream σε Διαφορετικές Περιόδους Λειτουργίας	86
Σχήμα 4.19 Εξοικονόμηση Ενέργειας της Κατάστασης Sleep για Διαφορετικές Περιόδους Λειτουργίας	86
Σχήμα 4.20 Τοπολογία του Κυκλώματος Δημιουργίας Καταστάσεων Ύπνου [27]	87
Σχήμα 4.21 Τοπολογία του Κυκλώματος Δημιουργίας Καταστάσεων Ύπνου στην Προτεινόμενη Τεχνική	89

ΠΕΡΙΛΗΨΗ

Παναγιώτης Κατσίκος του Βασιλείου και της Αρετής. MSc, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων, Ιούλιος 2009. Τίτλος Διατριβής: Τεχνική Χαμηλής Στατικής Κατανάλωσης Ψηφιακών Ολοκληρωμένων Κυκλωμάτων με την Εισαγωγή Πολλαπλών Καταστάσεων Ύπνου. Επιβλέπωντας: Γεώργιος Τσιατούχας.

Με την συνεχιζόμενη κλιμάκωση της τεχνολογίας κατασκευής των ολοκληρωμένων κυκλωμάτων, η στατική κατανάλωση ενέργειας αποτελεί ένα από τα μεγαλύτερα προβλήματα της σχεδίασης. Μια από τις κύριες τεχνικές για την αντιμετώπισή του είναι η εισαγωγή καταστάσεων «ύπνου» στο κύκλωμα όταν αυτό βρεθεί σε αδράνεια. Αυτό επιτυγχάνεται με την χρήση τρανζίστορ απομόνωσης του κυκλώματος από την (τις) τροφοδοσία (τροφοδοσίες) (power gating design technique). Τα τρανζίστορ αυτά έχουν υψηλότερη τάση κατωφλίου από τα υπόλοιπα στο σχεδιασμό με αποτέλεσμα όταν οδηγούνται σε μη αγώγιμη κατάσταση να μειώνουν εκθετικά το ρεύμα διαρροής του κυκλώματος. Το αρνητικό σε αυτή την τεχνική είναι πως ο χρόνος που απαιτείται για την επαναφορά του κυκλώματος σε κανονική λειτουργία είναι σχετικά μεγάλος (σε κύκλους ρολογιού), ενώ η γνώση της χρονικής στιγμής επαναφοράς δεν είναι πάντοτε εκ των προτέρων γνωστή. Επίσης, για την είσοδο σε κατάσταση ύπνου δαπανάται κάποια πρόσθετη ενέργεια η οποία θα πρέπει να αποσβεσθεί από το κέρδος που θα προκύψει. Συνεπώς, η εφαρμογή της τεχνικής έχει πρακτικό νόημα μόνο όταν ο χρόνος αδράνειας του κυκλώματος αντιστοιχεί σε μεγάλο αριθμό κύκλων ρολογιού. Ως εκ τούτου ο αριθμός των αδρανών περιόδων κατά τις οποίες ένα κύκλωμα τίθεται σε κατάσταση ύπνου είναι περιορισμένος (χρησιμοποιούνται μόνο εκείνες για τις οποίες υπάρχουν σοβαρές ενδείξεις ότι η διάρκεια τους θα ξεπεράσει ένα προκαθορισμένο όριο), με αποτέλεσμα να έχουμε σημαντικές ενεργειακές απώλειες.

Μια αποτελεσματική τεχνική για την μείωση αυτών των απωλειών είναι η δημιουργία ενδιάμεσων καταστάσεων ύπνου, όπου τα τρανζίστορ απομόνωσης («ύπνου») δεν οδηγούνται πλήρως στην αποκοπή. Παρόλο που η διαρροή σε αυτή την περίπτωση

είναι αυξημένη σε σχέση με την αρχική προσέγγιση, εξακολουθούμε να έχουμε μείωση της καταναλισκόμενης ενέργειας με ταυτόχρονη όμως μείωση του χρόνου επαναφοράς στην κανονική λειτουργία. Κατά αυτόν τον τρόπο, η ενεργοποίηση του μηχανισμού μπορεί να γίνει συχνότερα (δηλ. για αδρανείς περιόδους που ικανοποιούν λιγότερο αυστηρά χρονικά κριτήρια) αυξάνοντας το συνολικό ενεργειακό κέρδος. Ταυτόχρονα, ανάλογα με το χρόνο αδράνειας του κυκλώματος, αυτό μπορεί να περνά διαδοχικά από ελαφρύτερες καταστάσεις ύπνου, σε βαθύτερες ώστε να επιτευχθούν τα μέγιστα δυνατά ενεργειακά οφέλη.

Στην παρούσα εργασία προτείνεται μια τεχνική εισαγωγής ενδιάμεσων καταστάσεων ύπνου, με την πρόσθετη χρήση τρανζίστορ σε «συνδεσμολογία διόδου» μεταξύ του κυκλώματος και της τροφοδοσίας. Τα τρανζίστορ αυτά μετατρέπονται σε πλήρως λειτουργικά (πλήρως αγώγιμα) κατά την κανονική λειτουργία του κυκλώματος με την χρήση κατάλληλων διακοπών, έτσι ώστε η παρουσία τους να μην επιβαρύνει το κατασκευαστικό κόστος της τεχνικής. Η τεχνική εφαρμόστηκε σε κύκλωμα με 12,5 εκατομμύρια τρανζίστορ για την δημιουργία τριών καταστάσεων ύπνου. Σε κάθε μια από τις καταστάσεις, από την ελαφρύτερη στην βαθύτερη, επιτεύχθηκε μείωση της καταναλισκόμενης ενέργειας κατά 82%, 88% και 99,9% αντίστοιχα, με χρόνους επιστροφής στην κανονική λειτουργία για τις δύο πρώτες καταστάσεις που αντιστοιχούν στο 1/2 και στα 2/3 του χρόνου της βαθύτερης κατάστασης.

EXTENDED ABSTRACT IN ENGLISH

Katsikos, Panagiotis, MSc, Computer Science Department, University of Ioannina, Greece. July 2009. Static Low-Power Technique for Digital Integrated Circuits using Multiple Sleep Modes. Thesis Supervisor: Yiorgos Tsiatouhas.

Due to the continuous scaling of modern nanometer technologies, the static power consumption is one of the most important problems in the area of integrated circuit design. A main technique that is used to reduce static power consumption is to provide “sleep” states in the circuit operation when it is idle. This is achieved by inserting a transistor that isolates the circuit from its power supply (known as the power gating design technique). This transistor has a higher threshold voltage than the rest in the design, which means that when it is driven to the non-contacting state the leakage current of the circuit is exponentially decreased. The drawback of this approach is that the time required by the circuit to return to its normal mode of operation is relatively long (in clock cycles), while the knowledge of the reactivation time is not predefined at all. Also, some extra energy is spent by the circuit in order to enter a sleep state. This energy has to be taken into account in the calculations of the total energy reduction during the sleep states. Consequently, the application of this technique has practical meaning only when the idle time of the circuit occupies a relatively large number of clock cycles. Thus, the number of idle periods during which the circuit enters a sleep state is limited (these are the periods where strong indications exist that they are going to last more than a predefined amount of time), and as a result the energy consumption reductions are also limited.

An efficient technique to reduce those losses is to provide intermediate sleep states, where the isolation transistors are not set to be fully in the cut-off region. Although the leakage in those cases is increased, compared to the original technique, there are still reductions in the energy consumption, with a simultaneous decrease in the time required by the circuit to return to its normal mode. This way, the insertion of a sleep

state may be more frequent (using idle clock cycles that satisfy less strict time criteria) thus increasing the total energy reduction. In the same time, depending on the duration of the idle cycles, the circuit can pass from lighter to deeper sleep states, in order to achieve the maxim energy earnings.

In this thesis a technique that inserts intermediate sleep states for the reduction of the static power consumption is proposed. It is based on a reconfigurable topology that uses stacked “diode-connected” transistors between the circuit and the power supply in order to set the required voltage level at the virtual power node, exploiting the transistors threshold voltage. The reconfigurable topology provides the ability to set these transistors to be fully functional (fully conductive) during the circuit’s normal operation with the use of proper switches. Consequently, the manufacturing cost is drastically reduced. The technique has been applied in a circuit consisting of 12.5 million transistors to create three sleep states. In each of these states, from the lighter to the deeper one, the energy consumption was reduced by 82%, 88% and 99,9% respectively, while the time required by the circuit to return to the normal mode of operation from the two lighter sleep states was equal to $1/2$ and the $2/3$ of the time required by the third sleep state.

ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ

1.1 Στόχοι

1.2 Δομή της Διατριβής

1.3 Δυναμική κατανάλωση

1.4 Κατανάλωση Βραχυκυκλώματος

1.5 Στατική κατανάλωση

1.1. Στόχοι

Ο συνολικός στόχος της διατριβής είναι η μελέτη της στατικής κατανάλωσης των ηλεκτρονικών ολοκληρωμένων κυκλωμάτων και η ανάπτυξη μιας πρωτότυπης τεχνικής για την μείωση αυτής της κατανάλωσης. Για την επιβεβαίωση της τεχνικής αυτή έγιναν τα κατάλληλα πειράματα που αποδεικνύουν την ορθή λειτουργία της τεχνικής

1.2. Δομή της Διατριβής

Η διατριβή περιέχει 4 κεφάλαια: Το Κεφάλαιο 1 αναφέρεται στα τρία είδη κατανάλωσης ενέργειας που υπάρχουν στα ηλεκτρονικά ολοκληρωμένα κυκλώματα. Επίσης, αναλύονται οι μηχανισμοί που δημιουργούν την στατική κατανάλωση. Στο Κεφάλαιο 2 αναλύεται περαιτέρω η στατική κατανάλωση των ολοκληρωμένων κυκλωμάτων και παρουσιάζονται διάφορες τεχνικές που έχουν προταθεί για την μείωση της. Στο Κεφάλαιο 3 παρουσιάζεται και αναλύεται η Τεχνική Χαμηλής Στατικής Κατανάλωσης Ψηφιακών Ολοκληρωμένων Κυκλωμάτων Με την Εισαγωγή Πολλαπλών Καταστάσεων Ύπνου. Στο Κεφάλαιο 4 παρατίθενται τα πειράματα και τα πειραματικά αποτελέσματα της προτεινόμενης τεχνικής.

Ισχύς είναι ο ρυθμός που μια μορφή ενέργειας μετατρέπεται σε κάποια άλλη. Στην περίπτωση των κυκλωμάτων VLSI (Very Large Scale Integration), η ισχύς αναφέρεται στο ρυθμό με τον οποίο η ηλεκτρική ενέργεια μετατρέπεται σε θερμότητα (απώλεια), ή το ρυθμό με τον οποίο διοχετεύεται ενέργεια στο κύκλωμα από μια πηγή (κατανάλωση).

Υπάρχουν διάφοροι λόγοι για τους οποίους θέλουμε να μειώσουμε την συνολική ενέργεια που καταναλώνει ένα κύκλωμα. Μερικοί από αυτούς είναι οι ακόλουθοι:

Πρακτικοί λόγοι: Μείωση των απαιτήσεων σε ισχύ από φορητές συσκευές μικρού μεγέθους και βάρους που λειτουργούν με μπαταρίες (κινητά τηλέφωνα κλπ).

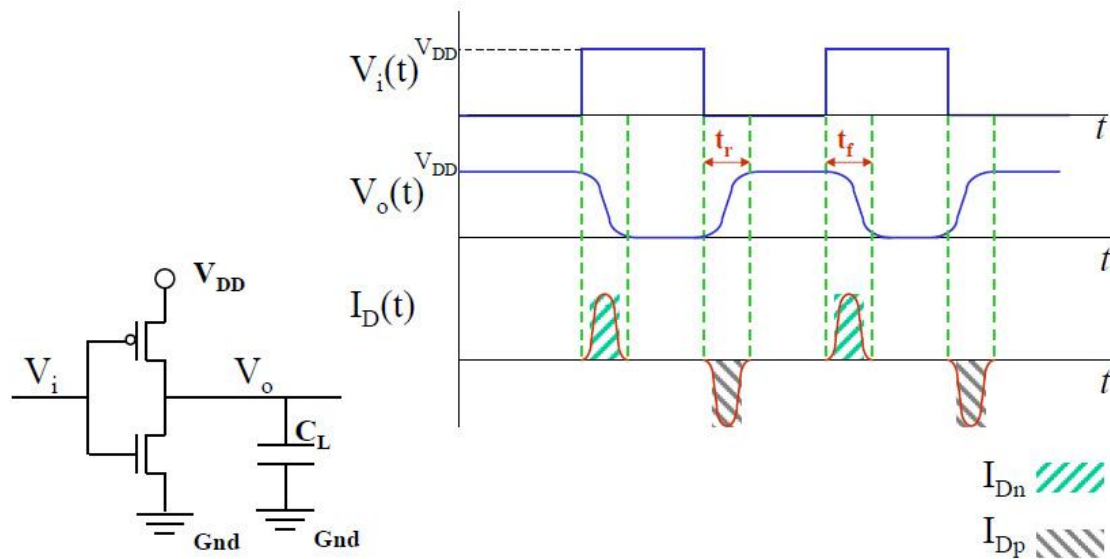
Οικονομικοί λόγοι: Η αύξηση πυκνότητας ολοκλήρωσης οδηγεί σε υψηλότερη απόδοση και συνεπώς μεγαλύτερη κατανάλωση ισχύος ανά ολοκληρωμένο κύκλωμα με αποτέλεσμα να αυξάνει υπερβολικά το κόστος πακεταρίσματος (packaging).

Τεχνολογικοί λόγοι: Η υπερβολική θερμότητα μειώνει την απόδοση και τη λειτουργικότητα των ολοκληρωμένων κυκλωμάτων.

Η κατανάλωση ενός ολοκληρωμένου κυκλώματος συνίσταται από τρεις επιμέρους καταναλώσεις. Αυτές είναι η δυναμική κατανάλωση, η κατανάλωση βραχυκυκλώματος και η στατική κατανάλωση.

1.3. Δυναμική κατανάλωση

Η δυναμική κατανάλωση αφορά την ενέργεια που καταναλώνεται κατά την διάρκεια λειτουργίας ενός κυκλώματος. Οφείλεται κυρίως στις φορτίσεις/αποφορτίσεις των εσωτερικών παρασιτικών χωρητικότητων του κυκλώματος. Στο Σχήμα 1.1, φαίνεται η κυματομορφή του ρεύματος μεταβατικής κατάστασης ενός αναστροφέα CMOS. Είναι φανερό, ότι το ρεύμα εμφανίζεται κατά τους χρόνους ανόδου ή πτώσης του σήματος εξόδου.



Σχήμα 1.1: Μεταβατική κατάσταση του αντιστροφέα CMOS

Εάν θεωρηθεί στη είσοδο του κυκλώματος τετραγωνική κυματομορφή συχνότητας f_p , η μέση δυναμική ισχύς που καταναλώνεται στον αναστροφέα κατά την διάρκεια των μεταβάσεων, δίνεται από την σχέση :

$$P_d = \frac{1}{t_p} \int_0^{t_p/2} I_{Dn} (V_{out}) dt + \frac{1}{t_p} \int_{t_p/2}^{t_p} I_{Dp} (V_{DD} - V_{out}) dt \quad \text{Εξ 1.1}$$

με I_{Dn} και I_{Dp} τα μεταβατικά ρεύματα των τρανζίστορ τύπου-n και p αντίστοιχα.

Θεωρώντας ότι το ρεύμα προέρχεται από την διαδικασία φόρτισης/αποφόρτισης του χωρητικού φορτίου C_L , ισχύει :

$$I_{Dn}(t) = C_L \frac{dV_{out}}{dt} \quad \text{Εξ 1.2}$$

Από τις εξισώσεις (1.1) και (1.2) έχουμε :

$$P_D = \frac{C_L}{t_p} \left[\int_0^{V_{DD}} V_{out} dV_{out} + \int_{V_{DD}}^0 (V_{DD} - V_{out}) d(V_{DD} - V_{out}) \right] = \frac{C_L V_{DD}^2}{t_p} \quad \text{Εξ 1.3}$$

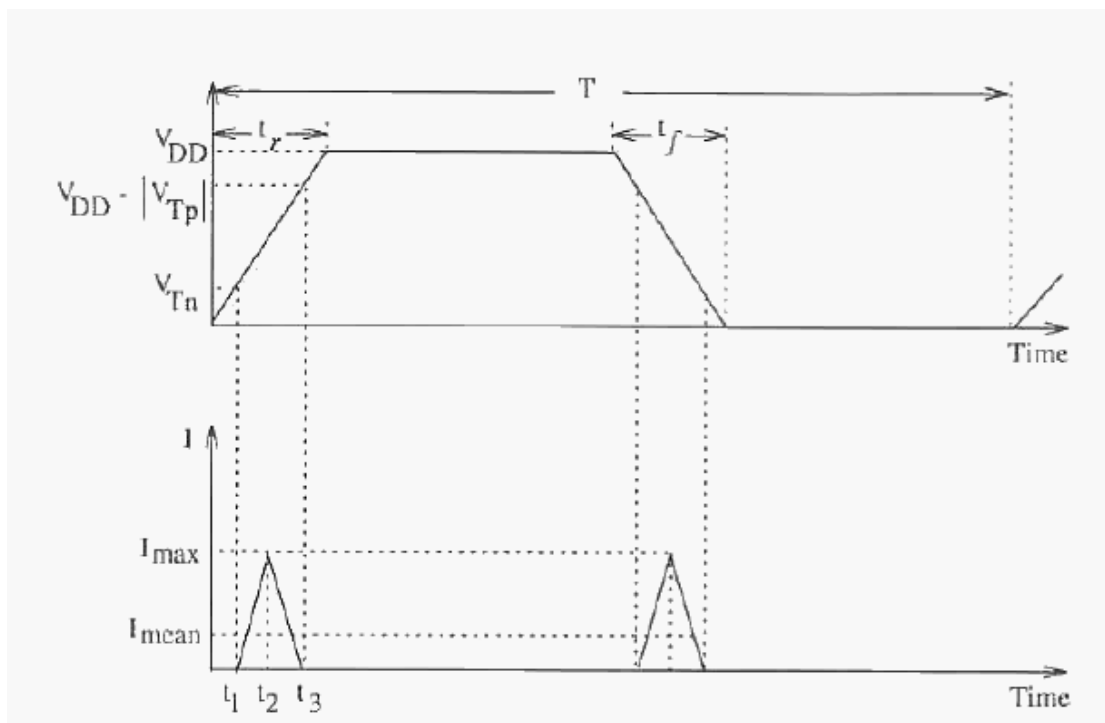
Από την Εξίσωση 1.3, είναι φανερό ότι η δυναμική κατανάλωση ισχύος, είναι ανάλογη της ενέργειας που απαιτείται για την φόρτιση/αποφόρτιση των χωρητικοτήτων του κυκλώματος, αλλά και ανάλογη της συχνότητας του εφαρμοζόμενου σήματος.

1.4. Κατανάλωση Βραχυκυκλώματος

Το δεύτερο φαινόμενο που συμβάλλει στην δυναμική κατανάλωση, είναι ο παλμός ρεύματος που εμφανίζεται στο σύντομο χρονικό διάστημα όπου και τα δύο τρανζίστορ του αναστροφέα άγουν κατά τη διάρκεια των μεταβάσεων του σήματος εισόδου της πύλης. Πρόκειται για ρεύμα βραχυκυκλώσεως μεταξύ V_{DD} και γης. Το ρεύμα αυτό εξαρτάται τόσο από το χωρητικό φορτίο, όσο και από τις γεωμετρικές διαστάσεις της πύλης. Εν γένει το φαινόμενο αυτό σε πρώτο επίπεδο μπορεί να αγνοηθεί σε σχέση με την κατανάλωση που προκύπτει από το ρεύμα φόρτισης/αποφόρτισης.

Κατά την διάρκεια της αλλαγής της τάσης της εξόδου του λογικού αναστροφέα από λογικό «1» σε λογικό «0» ή και αντίστροφα, υπάρχει μια πολύ μικρή χρονική περίοδος κατά την οποία τόσο το PMOS όσο και το NMOS τρανζίστορ είναι ταυτόχρονα σε αγώγιμη κατάσταση.

Για να γίνει πιο κατανοητή η κατανάλωση βραχυκυκλώματος, θα παρουσιάσουμε ένα παράδειγμα. Έστω ότι σε έναν αντιστροφέα χωρίς φορτίο έρχεται στην είσοδο του η ακόλουθη κυματομορφή του Σχήματος 1.2:



Σχήμα 1.2 Είσοδος και Ρεύμα Εξόδου για έναν Αντιστροφέα CMOS

Στο Σχήμα 1.2 παρατηρούμε το ρεύμα που ρέει από την τροφοδοσία V_{DD} προς την γη καθώς το PMOS τρανζίστορ και το NMOS τρανζίστορ είναι ταυτόχρονα σε αγώγιμη κατάσταση για ένα πολύ σύντομο χρονικό διάστημα.

Για μια μετάβαση από χαμηλό σε υψηλό δυναμικό στην είσοδο του αντιστροφέα, το NMOS θα αρχίσει να άγει όταν η τάση στην πύλη του, γίνει ίση με την τάση κατωφλίου του ($V_{in}=V_{th}$) και το PMOS θα σταματήσει να άγει όταν η τάση στην πύλη του, γίνει ίση με την τάση τροφοδοσίας μείον την απόλυτη τιμή της τάσης κατωφλίου του ($V_{in}=V_{DD}-|V_{tp}|$).

Το ρεύμα βραχυκυκλώσεως δίνεται από την παρακάτω έκφραση:

$$I_{mean} = 2 * \left[\frac{1}{T} \int_{t_1}^{t_2} I(t) dt + \frac{1}{T} \int_{t_z}^{t_s} I(t) dt \right] \quad \text{Εξ 1.4}$$

Θεωρώντας ότι $V_{tn} = -V_{tp}$, $\beta_n = \beta_p$ και ότι η συμπεριφορά είναι συμμετρική γύρω από το σημείο t_2 , ο παραπάνω τύπος γράφεται:

$$I_{mean} = 2 * \left[\frac{2}{T} \int_{t_1}^{t_2} \frac{\beta}{2} (V_{in}(t) - V_t)^2 \right] \quad \text{Εξ 1.5}$$

Με δεδομένο ότι:

$$V_{in}(t) = \frac{V_{DD}}{t_r} t \quad \text{Εξ 1.6}$$

$$t_1 = \frac{V_t}{V_{DD}} t_r \quad \text{Εξ 1.7}$$

$$t_2 = \frac{t_r}{2} \quad \text{Εξ 1.8}$$

$$t_r = t_f = t_{rf} \quad \text{οι χρόνοι ανόδου/καθόδου} \quad \text{Εξ 1.9}$$

Από τις παραπάνω σχέσεις έχουμε ότι η ισχύς βραχυκυκλώματος ενός αντιστροφέα χωρίς φορτίο δίνεται από την ακόλουθη σχέση:

$$P_{SC} = \frac{\beta}{12} (V_{DD} - 2V_t)^2 \frac{t_r}{L_p} \quad \text{Εξ 1.10}$$

όπου t_p είναι η περίοδος της κυματομορφής.

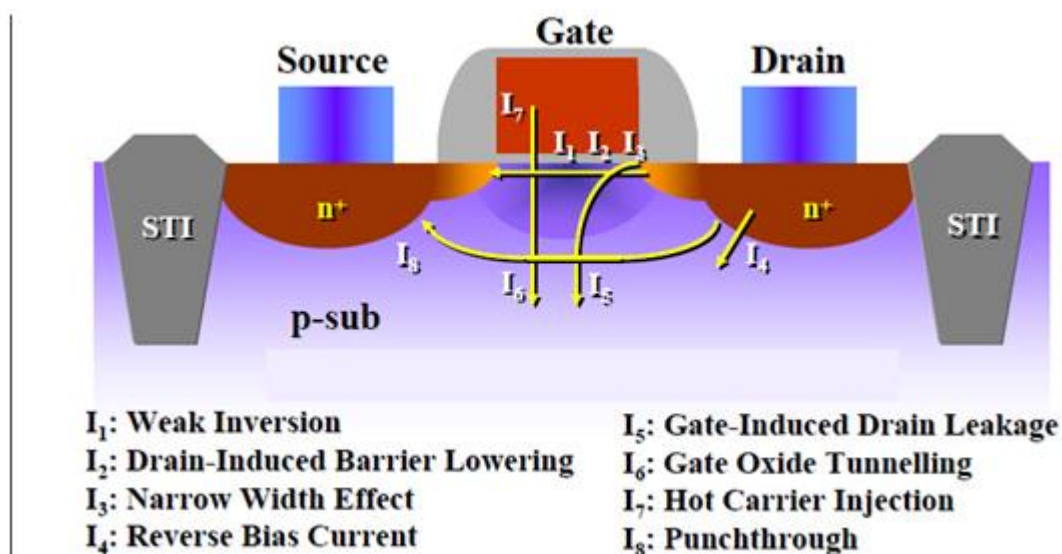
Παρατηρούμε ότι το ρεύμα βραχυκυκλώματος εξαρτάται από το β ($\beta = k_p \frac{W_{eff}}{L_{eff}}$) και από τους χρόνους ανόδου και καθόδου της κυματομορφής

εισόδου. Αυτές είναι και οι μόνες παράμετροι που μπορούν να ελεγχθούν κατά την σχεδίαση, για μια δεδομένη συχνότητα λειτουργίας. Επίσης βλέπουμε ότι υπάρχει έντονη εξάρτηση της ισχύος βραχυκυκλώματος από την τάση τροφοδοσίας του κυκλώματος. Όσο πιο απότομες είναι ακμές, τόσο πιο χαμηλή είναι η κατανάλωση βραχυκυκλώματος. Η παραπάνω ανάλυση έγινε για έναν αντιστροφέα χωρίς φορτίο. Για μια πύλη που έχει φορτίο στην έξοδο της, και με δεδομένο ότι τα σήματα εισόδου και εξόδου έχουν ίσους χρόνους ανόδου/καθόδου, η κατανάλωση βραχυκυκλώματος θα είναι μικρότερη από το 20% της συνολικής κατανάλωσης ισχύος.

1.5. Στατική κατανάλωση

Το τρίτο είδος κατανάλωσης που συναντάμε στα σύγχρονα ολοκληρωμένα κυκλώματα είναι η στατική κατανάλωση. Με την εξέλιξη της τεχνολογίας στην νανομετρική εποχή επήλθε και μείωση της τάσης τροφοδοσίας V_{DD} . Για να μην προκληθεί μείωση στις επιδόσεις του κυκλώματος, έγινε μείωση και στην τάση κατωφλίου (V_{th}) των τρανζίστορ. Συνεπώς η διαρροή ρεύματος υποκατωφλίου (subthreshold leakage current) αυξήθηκε εκθετικά, αφού εξαρτάται με εκθετικό τρόπο από την τάση κατωφλίου. Η στατική κατανάλωση εξαρτάται κυρίως από τις διαρροές ανάστροφης πόλωσης μεταξύ των περιοχών διάχυσης και υποστρώματος καθώς και εξαιτίας της αγωγιμότητας στην περιοχή υποκατωφλίου[1].

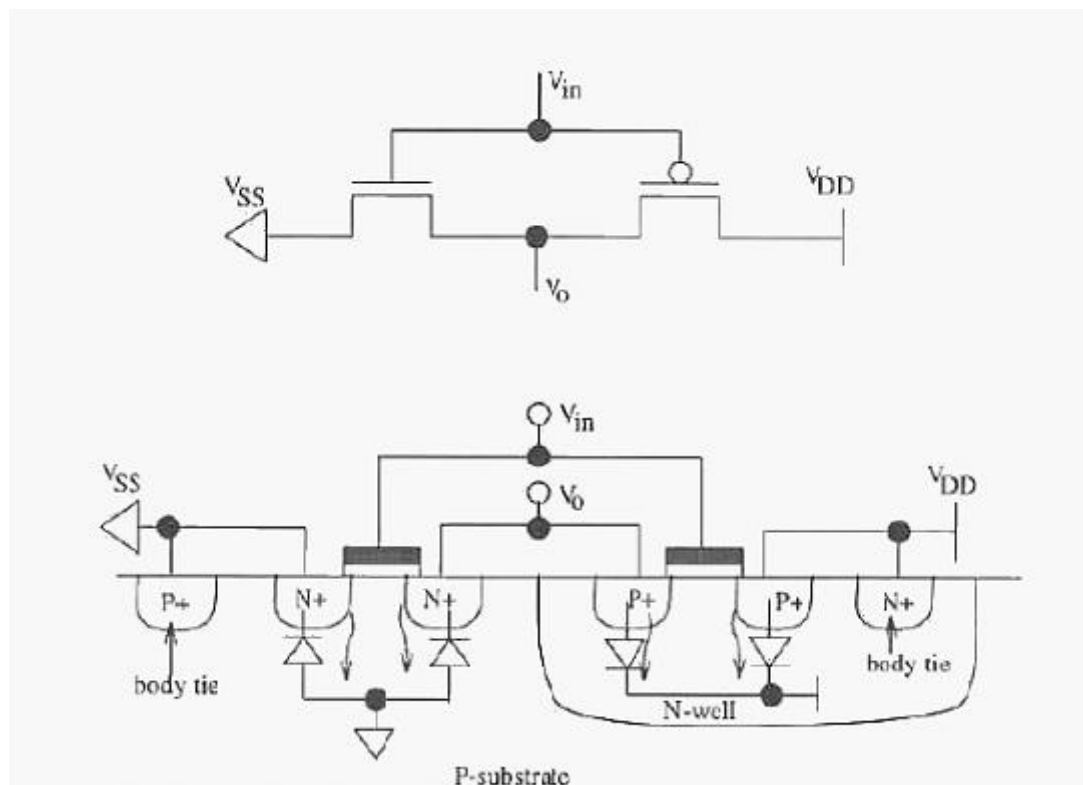
Πιο αναλυτικά, τα ρεύματα που συνεισφέρουν στην στατική κατανάλωση φαίνονται στο Σχήμα 1.3 που ακολουθεί:



Σχήμα 1.3 Μηχανισμοί δημιουργίας ρευμάτων διαρροής

Τα ρεύματα που είναι περισσότερο υπεύθυνα για την στατική κατανάλωση είναι: το ρεύμα Ασθενούς Αντιστροφής ή ρεύμα στην περιοχή υποκατωφλίου και τα ρεύματα DIBL (Drain-Induced Barrier Lowering) και GIBL (Gate-Induced Drain Leakage). Στις τεχνολογίες 90nm το μέγεθος του ρεύματος διαρροής λόγω φαινομένου σήραγγας στην πύλη (gate tunneling leakage, I_{gate}), σε ένα τρανζίστορ είναι συγκρίσιμο με το ρεύμα υποκατωφλίου I_{sub} , στη θερμοκρασία δωματίου. Για να έχουμε την πλήρη εικόνα της εξάρτησης της στατικής κατανάλωσης από την κάθε συνιστώσα της, θα μελετήσουμε το απλό μοντέλο του αντιστροφέα CMOS το οποίο περιλαμβάνει και τις παρασιτικές διόδους. Οι διόδοι αυτές δημιουργούνται από τις διαχύσεις πηγής-υποδοχής και τις διαχύσεις που βρίσκονται στο n-πηγάδι.

Το μοντέλο αυτό φαίνεται στο Σχήμα 1.4:



Σχήμα 1.4 Πλήρες Μοντέλο του CMOS Αντιστροφέα

Στο παραπάνω μοντέλο φαίνεται μια ακόμα παρασιτική διάδος, αυτή που βρίσκεται ανάμεσα στο n-πηγάδι και στο υπόστρωμα. Επειδή όλες οι παρασιτικές διόδοι είναι ανάστροφα πολωμένες, μόνο το ρεύμα διαρροής συνεισφέρει στην στατική κατανάλωση.

Στον αναστροφέα CMOS, στην ηρεμία, δεν υπάρχει χρονική στιγμή κατά την οποία και τα δύο τρανζίστορ να άγουν. Έτσι δεν υπάρχει μονοπάτι ρεύματος dc από την τροφοδοσία V_{DD} στη γη. Δηλαδή το ρεύμα ηρεμίας είναι θεωρητικά μηδέν και επομένως η αντίστοιχη ισχύς θα πρέπει να είναι μηδέν.

1.5.1. Ρεύμα διαρροής

Η εξίσωση που περιγράφει το ρεύμα διαρροής της διόδου είναι η εξής:

$$I_0 = I_s \left(e^{\frac{qV}{kT}} - 1 \right) \quad \text{Εξ 1.11}$$

όπου:

I_s = ανάστροφο ρεύμα κόρου

V = τάση διόδου

q = φορτίο ηλεκτρονίου (1.602×10^{-19} C)

k = σταθερά του Boltzman (1.38×10^{-23} J/K)

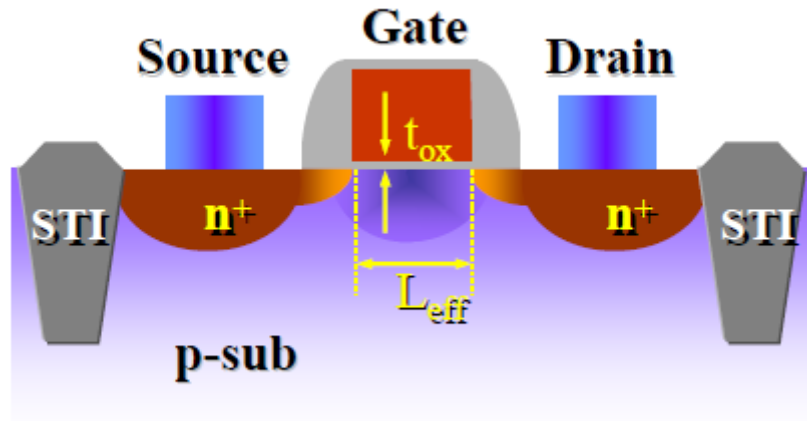
T = Θερμοκρασία (Kelvin)

Το I_s αυξάνει με την θερμοκρασία. Για ένα κύκλωμα, το οποίο αποτελείται από n στοιχεία, η συνολική στατική κατανάλωση δίνεται από την σχέση:

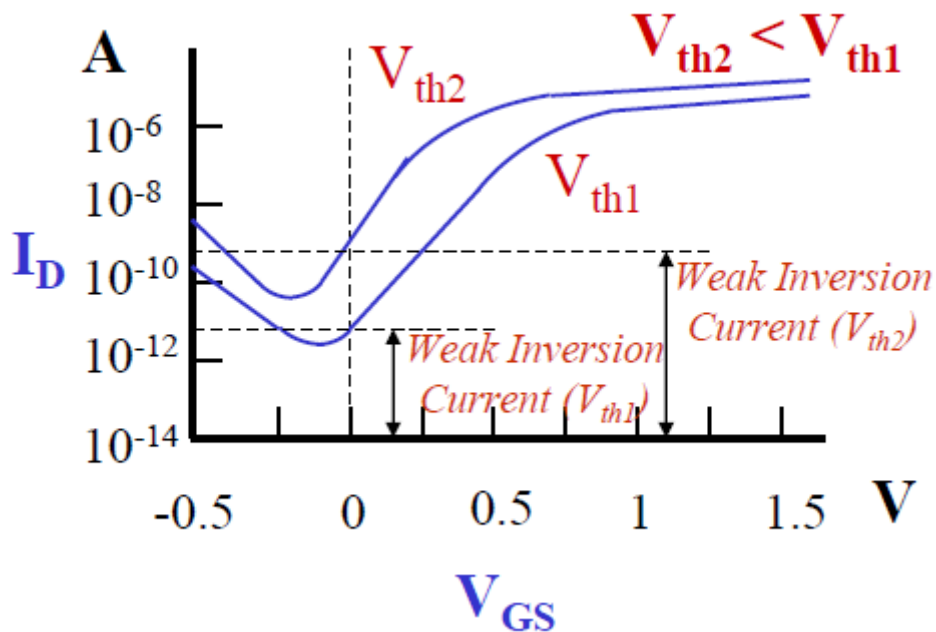
$$P_s = \sum_1^n \text{ρεύμα διαρροής} * \text{τάση τροφοδοσίας} \quad \text{Εξ 1.12}$$

Στις σημερινές τεχνολογίες η στατική κατανάλωση παίζει όλο και πιο σημαντικό ρόλο ως ποσοστό στην συνολική κατανάλωση ισχύος ενός κυκλώματος.

1.5.2. Ρεύμα στην περιοχή υποκατωφλίου ή Ρεύμα ασθενούς Αναστροφής



Σχήμα 1.5 Το Ρεύμα Ασθενούς Αναστροφής Ρέει στην Περιοχή Κάτω από την Πύλη



Σχήμα 1.6 Εξάρτηση του Ρεύματος Ασθενούς Αναστροφής από την Τάση Κατωφλίου (V_t) και την τάση V_{GS}

Για τιμές της V_{GS} μικρότερες αλλά κοντά στην τάση κατωφλίου ρέει ένα μικρό ρεύμα ανάμεσα στην υποδοχή (Drain) και την πηγή (Source) του τρανζίστορ (βλ Σχήμα 1.5). Στην περιοχή αυτή, που ονομάζεται περιοχή υποκατωφλίου, το ρεύμα υποδοχής εξαρτάται εκθετικά από την τάση V_{GS} και την τάση κατωφλίου του τρανζίστορ (βλ Σχήμα 1.6).

Συγκεκριμένα, όταν η τάση της πύλης πέσει κάτω από την τάση κατωφλίου, στην λεγόμενη περιοχή ασθενούς αντιστροφής (weak-inversion), η πυκνότητα των

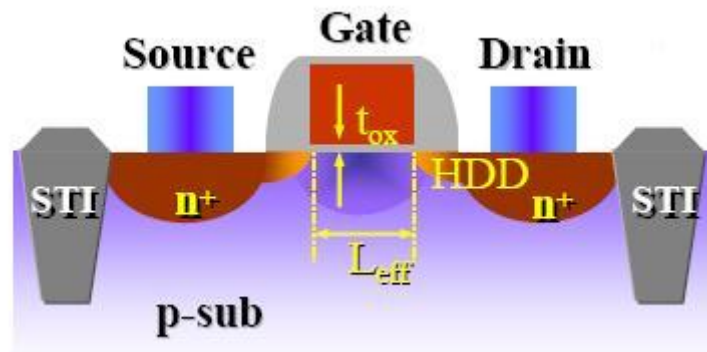
ηλεκτρονίων μειώνεται σε μια μικρή αλλά υπάρχουσα ποσότητα, η οποία εξαρτάται εκθετικά από διαφορά τάσης $V_{GS}-V_t$. Συνεπώς, ακόμα και όταν το τρανζίστορ είναι σε μη αγώγιμη κατάσταση, ένα μικρό ρεύμα I_{off} , που ουσιαστικά είναι ρεύμα διάχυσης, ρέει από την υποδοχή προς την πηγή όταν $V_{DS} \neq 0$. Το ρεύμα αυτό λέγεται ρεύμα υποκατωφλίου (I_{sub}) και δίνεται από τη σχέση:

$$I_{off} = \mu C_{ox} \frac{W_{eff}}{L_{eff}} e^{\frac{V_{GS}-V_t}{nV_T}} \quad \text{Εξ 1.13}$$

Η ποσότητα της τάσης που απαιτείται για να αλλάξει η τιμή του I_{off} κατά μια δεκάδα είναι $\Delta V = S = nU_T \ln(10)$.

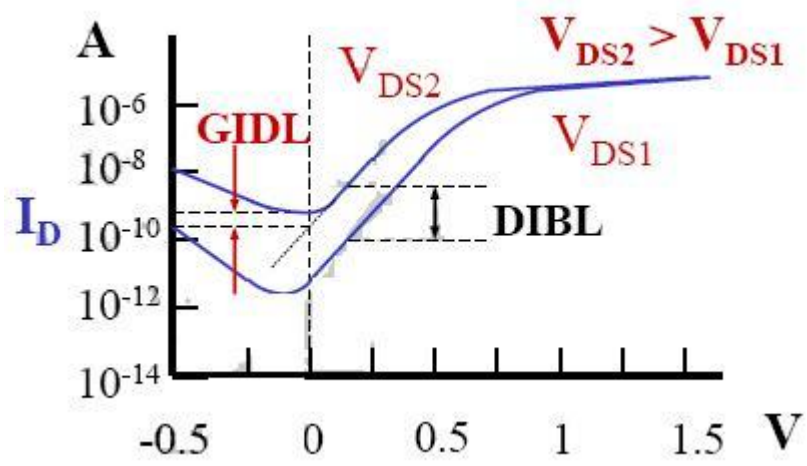
1.5.3. Ρεύματα DIBL και GIDL

1) Το ρεύμα DIBL εμφανίζεται με την αύξηση της τάσης στην υποδοχή που οδηγεί σε διεύρυνση της αντίστοιχης περιοχής απογύμνωσης (βλ. Σχήμα 1.7). Έτσι, η υποδοχή αλληλεπιδρά με την πηγή μειώνοντας το φράγμα δυναμικού της. Συνεπώς, η τιμή της τάσης κατωφλίου μειώνεται σύμφωνα με τον παρακάτω τύπο: $V_{th} = V_{th,0} - mV_{DS}$.



Σχήμα 1.7 Διεύρυνση της περιοχής απογύμνωσης.

2) Το ρεύμα GIDL οφείλεται στο υψηλό ηλεκτρικό πεδίο κάτω από την περιοχή επικάλυψης πύλης-υποδοχής κατά το πλάτος του καναλιού. Στο Σχήμα 1.8 φαίνονται τα ρεύματα DIBL και GIDL όταν μεταβάλλεται το ρεύμα της υποδοχής I_D συναρτήσει της V_{GS} .



Σχήμα 1.8 Τα ρεύματα DIBL και GIDL

ΚΕΦΑΛΑΙΟ 2. ΜΕΛΕΤΗ ΤΗΣ ΣΤΑΤΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΣΤΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

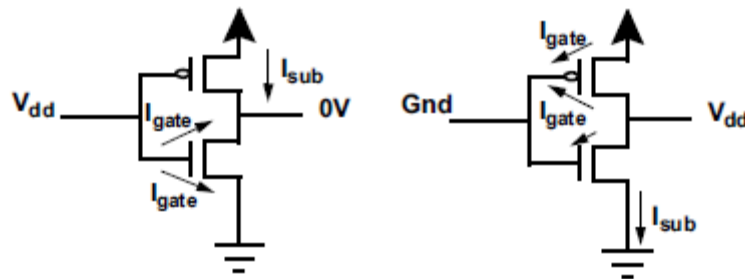
-
- 2.1 Ανάλυση και Χαρακτηριστικά των Ρευμάτων Διαρροής
 - 2.2 Τεχνικές μείωσης της στατικής κατανάλωσης
 - 2.3 Τεχνικές πολλαπλών καταστάσεων ύπνου
 - 2.4 Χρήση Μιας Ενδιάμεσης Κατάστασης ύπνου
 - 2.5 Χρήση Δυο Ενδιάμεσων Καταστάσεων Ύπνου
-

2.1. Ανάλυση και Χαρακτηριστικά των Ρευμάτων Διαρροής

Για την περαιτέρω μελέτη της στατικής κατανάλωσης θα δούμε αναλυτικά τα μοντέλα ρευμάτων διαρροής στις λογικές πύλες CMOS.

2.1.1. Ρεύμα διαρροής οξειδίου πύλης των τρανζίστορ

Η συνολική διαρροή ρεύματος πύλης των τρανζίστορ ενός λογικού κυκλώματος καθορίζεται με βάση τις τιμές στις εισόδους της πύλης, όπως δείχνεται για τον αντιστροφέα του Σχήματος 2.1.



Σχήμα 2.1: Ρεύμα διαρροής οξειδίου πύλης NMOS τρανζίστορ σε αντιστροφή

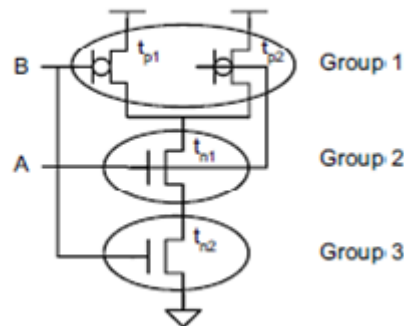
Το μέγιστο ρεύμα σήραγγος της πύλης (gate tunneling current) εμφανίζεται όταν η είσοδος είναι σε τάση V_{DD} και $V_S = V_D = 0V$ για το NMOS τρανζίστορ. Σε αυτήν την περίπτωση, $V_{GS} = V_{GD} = V_{DD}$ και το ρεύμα I_{gate} έχει την μέγιστη τιμή του. Συγχρόνως, το PMOS τρανζίστορ παρουσιάζει ρεύμα διαρροής υποκατωφλίου. Όταν η είσοδος είναι στο GND, η έξοδος πάει σε τάση V_{DD} και η τάση $V_{GS} = 0V$, ενώ η τάση $V_{GD} = -V_{DD}$ για το NMOS τρανζίστορ, με συνέπεια την εμφάνιση ενός αντίστροφου ρεύματος σήραγγος από την υποδοχή στον κόμβο της πύλης.

Σε αυτήν την περίπτωση, το φαινόμενο σήραγγος περιορίζεται στην περιοχή ανάμεσα στην πύλη και στην υποδοχή, η οποία είναι πολύ μικρότερη από την περιοχή καναλιού. Συνεπώς το αντίστροφο ρεύμα σήραγγος είναι πολύ μικρότερο σε σχέση με το κανονικό ρεύμα σήραγγος [2].

Όταν η τάση εισόδου είναι GND, το PMOS τρανζίστορ διαρρέεται από ένα ρεύμα από το κανάλι προς την πύλη του, αφού ισχύει $V_{GS} = V_{GD} = -V_{DD}$. Η σχετική αύξηση του ρεύματος πύλης του PMOS σε σύγκριση με το ρεύμα πύλης του NMOS διαφέρει για τις διαφορετικές τεχνολογίες κατασκευής. Εάν χρησιμοποιείται τυποποιημένο SiO_2 ως οξείδιο-πύλης, τότε το ρεύμα πύλης (I_{gate}) του PMOS είναι μια τάξη μεγέθους μικρότερο από το ρεύμα του NMOS, για πανομοιότυπα T_{ox} και V_{DD} [3][4]. Αυτό οφείλεται στην πολύ υψηλότερη ενέργεια που απαιτείται για το φαινόμενο σήραγγος για τις οπές μέσω του SiO_2 , σε σύγκριση με το αντίστοιχο φαινόμενο για τα ηλεκτρόνια. Εντούτοις, σε εναλλακτικά διηλεκτρικά υλικά, η ενέργεια που απαιτείται για το ηλεκτρόνιο και για τις οπές μπορούν να είναι εντελώς διαφορετική. Στην περίπτωση των νιτρικών οξειδίων για την πύλη, που χρησιμοποιούνται σήμερα σε μερικές διαδικασίες παραγωγής, το I_{gate} του PMOS μπορεί να υπερβεί το I_{gate} του NMOS για υψηλότερες συγκεντρώσεις αζώτου [5][6].

2.1.2. Ρεύμα διαρροής υποκατωφλίου

Με δεδομένη την εξάρτηση του ρεύματος διαρροής υποκατωφλίου από την τάση κατωφλίου σύμφωνα με την Εξίσωση 1.13, ας σκεφτούμε την διαρροή και τις επιδόσεις μιας απλής πύλης NAND δύο εισόδων (βλ. Σχήμα 2.2)



Σχήμα 2.2. Σχεδιάγραμμα των Ομάδων σε μια NAND2 Πύλη

Για μια δεδομένη είσοδο, μόνο τα τρανζίστορ που είναι σε μη αγώγιμη κατάσταση χρειάζεται να έχουν υψηλή τάση κατωφλίου (υψηλού- V_t), καθώς τα τρανζίστορ που είναι σε αγώγιμη κατάσταση δεν έχουν διαρροές. Παραδείγματος χάριν, για την είσοδο $AB = 01$, μόνο το τρανζίστορ t_{n1} χρειάζεται να είναι υψηλού- V_t . Αν κάνουμε όλα τα τρανζίστορ υψηλού- V_t , το μόνο αποτέλεσμα που θα έχουμε είναι η συνολική μείωση της απόδοσης της πύλης, με καμία μείωση του ρεύματος διαρροής. Σε άλλη περίπτωση, αν η είσοδος είναι 11 τότε πρέπει και το t_{p1} και το t_{p2} τρανζίστορ πρέπει να έχουν υψηλό- V_t .

Μπορούμε να χωρίσουμε τα τρανζίστορ στις αποκαλούμενες V_t -ομάδες, που αντιστοιχούν στα ελάχιστα σύνολα τρανζίστορ που πρέπει να τεθούν σε υψηλό- V_t για να μειωθεί η διαρροή για μια συγκεκριμένη κατάσταση του κυκλώματος. Για τη NAND πύλη 2-εισόδων οι V_t -ομάδες παρουσιάζονται στο Σχήμα 2.2, όπου φαίνεται πως υπάρχουν συνολικά τρεις V_t -ομάδες. Η έννοια των V_t -ομάδων μπορεί εύκολα να εφαρμοστεί και σε πιο περίπλοκες δομές, όπου σ' αυτή την περίπτωση μπορεί να είναι δυνατόν ένα τρανζίστορ να ανήκει σε περισσότερες της μιας V_t -ομάδας. Είναι σαφές ότι μπορούμε να περιοριστούμε με το να ρυθμίζουμε μόνο ολόκληρες V_t -ομάδες είτε σε υψηλό είτε σε χαμηλό- V_t .

Με την θεώρηση μόνο των V_t -ομάδων, αντί των μεμονωμένων τρανζίστορ, μειώνεται σημαντικά ο αριθμός των πιθανών αναθέσεων τιμών τάσης κατωφλίου σε τρανζίστορ καθώς και η πολυπλοκότητα της βελτιστοποίησης.

Στον Πίνακα 2.1, παρουσιάζουμε το ρεύμα διαρροής για τη NAND πύλη 2-εισόδων του Σχήματος 2.2 για διαφορετικούς συνδυασμούς στις εισόδους και διαφορετικές αναθέσεις V_t -ομάδων.

Πίνακας 2.1: Ρεύμα διαρροής πύλης NAND 2-εισόδων

Input State	Assigned Group	Leakage current [pA]		
		with Group Assign.	with All High V_t	with All Low V_t
00	2	24.9	7.2	286.7
	3	9.8		
	2 and 3	7.2		
01	2	26.6	26.6	1054.0
10	3	25.7	24.4	922.6
11	1	14.2	14.2	357.2

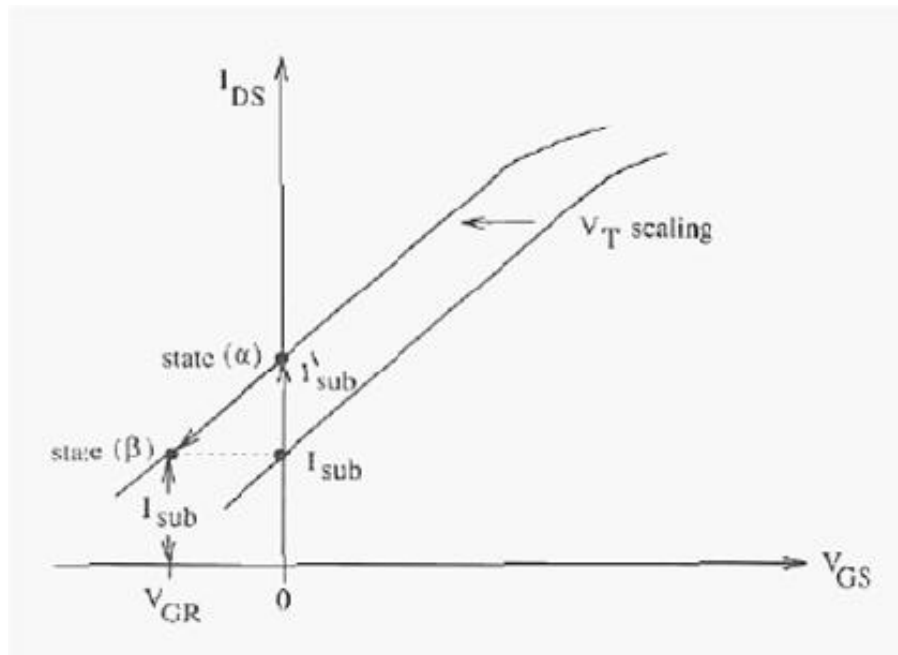
Η στήλη 3 παρουσιάζει το ρεύμα διαρροής όταν χρησιμοποιούμε υψηλό- V_t για μια ή περισσότερες V_t -ομάδες, οι οποίες είναι σε μη-αγώγιμη κατάσταση σε μια συγκεκριμένη κατάσταση του κυκλώματος. Στις στήλες 4 και 5 φαίνεται το ρεύμα διαρροής όταν όλα τα τρανζίστορ είναι υψηλού- V_t και χαμηλού- V_t αντίστοιχα.

2.2. Τεχνικές μείωσης της στατικής κατανάλωσης

Ακολούθως θα αναφερθούμε στις διάφορες τεχνικές που έχουν προταθεί για την αντιμετώπιση της στατικής κατανάλωσης.

2.2.1. Χρήση Ανάστροφης V_{GS}

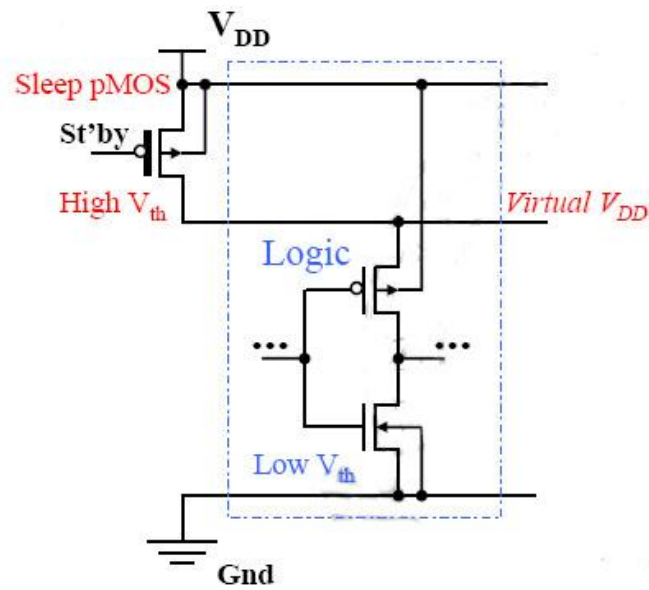
Η πρώτη τεχνική που θα παρουσιαστεί είναι βασισμένη στην αρχή της ανάστροφης πόλωσης της τάσης V_{GS} των τρανζίστορ MOS (στην περίπτωση μας του NMOS τρανζίστορ) στην κατάσταση αναμονής (standby), όπως φαίνεται στο Σχήμα 2.3. Με $V_{GS} = V_{GR}$, όπου η V_{GR} είναι αρνητική, το ρεύμα Ασθενούς Αναστροφής (I_{off} ή I_{sub}) στην κατάσταση αναμονής ή «ύπνου» του κυκλώματος μειώνεται και από την κατάσταση α πάει στην κατάσταση β , με αποτέλεσμα τη μείωση της στατικής κατανάλωσης.



Σχήμα 2.3 Μείωση του Ρεύματος Υποκατωφλίου με Χρήση Ανάστροφης V_{GS}

2.2.2. Χρήση τρανζίστορ υψηλού- V_t

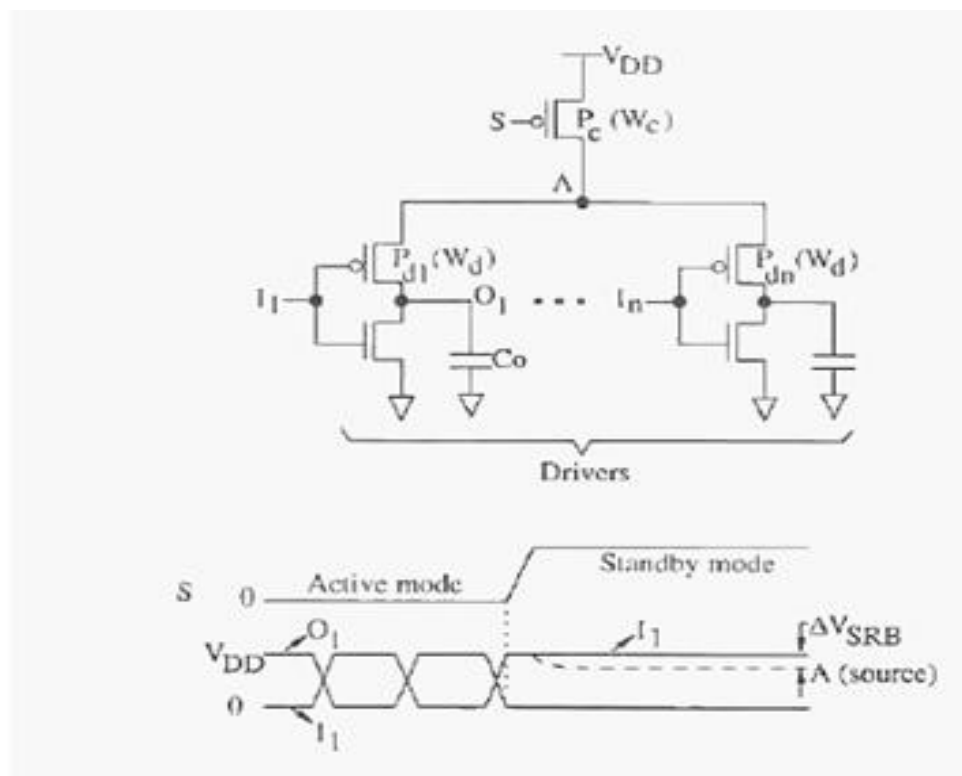
Υπάρχει η δυνατότητα, όταν γίνεται χρήση της τεχνολογίας διπλού- V_t , να μπορεί χρησιμοποιηθεί ένα επιπλέον τρανζίστορ με υψηλή τάση κατωφλίου για την μείωση της στατικής κατανάλωσης. Η τεχνική αυτή εφαρμόζεται ως εξής (βλ. Σχήμα 2.4): ένα υψηλού- V_t τρανζίστορ (sleep τρανζίστορ) παρεμβάλλεται μεταξύ της τροφοδοσίας και του λογικού κυκλώματος. Σε κατάσταση ύπνου, αυτό το τρανζίστορ βρίσκεται σε μη-αγώγιμη κατάσταση και επειδή έχει υψηλό V_t μειώνει δραστικά τα ρεύματα διαρροής. Εντούτοις, η μέθοδος απαιτεί ένα πρόσθετο σύνολο γραμμών παροχής τροφοδοσίας στο σχέδιο του κυκλώματος καθώς επίσης και ένα ουσιαστικά μεγάλου μεγέθους sleep τρανζίστορ για να διατηρήσει την σωστή τροφοδοσία και τις επιδόσεις του κυκλώματος [8]. Επίσης, αν απαιτείται, μπορούν να χρησιμοποιηθούν ειδικοί μανδαλωτές που διατηρούν την κατάσταση του κυκλώματος στην κατάσταση ύπνου ώστε να μην χαθούν τα δεδομένα [9].



Σχήμα 2.4 Χρήση PMOS Τρανζίστορ με Υψηλότερη Τάση Κατωφλίου

2.2.3. Αυτό-ανάστροφη πόλωση

Μια παραλλαγή της προηγούμενης τεχνικής είναι η αυτό-ανάστροφη πόλωση κατά την κατάσταση αναμονής κυκλωμάτων οδήγησης [53].



Σχήμα 2.5 Μείωση του Ρεύματος Υποκατωφλίου με την Χρήση της Αυτό-ανάστροφης Πόλωσης

Η τεχνική απαιτεί και πάλι την παρεμβολή ένα PMOS τρανζίστορ (P_c) μεγέθους W_c μεταξύ της τάσης τροφοδοσίας V_{DD} και του κόμβου κοινής πηγής A των PMOS τρανζίστορ των οδηγών, όπως φαίνεται στο Σχήμα 2.5. Ο αριθμός των οδηγών μπορεί να είναι μεταξύ μερικών εκατοντάδων και μερικών χιλιάδων. Τα NMOS τρανζίστορ στους οδηγούς έχουν χαμηλή τάση κατωφλίου $|V_{th}|$ (π.χ. 0,1 V). Το PMOS τρανζίστορ P_c έχει τάση κατωφλίου $|V_{tc}|$ η οποία είναι ελαφρώς υψηλότερη από την τάση κατωφλίου $|V_{td}|$ των υπολοίπων PMOS τρανζίστορ (π.χ. 0,2V ~ 0,4V).

Στην ενεργή ή κανονική κατάσταση λειτουργίας (active mode), η είσοδος S είναι σε χαμηλή στάθμη και το PMOS τρανζίστορ P_c είναι σε αγώγιμη κατάσταση. Για να μην έχει το PMOS τρανζίστορ P_c επιπτώσεις στο ρεύμα οδήγησης των οδηγών, το μέγεθός του W_c πρέπει να είναι μεγαλύτερο από το μέγεθος W_d των υπολοίπων PMOS τρανζίστορ, κατά ποσοστό που εξαρτάται από την χωρητικότητα της κοινής πηγής, η οποία είναι εξαιρετικά μεγάλη για μεγάλο αριθμό οδηγών (n). Στην κατάσταση ύπνου, η είσοδος S είναι σε υψηλή στάθμη και το PMOS τρανζίστορ P_c είναι σε μη-αγώγιμη κατάσταση. Οι είσοδοι σε όλους τους οδηγούς τίθενται σε υψηλή στάθμη (V_{DD}). Χωρίς το PMOS τρανζίστορ P_c , το συνολικό ρεύμα υποκατωφλίου θα ήταν n φορές το ρεύμα του κάθε οδηγού. Αυτό θα έκανε το συνολικό ρεύμα να είναι πολύ μεγάλο. Η προσθήκη του P_c μειώνει το ρεύμα υποκατωφλίου όπως νωρίτερα εξ αιτίας του υψηλού- V_t αλλά και εξ αιτίας του ότι η τάση του κόμβου A κοινής πηγής μειώνεται κατά ένα ποσό ΔV_{SRB} (μερικές εκατοντάδες mV). Αυτό επιβάλλει στα PMOS τρανζίστορ όλων των οδηγών να αυτό-πολώσουν ανάστροφα την τάση πύλης-πηγής (self-reverse-biased gate-source voltage), γεγονός που συνολικά μειώνει δραστικά το ρεύμα υποκατωφλίου τους. Ο χρόνος που απαιτείται ώστε να σταθεροποιηθεί ο κόμβος σε τάση $V_{DD} - \Delta V_{SRB}$ (ή ο χρόνος που απαιτείται για να μεταβεί από την ενεργό στην κατάσταση αναμονής) καλείται χρόνος μετεξέλιξης (evolution time) και μπορεί να είναι πολύ υψηλός (της τάξης του 1ms) συγκρινόμενος με την καθυστέρηση του οδηγού. Ο λόγος είναι ότι μόνο η διαρροή από τα ρεύματα υποκατωφλίου αποφορτίζουν τον κόμβο A σε αυτήν την κατάσταση λειτουργίας. Αυτή η περίοδος μπορεί να είναι άνευ σημασίας σε εάν ο χρόνος που το κύκλωμα βρίσκεται σε κατάσταση ύπνου είναι αρκετά μεγάλος, όπως στην περίπτωση πολλών εφαρμογών χαμηλής ισχύος.

Όταν η είσοδος S είναι τοποθετημένη σε χαμηλή στάθμη (ενεργή κατάσταση λειτουργίας), ο απαιτημένος χρόνος για την κοινή πηγή A για να ανακτήσει την τάση

της (να ανέβει σχεδόν σε V_{DD}) είναι πάρα πολύ μικρός και μπορεί να είναι μικρότερος από το χρόνο καθυστέρησης. Ως εκ τούτου, δεν επηρεάζει την έναρξη της κανονικής λειτουργίας.

Ας δούμε τώρα τις τρέχουσες εξισώσεις για το ρεύμα υποκατωφλίου, πριν και μετά από την εφαρμογή αυτής της τεχνικής. Το συνολικό ρεύμα υποκατωφλίου χωρίς την αυτό-ανάστροφη πόλωση δίνεται από τον τύπο:

$$I_{sub1} = nI_0 \frac{W_d}{W_0} e^{\frac{-|V_{td}|}{S/\ln 10}} \quad \text{Εξ 2.1}$$

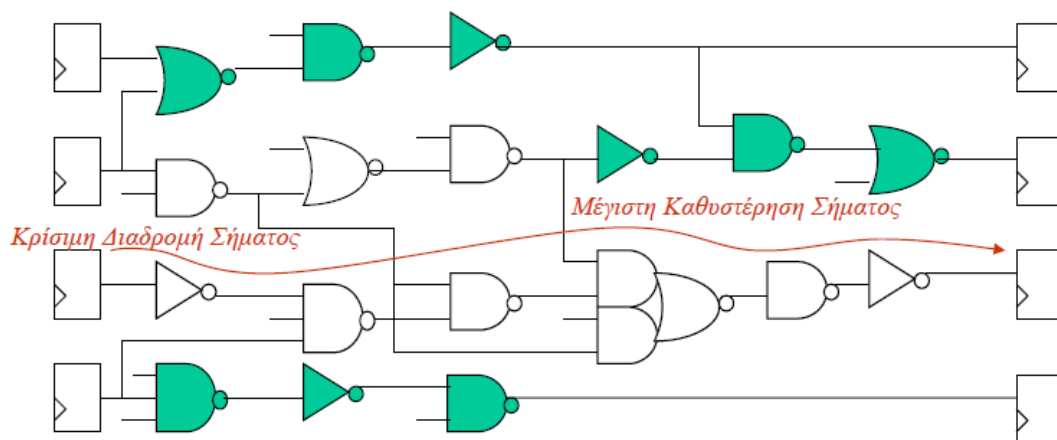
Με την παρουσία του PMOS τρανζίστορ P_c , το ρεύμα δίνεται από τον τύπο:

$$I_{sub2} = I_0 \frac{W_c}{W_0} e^{\frac{-|V_{td}|}{S/\ln 10}} \quad \text{Εξ 2.2}$$

Υποθέτουμε ότι τα τρανζίστορ έχουν τα ίδια l_0 , W_0 και S . Με μια απλή διαίρεση των παραπάνω εξισώσεων (2.1) και (2.2), έχουμε για το ρεύμα υποκατωφλίου, έναν παράγοντα μείωσης γ , οποίος δίνεται από τον τύπο:

$$\gamma = \frac{I_{sub1}}{I_{sub2}} = n \frac{W_d}{W_c} e^{\frac{(V_{tc}-|V_{td}|)}{S/\ln 10}} \quad \text{Εξ 2.3}$$

Για παράδειγμα για $n=512$, $W_c=10W_d$ (με αυτή την αναλογία η ταχύτητα δεν επηρεάζεται), $V_{tc}=0.3V$, $V_{td}=0.1V$ και $S = 90 \text{ mV/decade}$, ο παράγοντας ισούται με $\gamma = 8.5 \times 10^3$. Συνεπώς, η εξοικονόμηση, στο ρεύμα υποκατωφλίου, είναι σημαντική. Να σημειωθεί ότι αυτή η τεχνική απαιτεί η τεχνολογία να υποστηρίζει πολλαπλές τάσεις κατωφλίου.



Σχήμα 2.6 Χρήση Τρανζίστορ με Υψηλό- V_t (λευκά) στο Κρίσιμο Μονοπάτι και με Χαμηλό- V_t (σκιασμένα) αλλού

2.2.4. Εναλλακτική χρήση πολλαπλών V_t

Μια άλλη προσέγγιση για τη μείωση της διαρροής που στοχεύει μόνο στην διαρροή υποκατωφλίου χρησιμοποιεί διακριτές και ανεξάρτητες τάσεις κατωφλίου για τα τρανζίστορ σε μια τεχνική διπλού- V_t [17]-[20]. Σε αυτή την τεχνική, αξιοποιείται το trade-off μεταξύ των τρανζίστορ υψηλού- V_t , τα οποία έχουν χαμηλή κατανάλωση αλλά και χαμηλές επιδόσεις, και των τρανζίστορ με χαμηλή τάση κατωφλίου και αντίστοιχα υψηλές επιδόσεις και υψηλή κατανάλωση. Στα μη κρίσιμα μονοπάτια τοποθετούνται τρανζίστορ υψηλού- V_t , ενώ στα κρίσιμα μονοπάτια των κυκλωμάτων μπαίνουν τα τρανζίστορ που έχουν χαμηλό- V_t (βλ Σχήμα 2.5). Η μέθοδος επομένως παρέχει ένα trade-off μεταξύ της μείωσης της απόδοσης και της διαρροής του κυκλώματος.

Τα πειράματα που έγιναν, έδειξαν ότι με μια μέτρια μείωση στην απόδοση της τάξης του 5–10%, η διαρροή είχε σημαντική μείωση, περίπου 3-4 φορές, σε σύγκριση με ένα κύκλωμα το οποίο έχει μόνο τρανζίστορ χαμηλού- V_t [19]. Σε αυτές τις προσεγγίσεις, οι αναθέσεις για το υψηλό/χαμηλό- V_t εκτελούνται χωρίς γνώση για τις καταστάσεις του κυκλώματος. Επομένως, προκειμένου να ληφθεί η ικανοποιητική μείωση της διαρροής σε όλες τις πιθανές καταστάσεις του κυκλώματος, όλα ή τα περισσότερα από τα τρανζίστορ σε μια συγκεκριμένη πύλη πρέπει να τεθούν σε υψηλό- V_t , και ως εκ τούτου η πύλη υφίσταται μια ουσιαστική υποβάθμιση της απόδοσης της.

2.2.5. Χρήση τρανζίστορ με παχύ οξειδίο

Ενώ οι διαδικασίες κατασκευής κυκλωμάτων με διπλό- V_t είναι διαδεδομένες για πολλές τεχνολογικές γενιές, η αναγκαιότητα για την κατασκευή τρανζίστορ με διαφορετικό πάχος οξειδίου στο ίδιο ολοκληρωμένο κύκλωμα έχει γίνει απαραίτητη στην τεχνολογία των 90nm και μετά λόγω της ανόδου του ρεύματος πύλης I_{gate} [19]. Η χρήση τρανζίστορ με παχύ οξειδίο μειώνει το ρεύμα διαρροής πύλης αλλά και το ρεύμα διαρροής υποκατωφλίου καθώς παχύτερο οξειδίο συνεπάγεται μεγαλύτερη τάση κατωφλίου. Με δεδομένη μια τεχνολογία κατασκευής με δυο διαφορετικά πάχη οξειδίου για τα τρανζίστορ του κυκλώματος, η χρήση της τεχνικής διπλής τάσης κατωφλίου (dual- V_t), μπορεί με ευκολία να επεκταθεί, ούτως ώστε να λαμβάνει υπ’

όψιν της την διαρροή μέσω της πύλης του τρανζίστορ, με την χρήση τρανζίστορ με παχύ οξειδίο πύλης στα μη-κρίσιμα μονοπάτια του κυκλώματος.

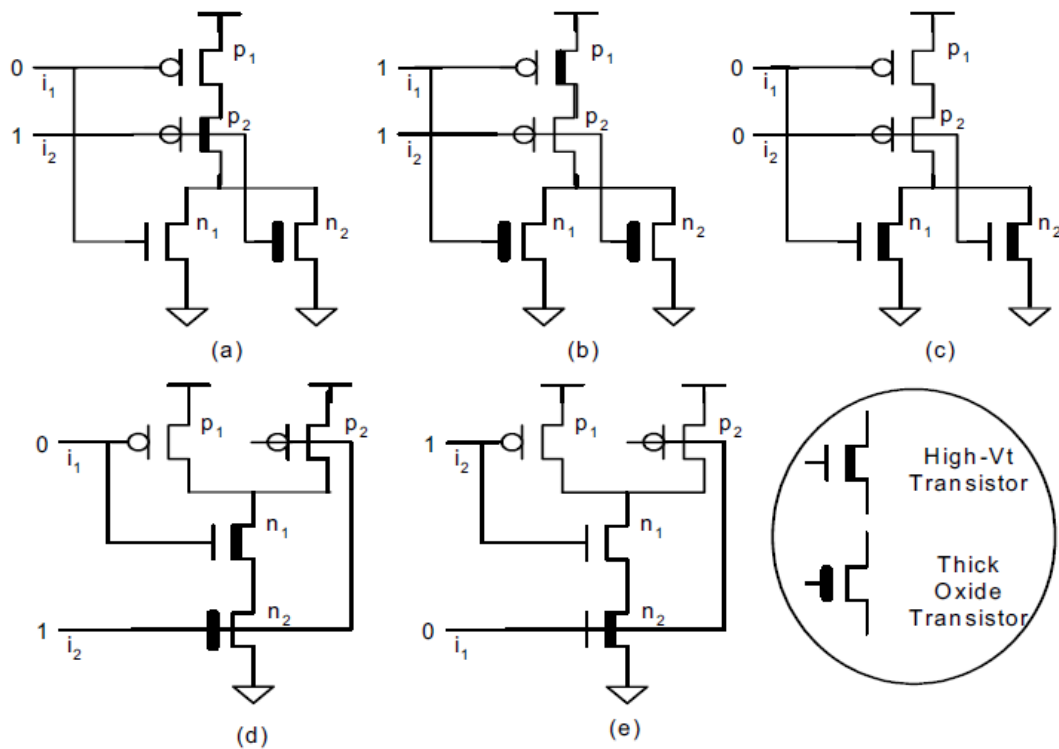
Εντούτοις, όπως και με την τεχνική που γίνεται χρήση των τρανζίστορ διπλού- V_t , η ταυτόχρονη τοποθέτηση τρανζίστορ διπλού- V_t και διπλού πάχους οξειδίου, εξασφαλίζει ότι παρότι δεν είναι γνωστές όλες οι καταστάσεις στις οποίες θα τεθεί το κύκλωμα, όλα ή το μεγαλύτερο μέρος των τρανζίστορ ενός συγκεκριμένου κυκλώματος θα έχουν και υψηλό- V_t και παχύ-οξειδίο πύλης. Συνεπώς, το ρεύμα διαρροής σε κατάσταση αναμονής θα είναι μέσα σε αποδεκτά όρια. Όμως, τα τρανζίστορ που έχουν ταυτόχρονα υψηλό- V_t και παχύ-οξειδίο έχουν ένα πολύ μεγαλύτερο χρόνο αφύπνισης, σε σύγκριση με τα τρανζίστορ χαμηλού- V_t και λεπτού-οξειδίου. Επομένως, αυτή η τεχνική χρησιμοποιείται όταν πρέπει να ελαττωθούν ταυτόχρονα τόσο το ρεύμα I_{gate} όσο και το ρεύμα I_{sub} .

Μια μέθοδος βελτιστοποίησης των ρευμάτων διαρροής θα μπορούσε να είναι η ταυτόχρονη χρήση τρανζίστορ με υψηλό- V_t και παχύ-οξειδίο στην κατάσταση αναμονής. Η μέθοδος αυτή είναι βασισμένη στη παρατήρηση ότι για μια δεδομένη κατάσταση εισόδου σε ένα κύκλωμα, ένα τρανζίστορ δεν χρειάζεται να έχει ταυτόχρονα και υψηλό- V_t και παχύ-οξειδίο πύλης. Αυτό οφείλεται στο γεγονός ότι το ρεύμα διαρροής υποκατωφλίου (I_{sub}) είναι ισχυρό μόνο στα τρανζίστορ που είναι σε μη-αγώγιμη κατάσταση, ενώ το ρεύμα διαρροής της πύλης (I_{gate}) είναι ισχυρό μόνο όταν ένα τρανζίστορ είναι σε αγώγιμη κατάσταση. Άρα, ένα τρανζίστορ που είναι σε αγώγιμη κατάσταση θα εμφανίζει ένα σημαντικό ρεύμα διαρροής πύλης (I_{gate}) και μηδενικό ρεύμα διαρροής υποκατωφλίου (I_{sub}). Συνεπώς, αυτά τα τρανζίστορ και μόνο θα πρέπει να έχουν παχύ οξειδίο πύλης. Εάν η είσοδος του κυκλώματος είναι άγνωστη στην κατάσταση ύπνου του κυκλώματος, δεν μπορεί να προβλεφθεί κατά την διάρκεια του σχεδιασμού ποια τρανζίστορ θα είναι σε αγώγιμη κατάσταση και ποια σε μη-αγώγιμη. Επομένως όλα ή τα περισσότερα τρανζίστορ θα πρέπει να έχουν και υψηλό- V_t και παχύ-οξειδίο, προκειμένου να μειωθεί σημαντικά η συνολική μέση διαρροή του κυκλώματος. Εντούτοις, λαμβάνοντας υπόψη μια γνωστή είσοδο για το κύκλωμα, μπορούμε να αποφύγουμε την χρήση τρανζίστορ που έχουν και υψηλό- V_t και παχύ-οξειδίο, βελτιώνοντας με αυτόν τον τρόπο σημαντικά το trade-off ανάμεσα στην διαρροή και την καθυστέρηση.

Επιπλέον, ανάλογα με την είσοδο ενός κυκλώματος, μόνο ένα υποσύνολο από τα τρανζίστορ πρέπει να εξεταστούν για το αν θα έχουν υψηλό- V_t ή παχύ-οξειδίο.

Παραδείγματος χάριν, σε μια εν σειρά συνδεσμολογία τρανζίστορ (στοίβα) που είναι σε μη-αγώγιμη κατάσταση, μόνο ένα τρανζίστορ πρέπει να οριστεί σε υψηλό- V_t για να μειωθεί αποτελεσματικά το συνολικό ρεύμα διαρροής (I_{sub}). Ομοίως, σε μια εν σειρά συνδεσμολογία τρανζίστορ το I_{gate} έχει επίσης ισχυρή εξάρτηση από το πώς διατάσσονται τα τρανζίστορ στο σωρό. Εάν ένα τρανζίστορ που άγει τοποθετηθεί επάνω από ένα τρανζίστορ που δεν άγει, οι τάσεις V_{GS} και V_{GD} για αυτό το τρανζίστορ θα είναι μικρές και η διαρροή της πύλης θα είναι συνεπώς μειωμένη. Ως εκ τούτου, ανάλογα με την είσοδο του κυκλώματος, μόνο ένα μικρό υποσύνολο των τρανζίστορ που βρίσκονται σε αγώγιμη κατάσταση πρέπει να έχουν παχύ-οξειδίο και μόνο ένα υποσύνολο των τρανζίστορ που βρίσκονται σε μη-αγώγιμη κατάσταση πρέπει να εξεταστούν για το αν θα έχουν υψηλό- V_t .

Στο Σχήμα 2.6 παρουσιάζεται από τους εμπνευστές της μεθόδου ένα παράδειγμα για τη χρήση τρανζίστορ με υψηλό- V_t και παχύ-οξειδίο όταν είναι γνωστές οι τιμές στις εισόδους για μια πύλη NAND και μια πύλη NOR 2-εισόδων. Στο Σχήμα 2.7 (a) φαίνεται η πύλη NOR είναι με τιμές στις εισόδους 01. Εφόσον μόνο το PMOS τρανζίστορ p_2 είναι σε μη-αγώγιμη κατάσταση, θα είναι το μόνο τρανζίστορ που χρειάζεται να έχει υψηλό- V_t για να μειωθεί η διαρροή λόγω του ρεύματος υποκατωφλίου της πύλης. Ομοίως, μόνο το n_2 NMOS τρανζίστορ παρουσιάζει ρεύμα διαρροής πύλης και χρειάζεται να έχει παχύ-οξειδίο για να μειωθεί το I_{gate} . Ως εκ τούτου μόνο δύο από τα τέσσερα τρανζίστορ επηρεάζονται ενώ το συνολικό ρεύμα διαρροής της πύλης μειώνεται σχεδόν στο ίδιο ποσό όπως στην περίπτωση όπου όλα τα τρανζίστορ στην πύλη τίθενται να έχουν υψηλό- V_t και παχύ-οξειδίο ταυτόχρονα. Σαν αποτέλεσμα, η καθυστέρηση της μετάβασης της εισόδου από χαμηλή σε υψηλή στάθμη για την είσοδο i_1 είναι αμετάβλητη από τις αναθέσεις υψηλού- V_t και παχύ-οξειδίου, ενώ οι άλλες μεταβάσεις επηρεάζονται μόνο περιορισμένα.



Σχήμα 2.7 Αναθέσεις Υψηλού- V_t και Παχύ-Οξειδίου για Διαφορετικές Καταστάσεις Εισόδου

Στο Σχήμα 2.7 (b) παρουσιάζεται η κατάσταση εισόδου για τη NOR πύλη στην οποία η διαρροή του κυκλώματος είναι μέγιστη. Αυτή η κατάσταση είναι όταν και οι δύο εισοδοί βρίσκονται στο λογικό 1. Σε αυτήν την περίπτωση, και τα δύο NMOS τρανζίστορ πρέπει να είναι με παχύ-οξείδιο για να μειωθεί το I_{gate} , ενώ τουλάχιστον ένα PMOS τρανζίστορ τίθεται να έχει υψηλό- V_t . Ανάλογα με τις απαιτήσεις του σχεδιασμού σε καθυστέρηση, η καλύτερη είσοδος είναι είτε η είσοδος 01 που παρουσιάζεται στο Σχήμα 2.7 (a) ή η είσοδος 00, που παρουσιάζεται στο Σχήμα 2.7 (c), η οποία απαιτεί μόνο δύο τρανζίστορ να έχουν υψηλό- V_t . Ως εκ τούτου, γίνεται σαφές ότι η είσοδος του κυκλώματος είναι αυτή που καθορίζει ποια τρανζίστορ θα έχουν υψηλό- V_t και ποια παχύ-οξείδιο ή και τα δυο, χωρίς όμως να χρειαστεί να υποβαθμιστεί η απόδοση του κυκλώματος. Αυτό οδηγεί στην ανάγκη για μια προσέγγιση βελτιστοποίησης όπου και οι δύο παράμετροι, το υψηλό- V_t και το παχύ-οξείδιο, εξετάζονται ταυτόχρονα υπό το πρίσμα των περιορισμών της μέγιστης επιτρεπτής καθυστέρησης.

2.2.6. Μείωση στατικής κατανάλωσης μέσω του φαινομένου στοίβας (*stack effect*)

Μια εναλλακτική προσέγγιση για τη μείωση της διαρροής στην κατάσταση ύπνου βασίζεται στην εξάρτηση του ρεύματος διαρροής από την κατάσταση του κυκλώματος στο φαινόμενο της στοίβας τρανζίστορ [11][12]. Στην εργασία [13] προτάθηκε να προσδιορίζεται αρχικά η κατάσταση εισόδου των κυκλωμάτων που ελαχιστοποιεί το ρεύμα διαρροής και εν συνεχεία ειδικά flip-flops να παρεμβάλλονται στο σχέδιο του κυκλώματος ώστε να παράγουν αυτή την είσοδο στην κατάσταση ύπνου. Τα flip-flops στο σχέδιο τροποποιούνται για να παράγουν μια προκαθορισμένη είσοδο στην κατάσταση ύπνου, ενώ διατηρούν την προηγούμενη κατάσταση των μανδαλωτών. Η απαραίτητη τροποποίηση στα flip-flop είναι δευτερεύουσα και μπορεί να πραγματοποιηθεί στην ανατροφοδότηση του σκλάβου μανδαλωτή με ελάχιστο αντίκτυπο στην απόδοση του συστήματος [14]. Γενικά, ο καθορισμός της ελάχιστης κατάστασης ύπνου είναι ένα δύσκολο πρόβλημα λόγω των λογικών λειτουργιών που πρέπει να επιτελέσει το κύκλωμα. Παρόλα αυτά έχουν προταθεί διάφορα ευριστικές λύσεις για αυτό το πρόβλημα [15][16]. Ο περιορισμός αυτής της προσέγγισης είναι ότι προκύπτουν μεγαλύτερα κυκλώματα, ενώ η μείωση στο ρεύμα διαρροής κυμαίνεται από 10 ως 30% [15].

2.2.7. Αναδιάταξη των pin εισόδου

Εκτός από την χρήση του υψηλού- V_t και το παχύ-οξειδίο, αξιοποιούμε επίσης και την εξάρτηση του I_{gate} από την διάταξη των pin [22]. Αυτό είναι φαίνεται στο Σχήμα 2.7 (d), για μια NAND πύλη 2-εισόδων με είσοδο 01. Προκειμένου να μειωθεί αποτελεσματικά η διαρροή για αυτή την είσοδο, το NMOS τρανζίστορ n_1 πρέπει να οριστεί ως υψηλού- V_t και το NMOS τρανζίστορ n_2 πρέπει να έχει παχύ-οξειδίο. Εντούτοις, εάν τα pin εισόδου i_1 και i_2 αναδιαταχτούν, με το i_1 τοποθετημένο στο κατώτατο σημείο του σωρού, όπως φαίνεται στο Σχήμα 2.7 (e), οι τάσεις V_{GS} και V_{GD} του NMOS τρανζίστορ n_1 θα μειωθούν από V_{DD} σε περίπου $V_{DD}-V_t$. Ως εκ τούτου, το ρεύμα διαρροής της πύλης του n_1 θα μειωθεί πάρα πολύ και μπορεί να αγνοηθεί. Μετά από την αναδιάταξη των pin εισόδου, είναι απαραίτητο μόνο το NMOS τρανζίστορ n_2 να έχει υψηλό- V_t , χωρίς να θέσουμε κάποιο άλλο τρανζίστορ να έχει παχύ-οξειδίο. Πρέπει να σημειωθεί ότι η αναδιάταξη των pin θα έχει επίδραση στην καθυστέρηση του κυκλώματος και ως εκ τούτου θα υπάρξει κάποια μείωση

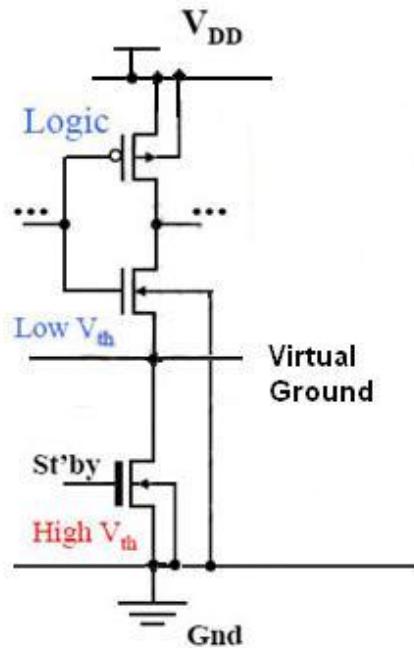
στην απόδοση. Αυτή η μείωση στην απόδοση θα αντισταθμιστεί εύκολα από την απουσία οποιουδήποτε τρανζίστορ με παχύ-οξειδίο στον pull-down σωρό.

2.3. Τεχνικές πολλαπλών καταστάσεων ύπνου

Με την εξέλιξη της τεχνολογίας κατασκευής κυκλωμάτων CMOS κάτω από τα 100nm, η κατανάλωση που οφείλεται στα ρεύματα διαρροής αυξήθηκε δραματικά σε σύγκριση με τις προηγούμενες τεχνολογικές γενιές.

Όσο υψηλότερη είναι η τάση στην εικονική γη (V_{GND}), τόσο μικρότερη είναι η συνολική διαρροή, καθώς η διαρροή είναι ανάλογη της τάσης που υπάρχει στα άκρα του κυκλώματος. Από την άλλη πλευρά, η υψηλότερη τάση στο V_{GND} έχει ως αποτέλεσμα υψηλότερο χρόνο αφύπνισης (wake-up penalty) κατά την επαναφορά του κυκλώματος στην κανονική λειτουργία, επειδή η χωρητικότητα του κόμβου που θα πρέπει να αποφορτιστεί μέσω του τρανζίστορ ύπνου (sleep transistor) είναι πολύ μεγάλη.

Μια λύση που έχει προταθεί είναι η δημιουργία κυκλωμάτων όπου χρησιμοποιούνται τρανζίστορ με πολλαπλές τάσεις κατωφλίου (Multithreshold CMOS). Σε αυτή την τεχνική (βλ Σχήμα 2.8), ένα τρανζίστορ παρεμβάλλεται ανάμεσα στο σημείο που βλέπει ως γη το κύκλωμα (virtual ground) και στην πραγματική γείωση [23]. Αυτό το τρανζίστορ, όταν το κύκλωμα μεταβαίνει σε κατάσταση ύπνου (sleep mode), φέρνει τον κόμβο V_{GND} σε μια τάση κοντά στην V_{DD} , μειώνοντας έτσι κατά πολύ το ρεύμα διαρροής. Όταν το κύκλωμα θα χρειαστεί να επανέλθει σε κανονική λειτουργία, ο κόμβος V_{GND} πρέπει να αποφορτιστεί προς την γη. Ο χρόνος που χρειάζεται για την αποφόρτιση αυτού του κόμβου λέγεται χρόνος αφύπνισης (wake-up penalty) και συμβολίζεται ως $T_{wake-up}$ [22]. Ακόμα, φέρνοντας ένα λογικό κύκλωμα σε κατάσταση λειτουργίας από την κατάσταση ύπνου, επηρεάζονται και τα γειτονικά του κυκλώματα μέσω του φαινομένου αναπήδησης της γης (ground bounce), λόγω των μεγάλων ταυτόχρονων αιχμών ρευμάτων που παρουσιάζονται κατά την αποφόρτιση της εικονικής γης (virtual ground) [24] [25].



Σχήμα 2.8 Χρήση Τρανζίστορ Ύπνου

Ο χρόνος αφύπνισης και το ενεργειακό κόστος κατά την ενεργοποίηση/απενεργοποίηση του μηχανισμού που σχετίζονται με αυτή την τεχνική περιορίζουν τα πιθανά οφέλη της. Αυτό συμβαίνει γιατί ανάλογα με το χρόνο αφύπνισης και το ενεργειακό κόστος κατά την ενεργοποίηση/απενεργοποίηση του μηχανισμού το κύκλωμα θα βγαίνει συχνά ή λιγότερο συχνά από την κατάσταση κανονικής του λειτουργίας. Προφανώς, αν η ενέργεια που χρειάζεται το κύκλωμα για να επανέλθει από την κατάσταση ύπνου στην κατάσταση λειτουργίας, είναι μεγαλύτερη από την ενέργεια που εξοικονομείται από το κύκλωμα όταν είναι σε κατάσταση ύπνου, δεν υπάρχει λόγος της μετάβασης σε κατάσταση ύπνου. Με την ίδια λογική, αν χρειάζεται πολύς χρόνος για να επανέλθει το κύκλωμα σε κατάσταση λειτουργίας, τότε σε εκείνο το διάστημα της μετάβασης το κύκλωμα θα δουλεύει σε μικρότερη συχνότητα, με αποτέλεσμα η λειτουργία του κυκλώματος να μην είναι σωστή.

Το επόμενο λογικό βήμα είναι η ύπαρξη πολλαπλών καταστάσεων ύπνου, στις οποίες έχουμε ένα περισσότερο προσαρμόσιμο και ευέλικτο trade off ανάμεσα στην εξοικονόμηση ενέργειας και στο χρόνο αφύπνισης.

2.3.1. Ανάλυση της τάσης του κόμβου V_{GND}

Για να βρεθεί μια σχέση που να προσδιορίζει την τάση του κόμβου V_{GND} , θεωρούμε ότι έχουμε μόνο ένα τρανζίστορ κάτω από το λογικό κύκλωμα και το τρανζίστορ αυτό ονομάζεται τρανζίστορ ύπνου. Έστω ότι το τρανζίστορ ύπνου είναι σε κατάσταση ασθενούς αναστροφής, δηλαδή η τάση στην πύλη του είναι μικρότερη από την τάση κατωφλίου ($V_G < V_{th}$). Θεωρούμε ότι η διαρροή του κυκλώματος μπορεί να προσεγγιστεί από την διαρροή ενός μοναδικού τρανζίστορ το οποίο έχει πλάτος ίσο με το ενεργό πλάτος $W_{circuit}$ του κυκλώματος. Αφού το τρανζίστορ ύπνου είναι σε κατάσταση ασθενούς αναστροφής, η τάση V_{GND} μπορεί να βρεθεί εξισώνοντας το ρεύμα διαρροής του κυκλώματος με το ρεύμα διαρροής του τρανζίστορ ύπνου.

Δηλαδή:

$$I_{leak}(Circuit) = I_{leak}(Footer) \Rightarrow \quad \text{Εξ. 2.4}$$

$$I_0 \frac{W_{CIRCUIT}}{L} 10^{((-V_{thC}) + n(V_{DD} - V_{GND})/S_S)} = I_0 \frac{W_{FOOTER}}{L} 10^{((-V_{thF}) + n(V_{DD} - V_{GND})/S_S)} \quad \text{Εξ. 2.5}$$

V_{thC} και V_{thF} είναι οι τάσεις κατωφλίου του κυκλώματος και του footer αντίστοιχα. Ο συντελεστής η είναι ο συντελεστής που οφείλεται στο φαινόμενο Drain-Induced Barrier Lowering και S_S είναι η κλίση στην περιοχή υποκατωφλίου.

Επιλύοντας την παραπάνω σχέση έχουμε:

$$V_{GND} = \frac{-V_G + S_S \log_{10} \left(\frac{W_{CIRCUIT}}{W_{FOOTER}} \right) (V_{thF} - V_{thC}) + nV_{DD}}{2\eta} \quad \text{Εξ. 2.6}$$

Στην παραπάνω σχέση παρατηρούμε ότι το V_{GND} εξαρτάται γραμμικά από την τάση στην πύλη του τρανζίστορ ύπνου με αρνητική κλίση. Μια αύξηση στην τιμή της τάσης στην πύλη του τρανζίστορ ύπνου συνεπάγεται μείωση στην τιμή της V_{GND} και αντιστρόφως.

Αν αναπαραστήσουμε το ρεύμα διαρροής του κυκλώματος όταν είναι στην ενεργό κατάσταση με I_{active} , τότε ο λόγος του ρεύματος διαρροής όταν το κύκλωμα είναι σε κατάσταση «ύπνου» I_{sleep} προς το I_{active} είναι:

$$\frac{I_{sleep}}{I_{active}} = 10^{\frac{-\eta(V_{DD} - V_{GND})}{S_S}} \quad \text{Εξ. 2.7}$$

Από την Εξίσωση 2.7 βλέπουμε και πάλι ότι όσο υψηλότερη είναι η τάση του κόμβου V_{GND} τόσο μεγαλύτερη είναι η εξοικονόμηση ενέργειας σε κατάσταση «ύπνου». Παρόλα αυτά, και ο χρόνος αφύπνισης και το ενεργειακό κόστος κατά την ενεργοποίηση/απενεργοποίηση του μηχανισμού είναι επίσης μεγαλύτερες.

Αναπαριστούμε την συνολική χωρητικότητα του κυκλώματος με $C_{CIRCUIT}$. Τότε ο χρόνος αφύπνισης δίνεται από την παρακάτω σχέση:

$$T_{WAKE-UP} = \frac{C_{CIRCUIT} V_{GND}}{I_{ON,F}} \quad \text{Εξ. 2.8}$$

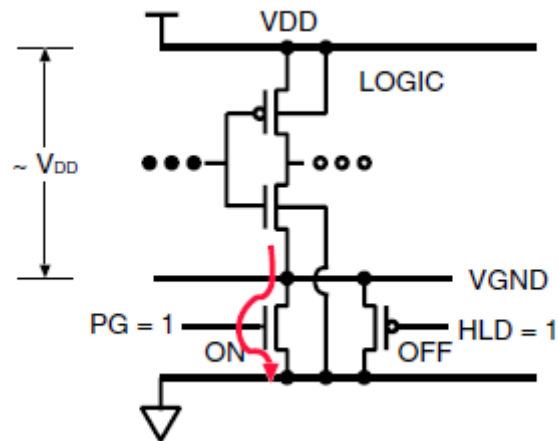
Στη συνέχεια θα δούμε αναλυτικά δυο τεχνικές που προτάθηκαν με σκοπό να δώσουν σε ένα λογικό κύκλωμα την δυνατότητα να μεταβαίνει σε διάφορες καταστάσεις ύπνου (από δύο έως τρεις).

2.4. Χρήση Μιας Ενδιάμεσης Κατάστασης ύπνου

Η πρώτη τεχνική στην εργασία [26] χρησιμοποιεί ένα NMOS και ένα PMOS τρανζίστορ για την δημιουργία δύο καταστάσεων ύπνου. Το κύκλωμα μπορεί να είναι είτε σε κανονική κατάσταση λειτουργίας, είτε σε κατάσταση πλήρους αποκοπής της γης και τον κόμβο V_{GND} είτε σε τάση περίπου ίση με την τάση τροφοδοσίας, είτε σε τάση η οποία είναι ενδιάμεση εκείνης στην κατάσταση κανονικής λειτουργίας και στην κατάσταση πλήρους ύπνου.

Στην τεχνική που προτείνεται στην εργασία [26], προστίθεται ένα επιπλέον PMOS τρανζίστορ στην συμβατική δομή εισαγωγής κατάστασης ύπνου με τη χρήση ενός NMOS τρανζίστορ μεταξύ κυκλώματος και γης (βλ. Σχήμα 2.8). Με αυτόν τον τρόπο, το κύκλωμα αποκτά μια κατάσταση «ύπνου», η οποία βρίσκεται ανάμεσα στην κατάσταση λειτουργίας και την κατάσταση πλήρους αποκοπής της τροφοδοσίας.

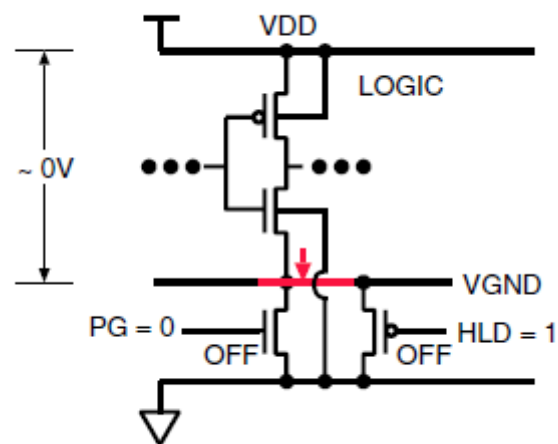
Στο Σχήμα 2.9 φαίνεται η λειτουργία της διάταξης όταν το κύκλωμα είναι σε κανονική λειτουργία.



Σχήμα 2.9: Το κύκλωμα σε κατάσταση κανονικής λειτουργίας

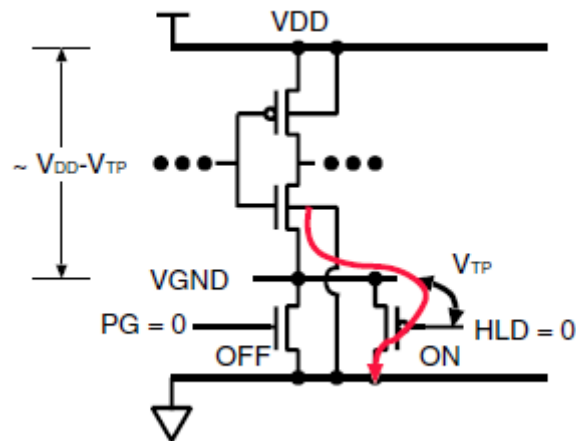
Τα σήματα PG και HLD τίθενται στην υψηλή στάθμη. Έτσι, το NMOS τρανζίστορ είναι σε κατάσταση χαμηλής αντίστασης και βραχυκυκλώνει τον κόμβο V_{GND} με την γείωση. Αντίστοιχα, το PMOS τρανζίστορ παραμένει σε μη-αγώγιμη κατάσταση και δεν επηρεάζει την λειτουργία του κυκλώματος.

Στο Σχήμα 2.10 φαίνεται η λειτουργία της διάταξης όταν το κύκλωμα είναι στην λειτουργία πλήρους ύπνου (COLD mode). Σε αυτή την κατάσταση τα δεδομένα του κυκλώματος δεν διατηρούνται.



Σχήμα 2.10: Το κύκλωμα σε κατάσταση COLD.

Εδώ το σήμα PG είναι σε χαμηλή στάθμη και το σήμα HLD σε υψηλή. Δεν υπάρχει μονοπάτι από την τροφοδοσία προς την γείωση, με αποτέλεσμα η τάση στον κόμβο V_{GND} να είναι περίπου ίση με την τάση τροφοδοσίας. Σε αυτή την κατάσταση η εξοικονόμηση ενέργειας είναι μέγιστη.



Σχήμα 2.11: Το κύκλωμα σε κατάσταση PDK.

Στην τρίτη κατάσταση του κυκλώματος (PARK) (βλ Σχήμα 2.11), το σήμα PG είναι σε χαμηλή στάθμη όπως και το σήμα HLD. Συνεπώς, το NMOS τρανζίστορ είναι σε μη-αγώγιμη κατάσταση και το PMOS λειτουργεί ως ακόλουθος πηγής (συνδεσμολογία “διόδου”). Ο κόμβος V_{GND} είναι σε τάση ίση με την τάση κατωφλίου του PMOS τρανζίστορ. Άρα, η τάση κατά μήκος του κυκλώματος είναι ίση με $V_{DD} - V_{TP}$. Αυτή η διαφορά τάσης συνεπάγεται τη μείωση της στατικής κατανάλωσης όπως έχουμε προαναφέρει.

Η κατάσταση του κυκλώματος διατηρείται και η αναπήδηση γης που είναι αποτέλεσμα της μετάβασης από την κατάσταση COLD στην κατάσταση κανονικής λειτουργίας, είναι μικρότερη αν χρησιμοποιηθεί η κατάσταση PARK ως ενδιάμεση κατάσταση για την μετάβαση.

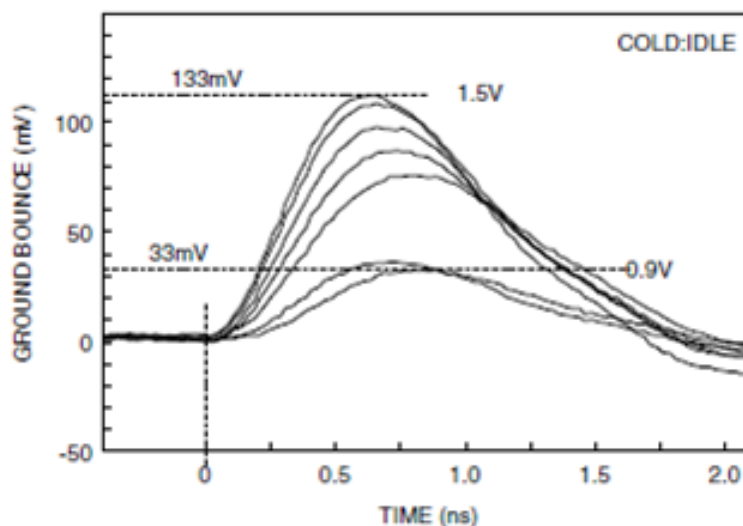
2.4.1. Πειράματα

Για τον έλεγχο της παραπάνω τεχνικής οι δημιουργοί της τεχνικής, σχεδίασαν τρεις υλοποιήσεις του σχεδιασμού με διαφορετικά χαρακτηριστικά του κυκλώματος. Η υλοποίηση αυτών των κυκλωμάτων καθώς και τα πειράματα που έγιναν περιγράφονται στην εργασία [26]. Στην πρώτη πλακέτα, το μέγεθος του τρανζίστορ ύπνου είναι ίσο με το 2,6% του συνολικού μεγέθους των NMOS και PMOS τρανζίστορ του προσθετή 32-bit carry-look-ahead (CLA) και του καταχωρητή υπογραφών πολλαπλών εισόδων (multiple input signature register (MISR) (DUT-TYPE-A). Αντίστοιχα, στην δεύτερη πλακέτα το μέγεθος του τρανζίστορ ύπνου είναι ίσο με το 1% του συνολικού μεγέθους των NMOS και PMOS τρανζίστορ του CLA

και του MISR (*DUT-TYPE-B*). Στην τρίτη πλακέτα, οι κόμβοι γείωσης των CLA και του καταχωρητή εξόδου συνδέονται απευθείας με την γη.

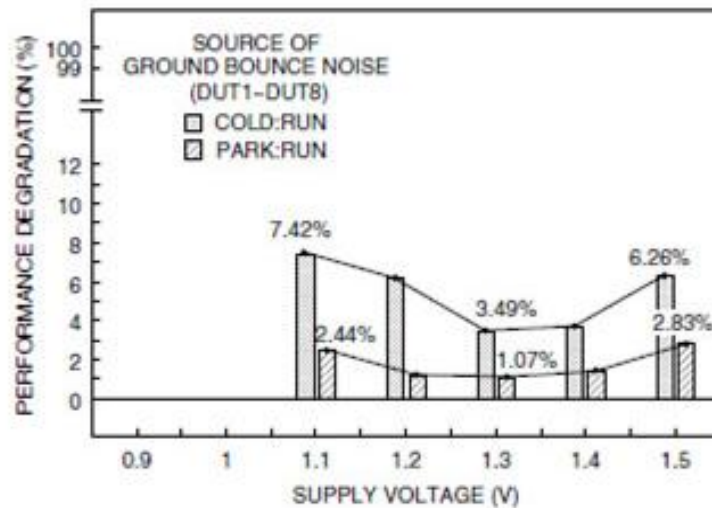
Τα αποτελέσματα από τις μετρήσεις που έγιναν είναι:

- Στο κύκλωμα *DUT-TYPE-A* η πτώση στην συχνότητα είναι μικρότερη από 2% για οποιαδήποτε τιμή της τάσης τροφοδοσίας. Στο κύκλωμα *DUT-TYPE-B* η πτώση στην συχνότητα φτάνει μέχρι και 8,25%. Η μέγιστη συχνότητα που μετρήθηκε είναι τα 650 MHz.
- Όταν η τάση τροφοδοσίας είναι στα 0.9V και η κατάσταση του κυκλώματος είναι COLD τότε το κύκλωμα *DUT-TYPE-A* έχει 43 φορές μικρότερη κατανάλωση από το αντίστοιχο κύκλωμα *DUT-TYPE-B*. Αυτή η εξοικονόμηση μειώνεται για μεγαλύτερες τάσεις τροφοδοσίας. Π.χ. για τάση τροφοδοσίας 1.5 V το κύκλωμα *DUT-TYPE-A* καταναλώνει 23 φορές λιγότερη ενέργεια σε διαρροές. Αντίστοιχα, όταν το κύκλωμα *DUT-TYPE-A* είναι σε PARK λειτουργία, τα ρεύματα διαρροής μειώνονται κατά 2,31 και 2,68 φορές για τάση τροφοδοσίας 0.9V και 1.5V.
- Οι μετρήσεις που αφορούν το φαινόμενο αναπήδησης γης κατά την μετάβαση του κυκλώματος από την κατάσταση COLD στην κατάσταση IDLE φαίνονται στο Σχήμα 2.12.



Σχήμα 2.12 Ground Bounce κατά την Μετάβαση των Καταστάσεων

Οι μετρήσεις που αφορούν το φαινόμενο αναπήδησης γης για τα γειτονικά κυκλώματα στην μέγιστη συχνότητα λειτουργίας φαίνονται στο Σχήμα 2.13



Σχήμα 2.13 Επίδραση του Φαινομένου Αναπήδησης Γης στις Επιδόσεις των Γειτονικών Κυκλωμάτων

2.4.2. Πλεονεκτήματα

Απλή σχεδίαση. Το κύκλωμα χρειάζεται μόνο ένα επιπλέον PMOS τρανζίστορ.

Μικρή πτώση στην συχνότητα λειτουργίας. Η πτώση στην ταχύτητα του κυκλώματος είναι ~ 8,25%.

Μεγάλη εξοικονόμηση σε ενέργεια. Η κατανάλωση μπορεί να μειωθεί μέχρι και 43 φορές.

2.4.3. Μειονεκτήματα

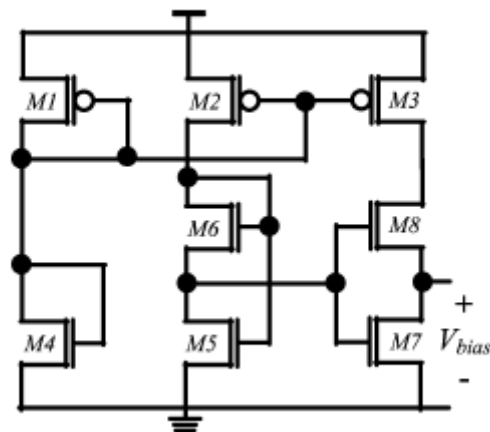
Το κύριο μειονέκτημα αυτής της τεχνικής είναι ότι μπορεί να παράγει μόνο μια ενδιάμεση κατάσταση ύπνου για το κύκλωμα. Όσες περισσότερες καταστάσεις ύπνου υπάρχουν για ένα κύκλωμα, τόσο μεγαλύτερη είναι η εξοικονόμηση ενέργειας που μπορεί να επιτευχθεί σε ένα κύκλωμα για διάφορους χρόνους αφύπνισης.

Η τάση που έχει ο κόμβος V_{GND} στην ενδιάμεση κατάσταση ύπνου εξαρτάται από την τάση κατωφλίου του PMOS.

2.5. Χρήση Δυο Ενδιάμεσων Καταστάσεων Ύπνου

Η δεύτερη τεχνική που θα δούμε στην συνέχεια έχει παρουσιαστεί στην εργασία [27]. Στην προτεινόμενη μέθοδο, η τάση που θα έχει το V_{GND} ελέγχεται από την τάση που εφαρμόζεται στην πύλη του τρανζίστορ ύπνου. Στις καταστάσεις εκτός της κανονικής λειτουργίας, το τρανζίστορ ύπνου είναι στην κατάσταση ασθενούς αντιστροφής. Για να μπορέσει το τρανζίστορ ύπνου να παράγει πολλαπλές τάσεις στην εικονική γη, χρειάζονται πολλαπλές τάσεις υπό του κατωφλίου να εφαρμοστούν στην πύλη του.

Επίσης δείχνεται πως αυτή η τεχνική μπορεί να εφαρμοστεί σε κυκλώματα με μεγάλο μονοπάτι πολλών βαθμίδων (pipeline). Σύμφωνα με τις παρατηρήσεις δεν έχουν όλα τα λογικά μπλοκ τους ίδιους περιορισμούς σε χρόνο αφύπνισης. Τα μπλοκ που βρίσκονται στην αρχή του pipeline, πρέπει να μπορούν να «ξυπνούν» όσο το δυνατόν γρηγορότερα. Εκμεταλλευόμενοι το γεγονός ότι τα δεδομένα χρειάζονται κάποιο χρόνο για να επεξεργαστούν στην κάθε λογική μονάδα, μπορούμε να θέτουμε τα κυκλώματα τα οποία βρίσκονται πιο βαθιά στο pipeline σε κατάσταση «πιο βαθύ ύπνου», εξοικονομώντας έτσι μεγαλύτερα ποσά ενέργειας από την μειωμένη διαρροή. Για την παραγωγή κάθε τάσης που χρειάζεται να εφαρμοστεί στην πύλη του τρανζίστορ ύπνου, χρησιμοποιείται γεννήτρια τάσης παρόμοια με αυτή που φαίνεται στο Σχήμα 2.14:



Σχήμα 2.14: Γεννήτρια Τάσεων

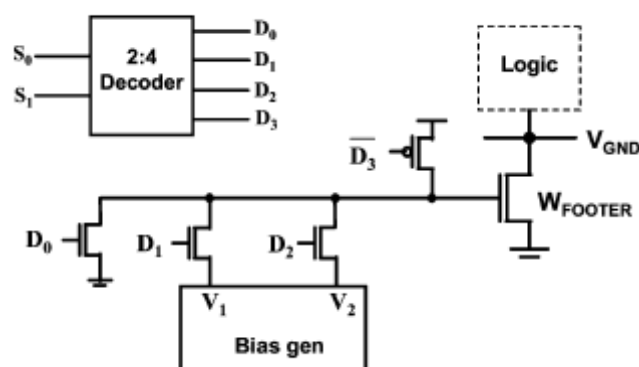
Τα τρανζίστορ M1,M2,M3 δομούν δύο καθρέπτες ρεύματος. Συνεπώς, το ρεύμα σε κάθε κλάδο του κυκλώματος που είναι κάτω από το κάθε ένα από αυτά τα τρανζίστορ θα πρέπει να είναι το ίδιο. Όμως επειδή δεν είναι όλα τα τρανζίστορ ισομεγέθη, η τάση που παίρνουμε στο τρανζίστορ M7 είναι ανάλογη του μεγέθους του τρανζίστορ M8. Π.χ. για να είναι η τάση εξόδου ίση με 155mV το πλάτος του τρανζίστορ M8

είναι ίσο με 4 φορές το πλάτος το M7. Τα τρανζίστορ M4 έως M7 έχουν το ίδιο μέγεθος. Η τάση που παράγεται με αυτόν τον τρόπο είναι σχετικά σταθερή όσον αφορά τις διακυμάνσεις της κατασκευαστικής διαδικασίας και την θερμοκρασία λειτουργίας.

2.5.1. Πειράματα

Οι συγγραφείς της εργασίας [27] εκτέλεσαν τα πειράματα που περιγράφονται στην συνέχεια για τον έλεγχο της τεχνικής τους. Για τα πειράματα χρησιμοποιήθηκε ένας 32-bit ripple carry adder, κατασκευασμένος με τεχνολογία 65nm SOI και τάση τροφοδοσίας 1V. Το μέγεθος του τρανζίστορ ύπνου είναι περίπου το 12% του συνολικού πλάτους των NMOS του κυκλώματος.

Ένα λογικό συμπέρασμα είναι ότι μπορούμε να μειώσουμε τον χρόνο αφύπνισης ($T_{\text{wake-up}}$) αν μειώσουμε την ποσότητα του φορτίου που είναι αποθηκευμένο στον κόμβο της εικονικής γης. Εφόσον υπάρχει η δυνατότητα για την παραγωγή πολλαπλών τάσεων υπό του κατωφλίου, είναι δυνατόν να έχουμε πολλές καταστάσεις ύπνου για το κύκλωμα. Ένα απλό κύκλωμα για την παραγωγή πολλαπλών καταστάσεων ύπνου φαίνεται στο Σχήμα 2.15.



Σχήμα 2.15: Κύκλωμα Πολλαπλών Καταστάσεων «ύπνου»

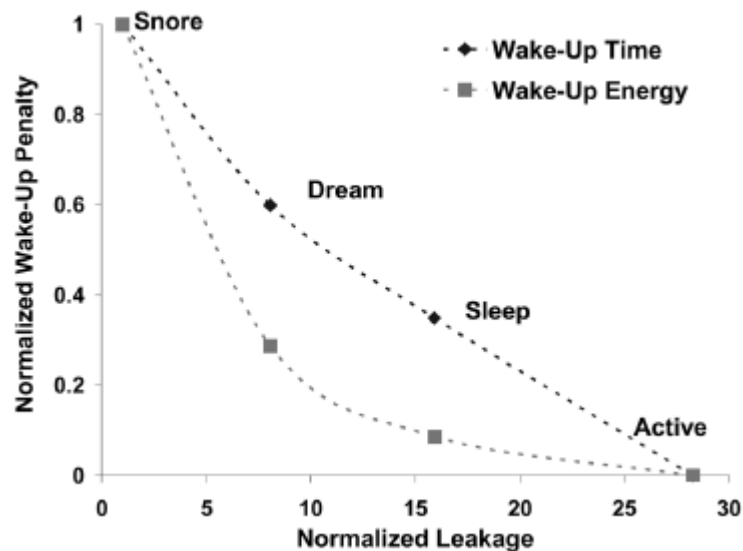
Το παραπάνω κύκλωμα έχει τέσσερις δυνατές καταστάσεις λειτουργίας:

- Κανονική Λειτουργία
- Sleep
- Dream
- Snore

Σε κάθε κατάσταση λειτουργίας μια διαφορετική τάση εφαρμόζεται στην πύλη του τρανζίστορ ύπνου.

Έστω V_1, V_2 είναι οι τάσεις που εφαρμόζονται στην πύλη του τρανζίστορ ύπνου για να τεθεί το σύστημα σε κατάσταση Sleep και Dream αντίστοιχα. Ισχύει ότι $V_1 < V_2 < V_t$. Για την κατάσταση Κανονικής Λειτουργίας, η πύλη του τρανζίστορ ύπνου συνδέεται μέσω του ενός PMOS τρανζίστορ με την τροφοδοσία και η τάση του κόμβου V_{GND} γίνεται περίπου ίση με μηδέν. Αντίστοιχα, για την κατάσταση Snore η πύλη του τρανζίστορ ύπνου συνδέεται μέσω του ενός NMOS τρανζίστορ με την γη και η τάση του κόμβου V_{GND} γίνεται περίπου ίση με V_{DD} . Ένα κύκλωμα ελέγχου των 2 bits χρειάζεται για να ελέγχουμε την κατάσταση του κυκλώματος. Με αυτές τις πολλαπλές καταστάσεις ύπνου, μπορούμε να έχουμε ρύθμιση του tradeoff ανάμεσα στην καθυστέρηση που εισέρχεται μέχρι το κύκλωμα να επανέλθει σε κανονική λειτουργία και την μείωση της στατικής κατανάλωσης .

Οι τιμές των τάσεων V_1, V_2 επιλέχθηκαν έτσι ώστε να υπάρχουν δύο ισαπέχοντα σημεία στο διάγραμμα με το χρόνο αφύπνισης που φαίνεται στο Σχήμα 2.16 που ακολουθεί. Ανάλογα με την εφαρμογή, μπορούμε να έχουμε περισσότερες καταστάσεις «ύπνου» για ένα κύκλωμα.



Σχήμα 2.16: Κανονικοποιημένο Διάγραμμα του Κέρδους σε Ενέργεια και του Κόστους σε Χρόνο Αφύπνισης ως Συνάρτηση του Ρεύματος Διαρροής

Γίνανε διάφοροι έλεγχοι όσον αφορά την συνολική σταθερότητα του κυκλώματος. Οι παράμετροι που ελέγχθηκαν ήταν η θερμοκρασία λειτουργίας, η τάση τροφοδοσίας και οι κατασκευαστικές διακυμάνσεις των τρανζίστορ. Συγκεκριμένα:

Θερμοκρασίες Λειτουργίας: 55 °C, 85 °C, 115 °C

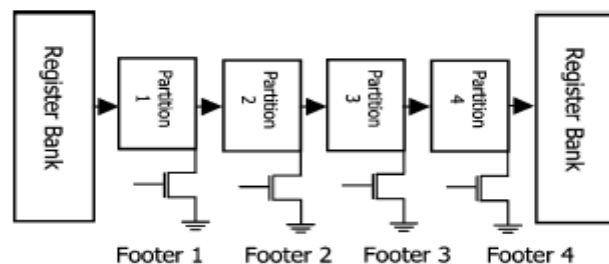
Τάσεις Τροφοδοσίας: 0.9 V, 1.0 V, 1.1 V

Κατασκευαστικές Διακυμάνσεις: weak, nominal, best

Οι απόλυτες τιμές των ρευμάτων διαρροής και του χρόνου αφύπνισης αλλάζουν αρκετά όταν αλλάζει κάθε μια από τις παραπάνω παραμέτρους. Αν όμως δούμε τον κανονικοποιημένο χρόνο αφύπνισης και το κανονικοποιημένο ρεύμα διαρροής για όλες τις καταστάσεις, συμπεραίνουμε ότι το κύκλωμα είναι αρκετά σθεναρό στις διάφορες μεταβολές.

2.5.2. Εφαρμογή της Τεχνικής σε Pipeline

Μια εφαρμογή της τεχνικής των πολλαπλών καταστάσεων ύπνου που προτείνεται στην εργασία [27] είναι σε κυκλώματα τα οποία αποτελούνται από επιμέρους μικρότερα κυκλώματα τα οποία είναι σε σειρά. Έχουμε δηλαδή ένα pipeline. Τα κυκλώματα που βρίσκονται στο τέλος του pipeline επιτρέπεται να έχουν μεγαλύτερο χρόνο αφύπνισης. Αυτό συμβαίνει γιατί υπάρχει καθυστέρηση στην επεξεργασία των δεδομένων καθώς περνάνε μέσα από την κάθε λογική μονάδα. Συνεπώς μπορούμε σε κάθε λογική μονάδα, όσο πιο βαθιά είναι μέσα στο pipeline να είναι την θέσουμε σε κατάσταση «βαθύτερου ύπνου» και η εξοικονόμηση ενέργειας να είναι μεγαλύτερη. Π.χ. για να μειώσουμε την στατική κατανάλωση στο Σχήμα 2.17, το πρώτο τμήμα (Partition) είναι μόνιμα σε κατάσταση Κανονικής Λειτουργίας, το δεύτερο τμήμα είναι σε κατάσταση Sleep, το τρίτο τμήμα είναι σε κατάσταση Dream και το τέταρτο τμήμα είναι σε κατάσταση Snore. Με αυτό τον τρόπο, μειώνεται σημαντικά η στατική κατανάλωση ενώ ταυτόχρονα δεν έχουμε μείωση στις επιδόσεις του συστήματος.



Σχήμα 2.17 Εφαρμογή σε μια Pipeline

2.5.3. Αποτελέσματα

Το κύριο μειονέκτημα της τεχνικής που περιγράφεται στην εργασία [27], είναι η καθυστέρηση που εισέρχεται στο σύστημα για να μεταβεί από την κατάσταση εξοικονόμησης ενέργειας στην κατάσταση κανονικής λειτουργίας. Για να είναι αυτή η τεχνική αποτελεσματική πρέπει να δεδομένα εισόδου του κυκλώματος να μην αλλάξουν για χρόνο μεγαλύτερο ή ίσο με τον χρόνο που είναι η καθυστέρηση για την επαναφορά του συστήματος σε κατάσταση λειτουργίας συν την καθυστέρηση για την διάδοση των δεδομένων μέσα από το pipeline. Στον Πίνακα 2.1 φαίνεται ο χρόνος που χρειάζεται το κύκλωμα από την κάθε μια κατάσταση ύπνου για να επανέλθει σε κατάσταση λειτουργίας:

Πίνακας 2.2 Κύκλοι Ρολογιού για την Επαναφορά σε Κανονική Λειτουργία

Κατάσταση	Χρόνος Αφύπνισης(Κύκλοι Ρολογιού)
Κανονικής Λειτουργίας	-
Sleep	3
Dream	5
Snore	8

Ο παραπάνω χρόνος είναι το αποτέλεσμα των πειραμάτων που έγιναν σε έναν 64-bit ALPHA επεξεργαστή, ο οποίος εκτελεί διάφορες διεργασίες. Η βέλτιστη κατάσταση «ύπνου» του κυκλώματος επιλέγεται βάσει των ανενεργών κύκλων και των απαιτήσεων σε χρόνο αφύπνισης.

Οι εντολή για την μετάβαση από την μια κατάσταση ύπνου σε μια άλλη ή σε κατάσταση λειτουργίας μπορούν να δοθούν από διαφορετικά επίπεδα ελέγχου.

Μερικά από αυτά είναι τα εξής:

- Επίπεδο υλικού
- Επίπεδο Μικροαρχιτεκτονικής
- Επίπεδο Λειτουργικού Συστήματος
- Επίπεδο Μεταγλωττιστή

2.5.4. Πλεονεκτήματα

Κατά μέσο όρο η μείωση της διαρροής είναι περίπου 17% με την χρήση των πολλαπλών καταστάσεων ύπνου σε σύγκριση με την μέθοδο όπου υπάρχει μόνο μια κατάσταση ύπνου.

Η χρήση των πολλαπλών καταστάσεων «ύπνου» επιτρέπει σε ένα κύκλωμα να εισέρχεται σε κατάσταση εξοικονόμησης ενέργειας πιο συχνά από ένα κύκλωμα το οποίο έχει μόνο μια κατάσταση «ύπνου».

2.5.5. Μειονεκτήματα

Η επιβάρυνση σε επιφάνεια για τα πρόσθετα τρανζίστορ του βοηθητικού κυκλώματος δεν είναι πάρα πολύ μεγάλη, αλλά είναι σημαντική. Το NMOS τρανζίστορ είναι ίσο με ~12% του συνολικού πλάτους των NMOS τρανζίστορ του λειτουργικού κυκλώματος. Οι γεννήτριες τάσης χρειάζονται επιπλέον επιφάνεια στο κύκλωμα.

Στις γεννήτριες ρεύματος, επειδή μερικά τρανζίστορ τους είναι σε συνδεσμολογία “διόδου”, καταναλώνουν ενέργεια συνεχώς, είτε χρησιμοποιούνται για να παράγουν την απαιτούμενη τάση, είτε είναι στην αναμονή.

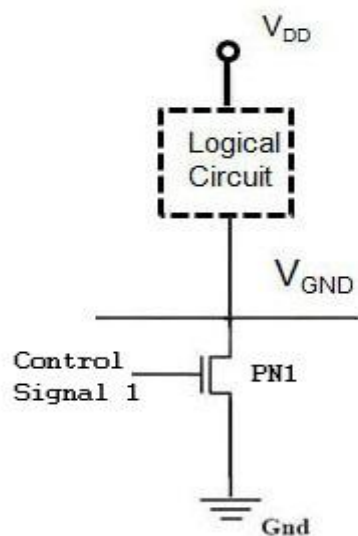
Οι γεννήτριες τάσεις εισάγουν μια πρόσθετη καθυστέρηση στο κύκλωμα. Αυτό συμβαίνει γιατί η κάθε γεννήτρια τάσης έχει έναν χρόνο αρχικοποίησης, κατά τον οποίο η τάση στην έξοδο της δεν είναι η σωστή. Το κύκλωμα θα πρέπει να «περιμένει» για να παραχθεί και να σταθεροποιηθεί η κατάλληλη τάση στην έξοδο της γεννήτριας τάσης.

ΚΕΦΑΛΑΙΟ 3. ΤΕΧΝΙΚΗ ΚΑΤΑΣΤΑΣΕΩΝ ΥΠΝΟΥ ΜΕ ΧΡΗΣΗ ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΩΝ ΔΙΑΚΟΠΤΩΝ

-
- 3.1 Η Τεχνική των Καταστάσεων Ύπνου
 - 3.2 Βασική Τοπολογία Προτεινόμενης Τεχνικής
 - 3.3 Πολλαπλοί Προγραμματιζόμενοι Διακόπτες
-

3.1. Η Τεχνική των Καταστάσεων Ύπνου

Σύμφωνα με την τεχνική της χρήσης τρανζίστορ «ύπνου» για την αποκοπή της τροφοδοσίας από ένα λογικό κύκλωμα και την μείωση της στατικής κατανάλωσης, ο κόμβος V_{GND} θα πρέπει να βρίσκεται όσο το δυνατόν πιο κοντά στην τάση τροφοδοσίας. Συνεπώς για να περάσει το κύκλωμα σε κατάσταση πλήρους «ύπνου» θα πρέπει να αποκόψουμε πλήρως τον κόμβο V_{GND} από την γείωση. Η εφαρμογή αυτής της τεχνικής φαίνεται στο Σχήμα 3.1:



Σχήμα 3.1: Βασική τοπολογία με τη χρήση τρανζίστορ «ύπνου»

Με την εφαρμογή λογικού μηδέν στην πύλη του τρανζίστορ PN1 που βρίσκεται ανάμεσα στο λογικό κύκλωμα και τη γη, μέσω του σήματος Control Signal 1, το τρανζίστορ οδηγείται σε κατάσταση αποκοπής. Συνεπώς, ο κόμβος V_{GND} φορτίζεται σε τάση σχεδόν ίση με την τάση τροφοδοσίας ($\sim V_{DD}$) καθώς το τρανζίστορ PN1 εμφανίζει ένα ρεύμα διαρροής υποκατωφλίου. Σε αυτή την κατάσταση η στατική κατανάλωση είναι η ελάχιστη δυνατή.

Όμως ο χρόνος που χρειάζεται ένα κύκλωμα για να εισέλθει σε κατάσταση πλήρους ύπνου είναι σχετικά μεγάλος, με αποτέλεσμα να υπάρχει μεγάλη πιθανότητα το κύκλωμα να χρειαστεί να ξαναγυρίσει σε κατάσταση κανονικής λειτουργίας πριν καν να προλάβει να μπει σε κατάσταση πλήρους ύπνου και έχοντας ξεκινήσει τη σχετική διαδικασία. Ακόμη, μπορεί η ενέργεια που θα καταναλωθεί για να μεταβεί το κύκλωμα στην κατάσταση πλήρους ύπνου και να επανέλθει σε κατάσταση κανονικής λειτουργίας να είναι μεγαλύτερη από την ενέργεια που εξοικονομείται στην κατάσταση πλήρους ύπνου, αν δεν μείνει το κύκλωμα για αρκετό χρόνο σε αυτή την κατάσταση.

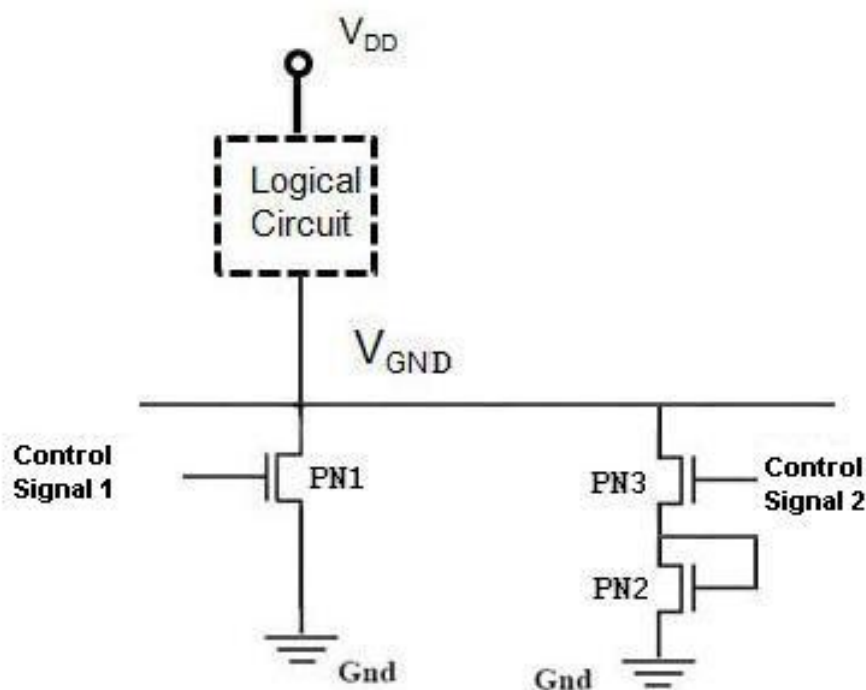
Με βάση τα παραπάνω, δημιουργήθηκε η ανάγκη της ύπαρξης κάποιων πρόσθετων ενδιάμεσων καταστάσεων ύπνου, στις οποίες η τάση του κόμβου V_{GND} βρίσκεται σε χαμηλότερες τιμές, ανάμεσα στην τάση τροφοδοσίας και στην γείωση. Κατά αυτόν τον τρόπο παρέχονται μειωμένοι χρόνοι μετάβασης σε καταστάσεις ύπνου, με μειωμένη και την απαιτούμενη ενέργεια για αυτές τις μεταβάσεις, με αποτέλεσμα το σύστημα διαχείρισης της σχετικής τεχνικής να είναι περισσότερο ευέλικτο και αποτελεσματικό.

3.2. Βασική Τοπολογία Προτεινόμενης Τεχνικής

Για την επίτευξη ενδιάμεσων τάσεων στον κόμβο V_{GND} , προτείνουμε την τοποθέτηση ενός NMOS τρανζίστορ σε συνδεσμολογία «διόδου», παράλληλα με το αρχικό NMOS τρανζίστορ PN1. Η νέα τοπολογία παρουσιάζεται στην Σχήμα 3.2.

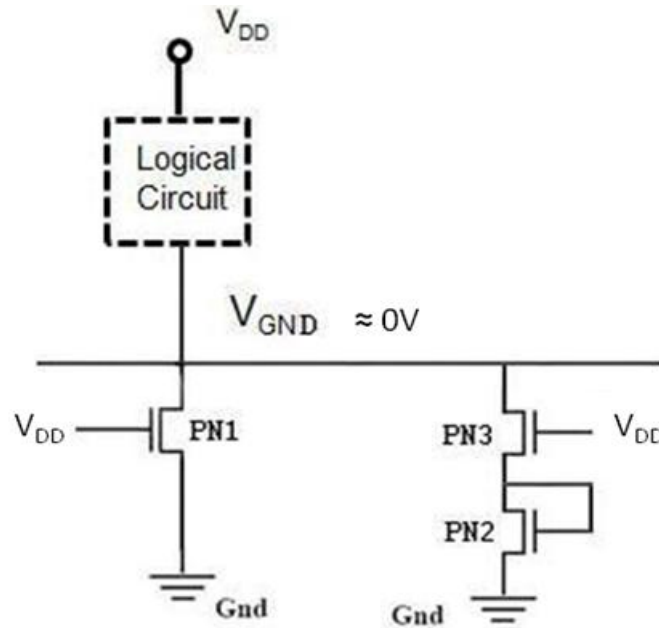
Στο Σχήμα 3.2 υπάρχει το λογικό κύκλωμα στο πάνω μέρος και από κάτω υπάρχει το κύκλωμα δημιουργίας καταστάσεων ύπνου, το οποίο με την λειτουργία του επιτρέπει την εξοικονόμησης ενέργειας στο σύστημα. Το κύκλωμα δημιουργίας καταστάσεων ύπνου αποτελείται από τα NMOS τρανζίστορ PN1, PN2, και PN3. Τα σήματα ελέγχου Control Signal 1 και Control Signal 2 εφαρμόζονται στις πύλες του τρανζίστορ PN1

και PN3 αντίστοιχα. Το τρανζίστορ PN2 είναι μόνιμα σε συνδεσμολογία διόδου. Τα τρανζίστορ PN1 και PN3 χρησιμοποιούνται για να φέρουν το κύκλωμα σε κατάσταση πλήρους ύπνου, όπου εκεί η τάση του κόμβου V_{GND} ισούται σχεδόν με την τάση τροφοδοσίας V_{DD} . Αφού το τρανζίστορ PN2 είναι μόνιμα σε συνδεσμολογία διόδου, η τάση στην υποδοχή του θα είναι περίπου ίση με την τάση κατωφλίου της διόδου που δημιουργείται. Όταν το τρανζίστορ PN3 είναι σε αγώγιμη κατάσταση, η τάση που υπάρχει στην υποδοχή του PN3 τρανζίστορ, εφαρμόζεται στον κόμβο V_{GND} , με αποτέλεσμα αυτός να φορτιστεί σε τάση περίπου ίση με την τάση κατωφλίου του PN2. Ας αναλύσουμε λίγο την παραπάνω τεχνική.

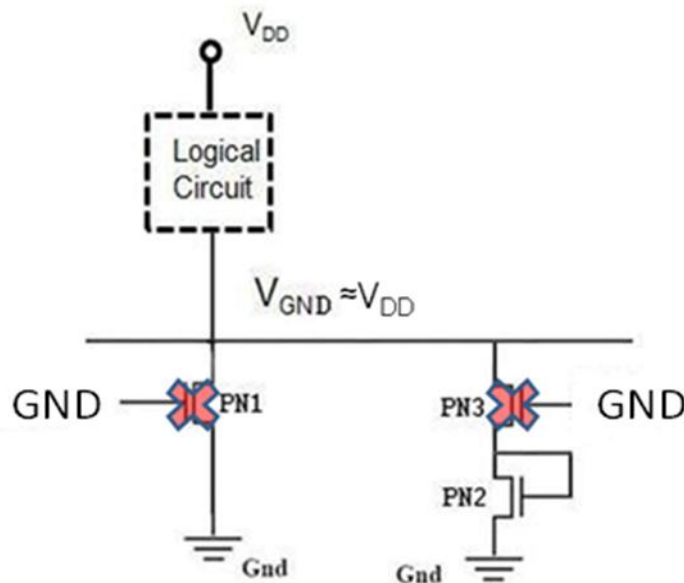


Σχήμα 3.2 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου

Όταν το κύκλωμα είναι σε κατάσταση κανονικής λειτουργίας το τρανζίστορ PN1 είναι σε αγώγιμη κατάσταση με το σήμα Control Signal 1 σε υψηλή στάθμη. Το σήμα Control Signal 2 είναι επίσης σε υψηλή στάθμη οδηγώντας το τρανζίστορ PN3 σε αγώγιμη κατάσταση ενώ το PN2 είναι μόνιμα σε συνδεσμολογία «διδόου». Με το PN1 σε αγώγιμη κατάσταση, ο κόμβος V_{GND} αποφορτίζεται μέσω του PN1 και η τάση του γίνεται σχεδόν 0V. Λόγω του ότι το τρανζίστορ PN2 είναι σε συνδεσμολογία διόδου, ο αντίστοιχος κλάδος δεν συμβάλει ουσιαστικά στην διαμόρφωση της τάσης του κόμβου V_{GND} . Στο Σχήμα 3.3 φαίνεται η κατάσταση του κυκλώματος στην κανονική λειτουργία.

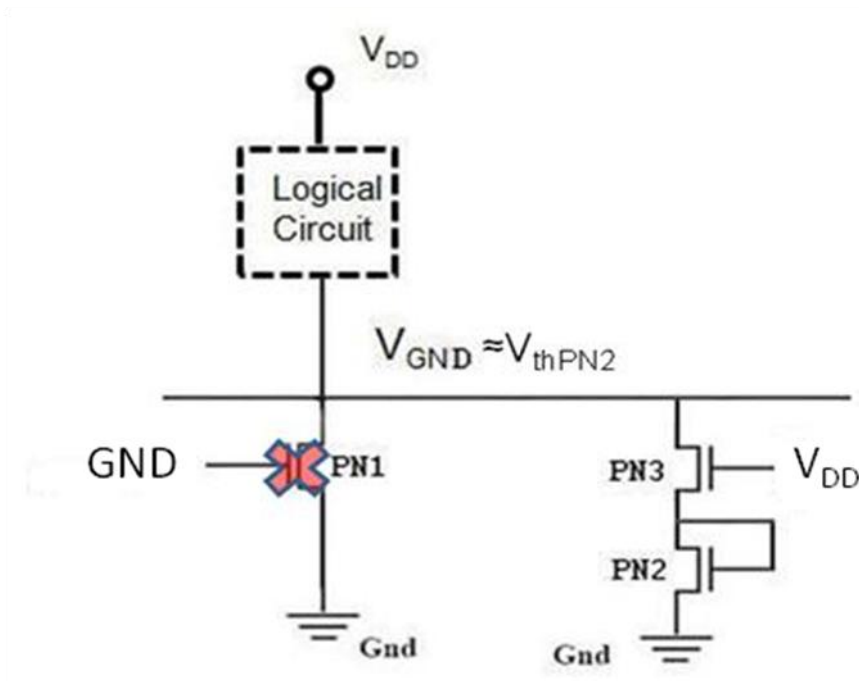


Σχήμα 3.3 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου στην Κανονική Λειτουργία
 Στην κατάσταση που θέλουμε να έχουμε την μέγιστη εξοικονόμηση ενέργειας, ο κόμβος V_{GND} πρέπει να έχει τιμή όσο το δυνατόν πιο κοντά στην τάση τροφοδοσίας. Σε αυτή την κατάσταση, τα τρανζίστορ PN1 και PN3 πρέπει να είναι στην αποκοπή, εμποδίζοντας τον κόμβο V_{GND} να αποφορτιστεί, ωθώντας τον να ανεβάσει την τάση του κοντά στην τάση τροφοδοσίας. Στο Σχήμα 3.4 φαίνεται η κατάσταση του κυκλώματος στην κατάσταση μέγιστης εξοικονόμησης ενέργειας ή αλλιώς πλήρους ύπνου.



Σχήμα 3.4 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου στην Κατάσταση Πλήρους Ύπνου

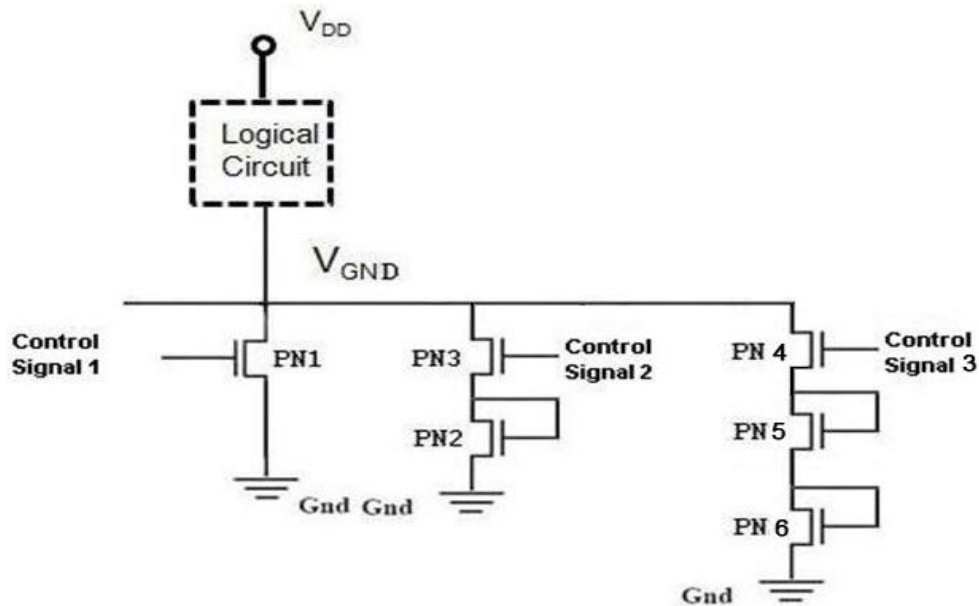
Ανάμεσα στην κανονική λειτουργία και στην κατάσταση μέγιστης εξοικονόμησης ενέργειας, υπάρχει μια ενδιάμεση κατάσταση με τον κόμβο V_{GND} σε μια ενδιάμεση τάση. Στη νέα κατάσταση το κύκλωμα έχει μικρότερη εξοικονόμηση σε ενέργεια αλλά χρειάζεται και μικρότερο χρόνο για να μεταβεί στην κατάσταση αυτή και να επανέλθει στην κατάσταση κανονικής λειτουργίας. Για να πετύχουμε αυτή την κατάσταση λειτουργίας, το τρανζίστορ PN1 είναι στην αποκοπή (το Control Signal 1 είναι σε χαμηλή στάθμη), ενώ το PN3 τρανζίστορ είναι σε αγωγίμη κατάσταση με το σήμα Control Signal 2 σε υψηλή στάθμη. Αυτό έχει ως αποτέλεσμα, το τρανζίστορ PN2 να καθορίζει την τάση του κόμβου V_{GND} , θέτοντάς την ίση με την τάση κατωφλίου του, καθώς είναι σε συνδεσμολογία «διόδου». Στο Σχήμα 3.5 φαίνεται η διαμόρφωση του κυκλώματος στην ενδιάμεση κατάσταση εξοικονόμησης ενέργειας (ενδιάμεση κατάσταση ύπνου).



Σχήμα 3.5 Το Κύκλωμα με Δυο Καταστάσεις Ύπνου στην Ενδιάμεση Κατάσταση Ύπνου.

3.3. Πολλαπλοί Προγραμματιζόμενοι Διακόπτες

Η παραπάνω τεχνική μπορεί να επεκταθεί εισάγοντας και άλλες ενδιάμεσες καταστάσεις ύπνου με την προσθήκη και άλλων κλάδων μεταξύ του λογικού κυκλώματος και της γης, όπως φαίνεται στο Σχήμα 3.6.



Σχήμα 3.6 Το Κύκλωμα με Τρεις Καταστάσεις Ύπνου

Στο κύκλωμα του Σχήματος 3.6, τα τρανζίστορ PN1, PN2, PN3 επιτελούν ακριβώς την ίδια λειτουργία με το προηγούμενο κύκλωμα των δυο καταστάσεων ύπνου. Η διαφορά σε αυτό το κύκλωμα έγκειται στα τρανζίστορ PN4, PN5 και PN6 που επιτρέπουν την δημιουργία της τρίτης κατάστασης ύπνου. Σε αυτή την κατάσταση τα τρανζίστορ PN1, PN3 είναι στην αποκοπή (τα σήματα Control Signal 1 και Control Signal 2 είναι σε χαμηλή στάθμη). Το τρανζίστορ PN4 είναι σε αγώγιμη κατάσταση (το σήμα Control Signal 3 είναι σε υψηλή στάθμη), με αποτέλεσμα να φορτίζει τον κόμβο V_{GND} σε μια τάση η οποία είναι ίση με το άθροισμα των τάσεων κατωφλίου των δύο τρανζίστορ PN5 και PN6 που βρίσκονται σε συνδεσμολογία «διόδου». Αν τα τρανζίστορ PN5 και PN6 είναι της ίδιας τάξης μεγέθους με το PN2, η τάση του κόμβου V_{GND} θα είναι περίπου διπλάσια, από την τάση που έχει ο κόμβος V_{GND} στην ενδιάμεση κατάσταση ύπνου της προηγούμενης ενότητας. Αυτό συνεπάγεται μεγαλύτερη εξοικονόμηση ενέργειας αλλά και μεγαλύτερο χρόνο για να επανέλθει το κύκλωμα σε κατάσταση κανονικής λειτουργίας. Αυτό συμβαίνει γιατί σε αυτή την περίπτωση ο κόμβος V_{GND} βρίσκεται σε μεγαλύτερη τάση και συνεπώς χρειάζεται μεγαλύτερος χρόνος για να αποφορτιστεί η χωρητικότητά του.

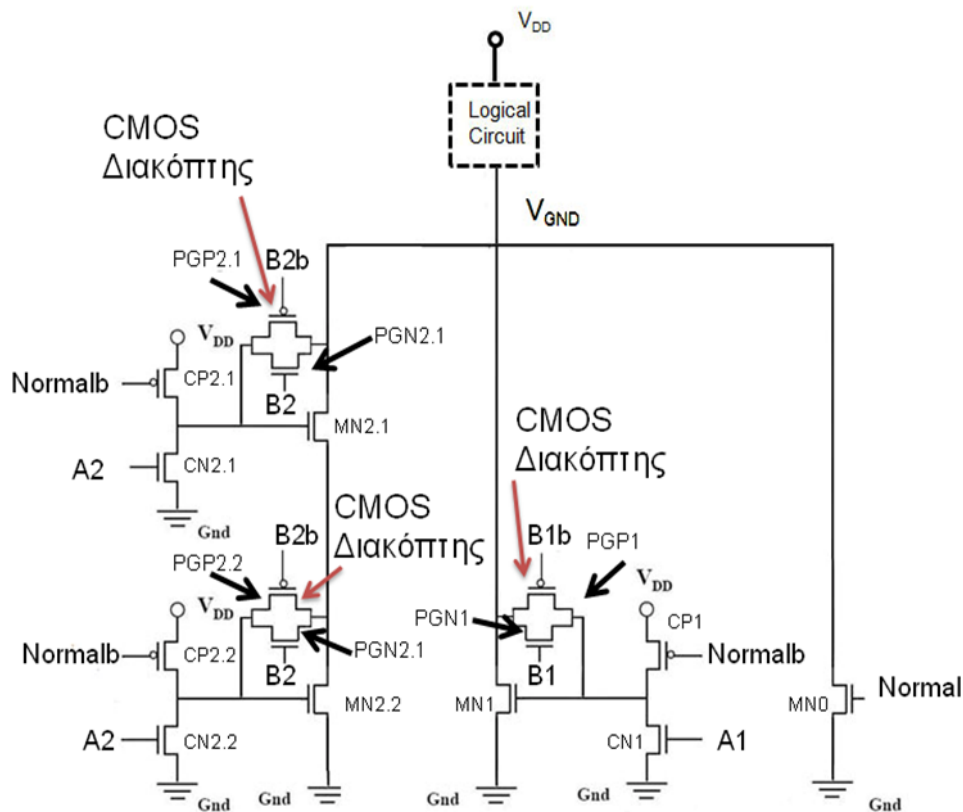
Με την ίδια λογική μπορούν να προστεθούν και άλλοι παρόμοιοι κλάδοι με NMOS τρανζίστορ σε συνδεσμολογία «διόδου», δημιουργώντας ένα κύκλωμα με πολλαπλές καταστάσεις ύπνου. Κάτι τέτοιο όμως εκτός του ότι θα έχει μεγάλο κατασκευαστικό κόστος σε επιφάνεια λόγω των πολλών τρανζίστορ που απαιτούνται, θα αύξανε

τρομερά την πολυπλοκότητα του συστήματος διαχείρισης του κυκλώματος για να καθοριστεί κάθε φορά η κατάσταση ύπνου του κυκλώματος.

Σε αυτή την εργασία επιδιώκεται η ανάπτυξη της παραπάνω τεχνικής με τη χρήση τριών καταστάσεων ύπνου για το κύκλωμα μας. Η τοπολογία βασίζεται στη χρήση των τεσσάρων NMOS τρανζίστορ PN1, PN2, PN5 και PN6 του αρχικού Σχήματος 3.6. Στην προτεινόμενη όμως σχεδίαση τα τρανζίστορ PN2, PN5 και PN6 μπορούν να τοποθετηθούν κατ' επιλογή σε συνδεσμολογία διόδου ή όχι, με την χρήση κατάλληλων CMOS διακοπών. Στο Σχήμα 3.7 δίδεται η νέα σχεδίαση, όπου τα τρανζίστορ MN0, MN1, MN2.1 και MN2.2 αντιστοιχούν στα τρανζίστορ PN1, PN2, PN5 και PN6 του Σχήματος 3.6. Όταν τα τρανζίστορ δεν είναι σε συνδεσμολογία διόδου μπορούν κατ' επιλογή είτε να βρεθούν σε αγώγιμη κατάσταση είτε στην αποκοπή.

Ένα πλεονέκτημα της παρούσας τεχνικής είναι ότι παρουσιάζει μεγάλη σταθερότητα στον χρόνο αφύπνισης και στις τάσεις της κάθε κατάστασης ύπνου. Σε αντίθεση με το κύκλωμα που χρησιμοποιείται στο [27], όπου οι τάσεις που ελέγχουν το κύκλωμα είναι τάσεις υποκατωφλίου και η κατασκευαστική διακύμανση μπορεί να προσδώσει στο κύκλωμα εντελώς διαφορετική συμπεριφορά από την αναμενόμενη.

Ένα ακόμα πλεονέκτημα της παρούσας τεχνικής έναντι της [27] είναι ότι τα τρανζίστορ MN1, MN2.1 και MN2.2 μπορούν να χρησιμοποιηθούν και με άλλους τρόπους, πέρα από το να είναι σε συνδεσμολογία «διόδου». Δηλαδή, χάρη στις πύλες διέλευσης και τα τρανζίστορ PGP2.1, PGP2.2, P1, CN1, CN2.1, CN2.2 που υπάρχουν, όταν το κύκλωμα πρέπει να μεταβεί στην κατάσταση κανονικής λειτουργίας από κάποια από τις καταστάσεις ύπνου, μπορεί να γίνει τέτοια διαμόρφωση της συνδεσμολογίας των τρανζίστορ MN2.1, MN2.2 και MN1 ούτως ώστε τα τρανζίστορ αυτά να βοηθήνε στην γρηγορότερη αποφόρτιση του κόμβου V_{GND} . Αυτό συμβαίνει γιατί κατά την διάρκεια αυτής της μετάβασης, τα MN2.1, MN2.2 και MN1 είναι σε αγώγιμη κατάσταση και συνεπώς υπάρχουν πρακτικά τρεις παράλληλες αντιστάσεις στον κόμβο αποφόρτισης, μειώνοντας έτσι την συνολική αντίσταση για την αποφόρτιση του κόμβου V_{GND} .



Σχήμα 3.7 Το Προτεινόμενο Κύκλωμα.

Όπως και νωρίτερα υπάρχουν συνολικά τρεις κλάδοι στην σχεδίαση.

1. Ο πρώτος κλάδος περιλαμβάνει τα δύο εν σειρά NMOS τρανζίστορ MN2.1 και MN2.2 που μπορούν να τεθούν σε συνδεσμολογία διόδου, δύο πύλες διέλευσης στο ρόλο των CMOS διακοπών (τρανζίστορ PGP2.1, PGN2.1, PGP2.2, PGN2.2), και δύο ζευγάρια PMOS-NMOS τρανζίστορ ελέγχου (CP2.1, CN2.1 και CP2.2 CN2.2). Οι πύλες διέλευσης επιτρέπουν στα τρανζίστορ MN2.1 και MN2.2 να τεθούν σε συνδεσμολογία διόδου. Το σήμα B2 και το συμπλήρωμα του B2b (κοινό και για τις δύο πύλες) καθορίζει την κατάσταση των πυλών διέλευσης. Όταν το σήμα αυτό είναι σε υψηλή στάθμη τα τρανζίστορ MN2.1 και MN2.2 είναι σε συνδεσμολογία διόδου. Τα PMOS τρανζίστορ ελέγχου CP2.1 και CP2.2 οδηγούνται από κοινού με το σήμα Normalb και όταν άγουν φορτίζουν τις πύλες των MN2.1 και MN2.2 καθιστώντας τα πλήρως αγωγίμα για την αποφόρτιση του κόμβου V_{GND} . Τα NMOS τρανζίστορ ελέγχου CN2.1 και CN2.2 οδηγούνται από κοινού με το σήμα A2 και όταν άγουν αποφορτίζουν τις πύλες των MN2.1 και MN2.2 θέτοντάς τα στην αποκοπή. Στη συνέχεια αυτός ο κλάδος θα αναφέρεται για ευκολία ως «κλάδος διπλού τρανζίστορ»

2. Ο δεύτερος κλάδος περιλαμβάνει το NMOS τρανζίστορ MN1, που μπορεί να τεθεί σε συνδεσμολογία διόδου, μια πύλη διέλευσης στο ρόλο των CMOS διακόπτη (τρανζίστορ PGP1, PGN1), και ένα ζευγάρι PMOS-NMOS τρανζίστορ ελέγχου (CP1,CN1). Η πύλη διέλευσης επιτρέπει στο τρανζίστορ MN1 να τεθεί σε συνδεσμολογία διόδου. Το σήμα B1 και το συμπλήρωμα του B1b καθορίζει την κατάσταση της πύλης διέλευσης. Όταν το σήμα αυτό είναι σε υψηλή στάθμη το τρανζίστορ MN1 είναι σε συνδεσμολογία διόδου. Το PMOS τρανζίστορ ελέγχου CP1 οδηγείται με το σήμα Normalb και όταν άγει φορτίζει την πύλη του MN1 καθιστώντας το πλήρως αγώγιμο για την αποφόρτιση του κόμβου V_{GND} . Το NMOS τρανζίστορ ελέγχου CN1 οδηγείται με το σήμα A1 και όταν άγει αποφορτίζει την πύλη του MN1 θέτοντάς το στην αποκοπή. Στη συνέχεια αυτός ο κλάδος θα αναφέρεται για ευκολία ως «κλάδος μονού τρανζίστορ».

Στον τρίτο κλάδο περιλαμβάνει το NMOS τρανζίστορ MN0. Το MN0 τρανζίστορ είναι το μεγαλύτερο τρανζίστορ από όλα. Είναι το τρανζίστορ το οποίο είναι κυρίως υπεύθυνο για την επαναφορά του κυκλώματος σε κατάσταση λειτουργίας. Το MN0 τρανζίστορ οδηγείται από το σήμα Normal, το οποίο όταν είναι σε υψηλή στάθμη φορτίζει την πύλη του MN0 τρανζίστορ, θέτοντάς το σε αγώγιμη κατάσταση για την αποφόρτιση του κόμβου V_{GND} .

3.3.1. Καταστάσεις του κυκλώματος

Ανάλογα με τα σήματα ελέγχου που εφαρμόζονται στο κύκλωμα ο κόμβος V_{GND} και οι τρεις κλάδοι του κυκλώματος τίθενται σε διαφορετικές καταστάσεις. Τα σήματα Select1 και Select2 είναι σήματα ελέγχου, από τα οποία με ένα μικρό κύκλωμα λογικής παράγονται τα σήματα A1, B1, B1b, B2 και B2b τα οποία χρησιμοποιούνται για να ελέγξουν τους CMOS διακόπτες. Στον Πίνακα 3.1 φαίνονται συνοπτικά οι καταστάσεις λειτουργίας του κυκλώματος καθώς και οι αντίστοιχες καταστάσεις κάθε κλάδου του Σχήματος 3.7.

Πίνακας 3.1: Καταστάσεις Λειτουργίας του Κυκλώματος

Κατάσταση Κυκλώματος	Κλάδος Μονού Τρανζίστορ	Κλάδος Διπλού Τρανζίστορ	MN0 τρανζίστορ
Κανονικής Λειτουργίας	Αγώγιμη Κατάσταση	Αγώγιμη Κατάσταση	Αγώγιμη Κατάσταση
Sleep	Συνδεσμολογία «διόδου»	Μη-αγώγιμη Κατάσταση	Μη-αγώγιμη Κατάσταση
Dream	Μη-αγώγιμη Κατάσταση	Συνδεσμολογία «διόδου»	Μη-αγώγιμη Κατάσταση
Snore	Μη-αγώγιμη Κατάσταση	Μη-αγώγιμη Κατάσταση	Μη-αγώγιμη Κατάσταση

Ας δούμε στη συνέχεια αναλυτικά τις τέσσερις καταστάσεις στις οποίες μπορεί να βρεθεί το κύκλωμα μας:

3.3.1.1 Κατάσταση Snore

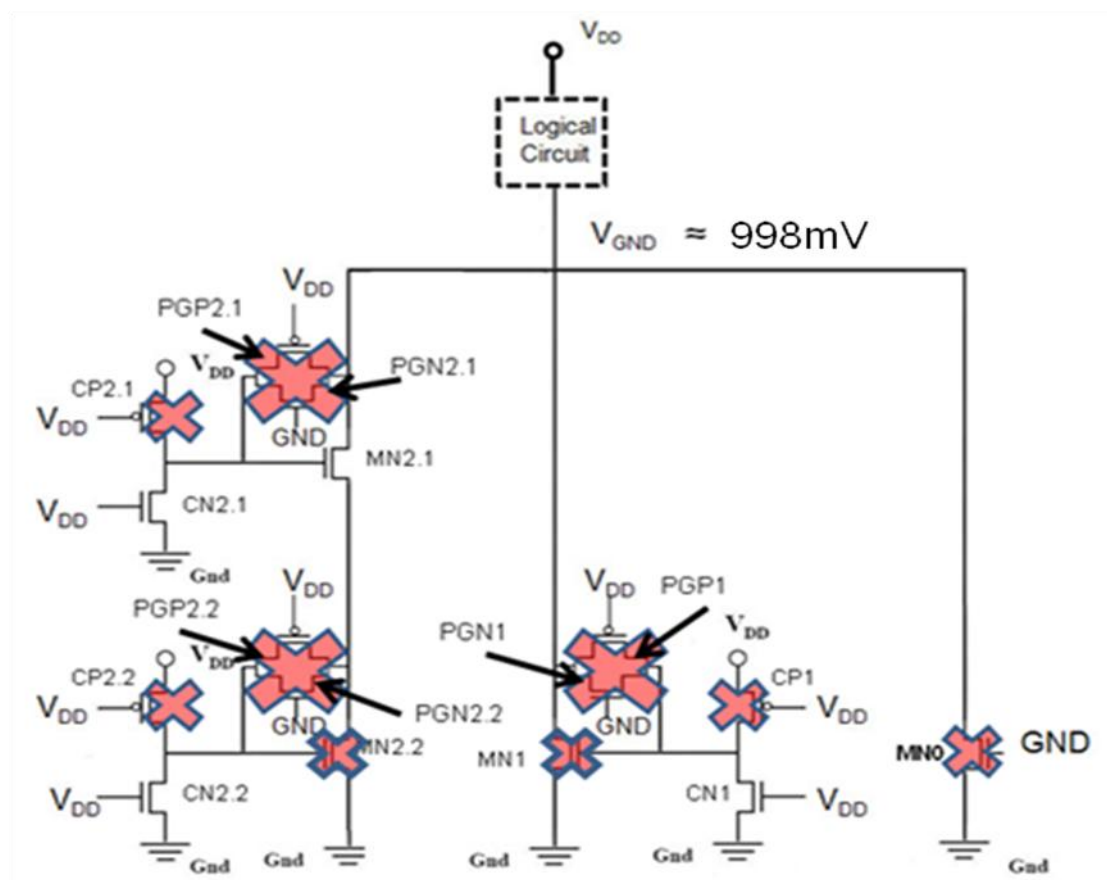
Στην κατάσταση Snore όλα τα NMOS τρανζίστορ (MN0, MN1, MN2.1, MN2.2) είναι σε μη-αγώγιμη κατάσταση. Όλοι οι CMOS διακόπτες (PG2.1, PG2.2, PG1) σε μη-αγώγιμη κατάσταση. Το σήμα Normalb που ελέγχει την πύλη των PMOS τρανζίστορ ελέγχου CP2.1, CP2.2 και CP1 είναι σε υψηλή στάθμη, με αποτέλεσμα να μην φορτίζουν τις αντίστοιχες πύλες των MN1, MN2.1 και MN2.2. Επίσης, τα σήματα A1 και A2 είναι σε υψηλή στάθμη, θέτοντας τα τρανζίστορ CN1, CN2.1 και CN2.2 σε αγώγιμη κατάσταση. Με αυτόν τον τρόπο, αποφορτίζονται οι πύλες των MN1, MN2.1 και MN2.2 τρανζίστορ και τα τρανζίστορ αυτά περνάνε σε μη-αγώγιμη κατάσταση, αποκόπτοντας το μονοπάτι από τον κόμβο V_{GND} προς την γη.

Το σήμα Normal είναι σε χαμηλή στάθμη, αποφορτίζοντας την πύλη του MN0 τρανζίστορ, θέτοντάς το σε μη-αγώγιμη κατάσταση. Με αυτόν τον τρόπο, αποκόπτεται και αυτό το μονοπάτι από τον κόμβο V_{GND} προς την γη. Συνεπώς, δεν υπάρχει μονοπάτι ανάμεσα στην τροφοδοσία και την γη, με αποτέλεσμα ο κόμβος V_{GND} , λόγω των ρευμάτων διαρροής του λογικού κυκλώματος από τη μια και των ρευμάτων διαρροής των τρανζίστορ MN0, MN1, MN2.1 και MN2.2 από την άλλη, να φορτιστεί σε μια τάση κοντά στην τάση τροφοδοσίας V_{DD} . Στον Πίνακα 3.2 φαίνεται

αναλυτικά η κατάσταση όλων των τρανζίστορ του κάθε κλάδου. Η κατάσταση λειτουργίας των τρανζίστορ του κυκλώματος φαίνεται στο Σχήμα 3.8. Το σύμβολο X υπονοεί μη αγώγιμη κατάσταση των τρανζίστορ.

Πίνακας 3.2 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κατάσταση Snore

Κλάδος Μονού Τρανζίστορ					Κλάδος Διπλού Τρανζίστορ					MN0 τρανζίστορ
MN1	CP1	CN1	PGP1	PGN1	MN2.1, MN2.2	CP2.1, CP2.2	CN2.1, CN2.2	PGP2.1, PGP2.2	PGN2.1, PGN2.2	MN0
Μη-αγώγιμη κατάσταση	Αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση	Αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση



Σχήμα 3.8 . Το Κύκλωμα σε Κατάσταση Snore

3.3.1.2 Κατάσταση Dream

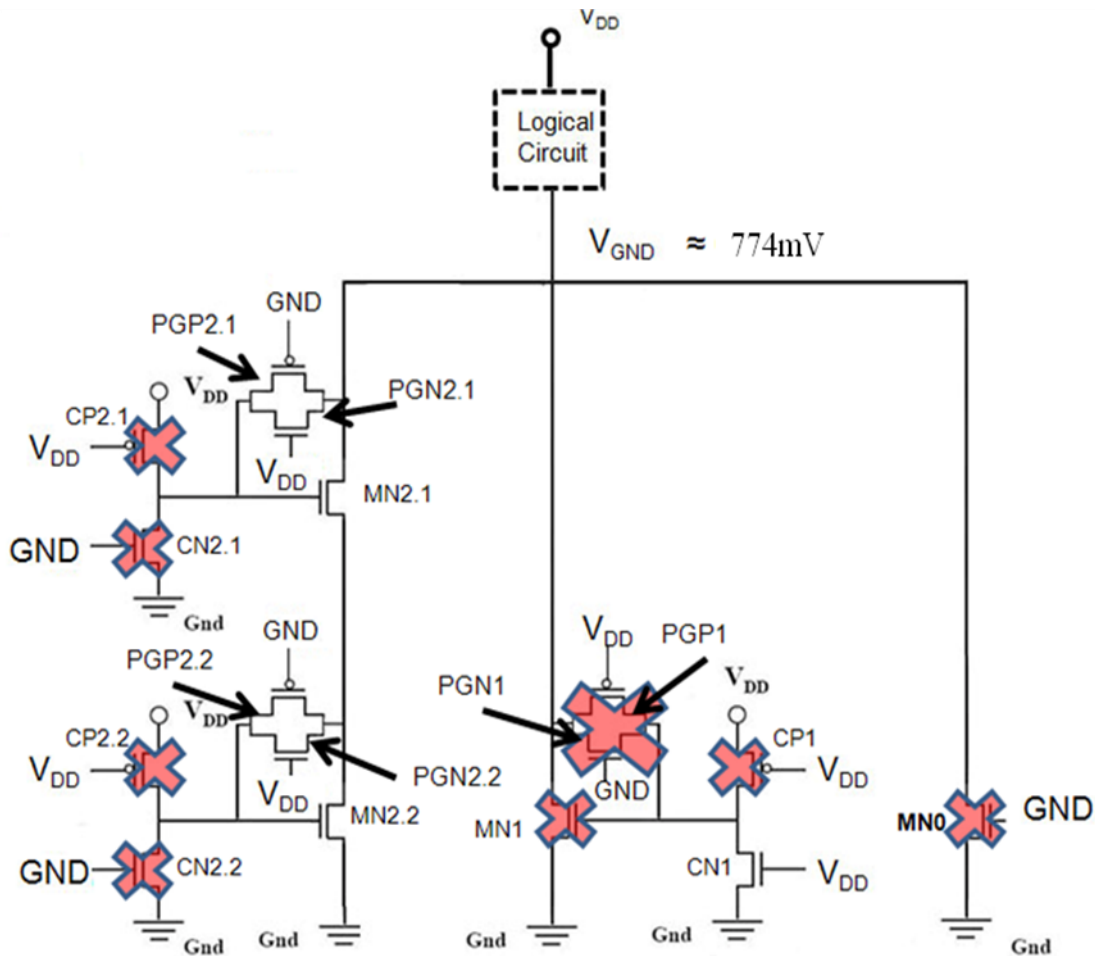
Στην κατάσταση Dream το σήμα B2 είναι σε υψηλή στάθμη, θέτοντας τους CMOS διακόπτες PGP2.1, PGP2.2, PGN2.1 και PGN2.2 σε αγωγή κατάσταση. Με αυτά τα τρανζίστορ σε αγωγή κατάσταση, τα τρανζίστορ MN2.1 και MN2.2 μπαίνουν σε συνδεσμολογία διόδου. Με αυτό τον τρόπο η διαφορά τάσης που δημιουργείται ανάμεσα στον κόμβο V_{GND} και στην γη, ισούται περίπου με το άθροισμα των τάσεων κατωφλίου των τρανζίστορ MN2.1 και MN2.2. Το σήμα ελέγχου B1 είναι σε χαμηλή στάθμη, θέτοντας τα τρανζίστορ PGP1 και PGN1 σε μη-αγωγή κατάσταση. Το σήμα ελέγχου Normalb είναι σε υψηλή στάθμη και θέτει τα τρανζίστορ CP1, CP2.1, CP2.2 σε μη-αγωγή κατάσταση, μην επιτρέποντας στην πύλη των MN1, MN2.1 και MN2.2 τρανζίστορ να φορτιστούν και να τεθούν τα αντίστοιχα τρανζίστορ σε αγωγή κατάσταση. Επίσης, τα σήματα A1 και A2 είναι σε χαμηλή στάθμη, θέτοντας τα τρανζίστορ CN1, CN2.1 και CN2.2 σε μη-αγωγή κατάσταση για να μην μπορούν να αποφορτίσουν τις πύλες των τρανζίστορ MN1, MN2.1 και MN2.2 αντίστοιχα.

Το σήμα Normal είναι σε χαμηλή στάθμη, αποφορτίζοντας την πύλη του MN0 τρανζίστορ, θέτοντάς το σε μη-αγωγή κατάσταση. Με αυτόν τον τρόπο, αποκόπτεται και αυτό το μονοπάτι από τον κόμβο V_{GND} προς την γη. Συνεπώς, το ουσιαστικό μονοπάτι αποφόρτισης του κόμβου V_{GND} , είναι μέσα από την συνδεσμολογία διόδου των τρανζίστορ MN2.1 και MN2.2. Συνυπολογίζοντας και τα ρεύματα διαρροής ο κόμβος θα φορτιστεί σε μια τάση κοντά στο διπλάσιο της τάσης κατωφλίου των NMOS τρανζίστορ.

Πίνακας 3.3 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κατάσταση Dream.

Κλάδος Μονού Τρανζίστορ					Κλάδος Διπλού Τρανζίστορ					MN0 τρανζίστορ
MN 1	CP1	CN 1	PGP 1	PGN 1	MN2.1, MN2.2	CP2.1, CP2.2	CN2. 1, CN2. 2	PGP2 .1, PGP2 .2	PGN2 .1, PGN2 .2	MN0
Μη-αγώγιμη κατάσταση		Αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση		Συνδεσμολογία «διόδου»	Μη-αγώγιμη κατάσταση		Αγώγιμη κατάσταση		Μη-αγώγιμη κατάσταση

Στον Πίνακα 3.3 φαίνεται αναλυτικά η κατάσταση όλων των τρανζίστορ του κάθε κλάδου. Η λειτουργία των τρανζίστορ του κυκλώματος στην κατάσταση Dream παρουσιάζεται στο Σχήμα 3.9.



Σχήμα 3.9. Το Κύκλωμα σε Κατάσταση Dream

3.3.1.3 Κατάσταση Sleep

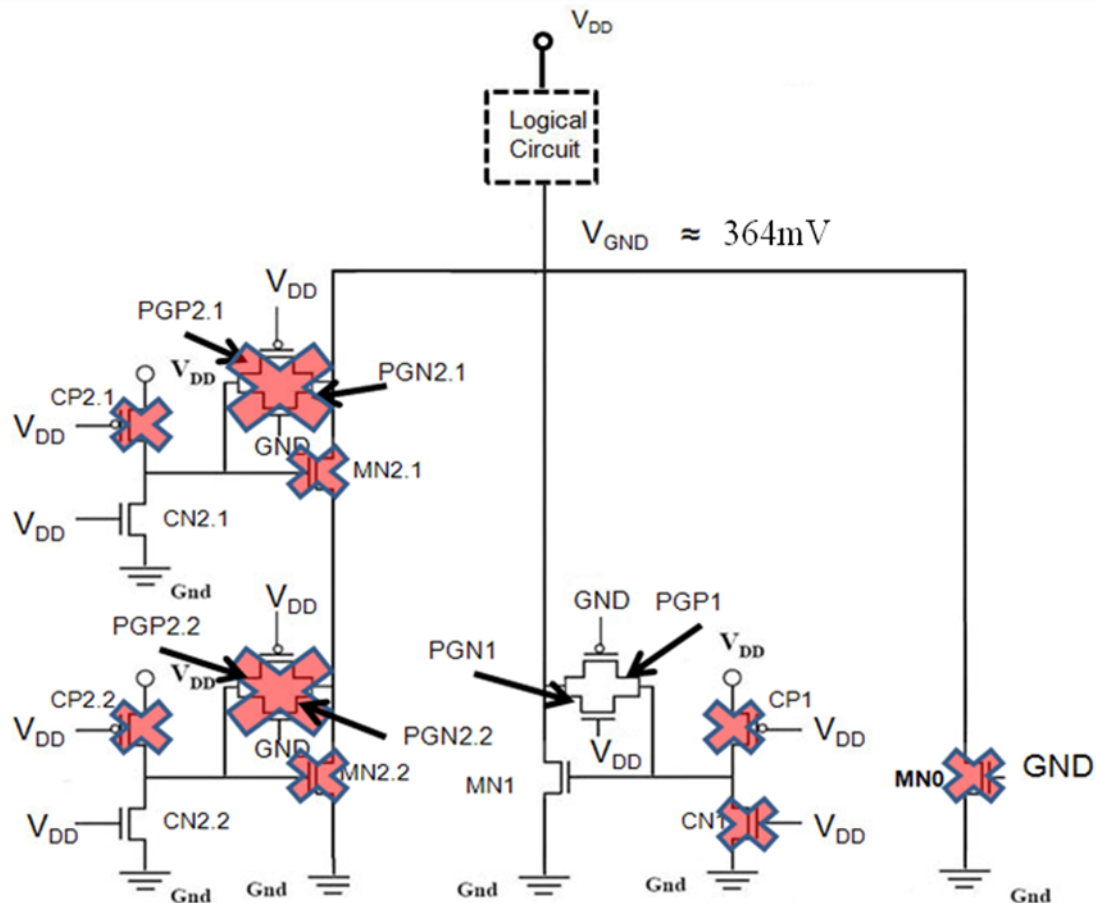
Στην κατάσταση Sleep το σήμα B1 είναι σε υψηλή στάθμη, θέτοντας τους CMOS διακόπτες PGP1 και PGN1 σε αγωγή κατάσταση. Με αυτά τα τρανζίστορ σε αγωγή κατάσταση, το τρανζίστορ MN1 μπαίνει σε συνδεσμολογία διόδου. Το σήμα ελέγχου B2 είναι σε χαμηλή στάθμη, θέτοντας τα τρανζίστορ PGP2.1, PGP2.2, PGN2.1 και PGN2.2 σε μη-αγωγή κατάσταση. Το σήμα ελέγχου Normalb είναι σε υψηλή στάθμη και θέτει τα τρανζίστορ CP1, CP2.1, CP2.2 σε μη-αγωγή κατάσταση, μην επιτρέποντας στην πύλη των MN1, MN2.1 και MN2.2 τρανζίστορ να φορτιστούν και να τεθούν τα αντίστοιχα τρανζίστορ σε αγωγή κατάσταση. Επίσης, τα σήματα A1 και A2 είναι σε χαμηλή στάθμη, θέτοντας τα τρανζίστορ CN1, CN2.1 και CN2.2 σε μη-αγωγή κατάσταση για να μην μπορούν να αποφορτίσουν τις πύλες των τρανζίστορ MN1, MN2.1 και MN2.2 αντίστοιχα.

Το σήμα Normal είναι σε χαμηλή στάθμη, αποφορτίζοντας την πύλη του MN0 τρανζίστορ, θέτοντάς το σε μη-αγώγιμη κατάσταση. Με αυτόν τον τρόπο, αποκόπτεται και αυτό το μονοπάτι από τον κόμβο V_{GND} προς την γη. Συνεπώς το ουσιαστικό μονοπάτι αποφόρτισης του κόμβου V_{GND} , είναι μέσα από την συνδεσμολογία διόδου του τρανζίστορ MN1.

Στον Πίνακα 3.4 φαίνεται αναλυτικά η κατάσταση όλων των τρανζίστορ του κλάδου. Η λειτουργία των τρανζίστορ του κυκλώματος στην κατάσταση Sleep παρουσιάζεται στο Σχήμα 3.10.

Πίνακας 3.4 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κατάσταση Sleep.

Κλάδος Μονού Τρανζίστορ					Κλάδος Διπλού Τρανζίστορ					MN0 τρανζίστορ
MN1	CP1	CN1	PGP1	PGN1	MN2.1, MN2.2	CP2.1, CP2.2	CN2.1, CN2.2	PGP2. 1, 2	PGN2. 1, 2	MN0
Συνδεσμολογία «διόδου»	Μη-αγώγιμη κατάσταση		Αγώγιμη κατάσταση		Μη-αγώγιμη κατάσταση		Αγώγιμη κατάσταση	Μη-αγώγιμη κατάσταση		Μη-αγώγιμη κατάσταση



Σχήμα 3.10. Το Κύκλωμα σε Κατάσταση Sleep

3.3.1.4 Κατάσταση Κανονικής Λειτουργίας

Στην κατάσταση κανονικής λειτουργίας το σήμα B1 και B2 είναι σε χαμηλή στάθμη, θέτοντας τους CMOS διακόπτες PGP1, PGP2.1, PGP2.2, PGN1, PGN2.1 και PGN2.2 σε μη-αγώγιμη κατάσταση. Το σήμα ελέγχου Normalb είναι σε χαμηλή στάθμη και θέτει τα τρανζίστορ CP1, CP2.1, CP2.2 σε αγώγιμη κατάσταση, κάνοντας τις πύλες των MN1, MN2.1 και MN2.2 τρανζίστορ να φορτιστούν και να τεθούν τα αντίστοιχα τρανζίστορ σε αγώγιμη κατάσταση. Επίσης, τα σήματα A1 και A2 είναι σε χαμηλή στάθμη, θέτοντας τα τρανζίστορ CN1, CN2.1 και CN2.2 σε μη-αγώγιμη κατάσταση για να μην μπορούν να αποφορτίσουν τις πύλες των τρανζίστορ MN1, MN2.1 και MN2.2 αντίστοιχα. Το σήμα Normal είναι σε υψηλή στάθμη, φορτίζοντας την πύλη του MN0 τρανζίστορ, θέτοντάς το σε αγώγιμη κατάσταση.

Συνεπώς, τώρα υπάρχουν τρία μονοπάτια από τον κόμβο V_{GND} προς την γη. Μέσω αυτών των μονοπατιών, ο κόμβος V_{GND} αποφορτίζεται και η τάση του κόμβου αυτού

μειώνεται σε μια τάση πολύ κοντά στη γη. Μόλις σταθεροποιηθεί η τάση του κόμβου το κύκλωμα έχει εισέλθει στην κατάσταση κανονικής λειτουργίας. Στον Πίνακα 3.5 φαίνεται αναλυτικά η κατάσταση όλων των τρανζίστορ του κάθε κλάδου. Το κύκλωμα στην κατάσταση κανονικής λειτουργίας φαίνεται στο Σχήμα 3.11.

Πίνακας 3.5 Λειτουργία των Τρανζίστορ του Κυκλώματος στην Κανονική Κατάσταση

Κλάδος Μονού Τρανζίστορ					Κλάδος Διπλού Τρανζίστορ					MN0 τρανζίστορ
MN1	CP1	CN1	PGP1	PGN1	MN2.1, MN2.2	CP2.1, CP2.2	CN2.1, CN2.2	PGP2.1, PGP2.2	PGN2.1, PGN2.2	MN0
Αγώγιμη κατάσταση		Μη-αγώγιμη κατάσταση			Αγώγιμη κατάσταση		Μη-αγώγιμη κατάσταση			Αγώγιμη κατάσταση

ΚΕΦΑΛΑΙΟ 4. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ

4.1 Πειραματική Διάταξη- Ψηφιακό Κύκλωμα

4.2 Πειραματική Διάταξη – Το Κύκλωμα Καταστάσεων Ύπνου

4.3 Σήματα ελέγχου

4.4 Πειραματικά Αποτελέσματα

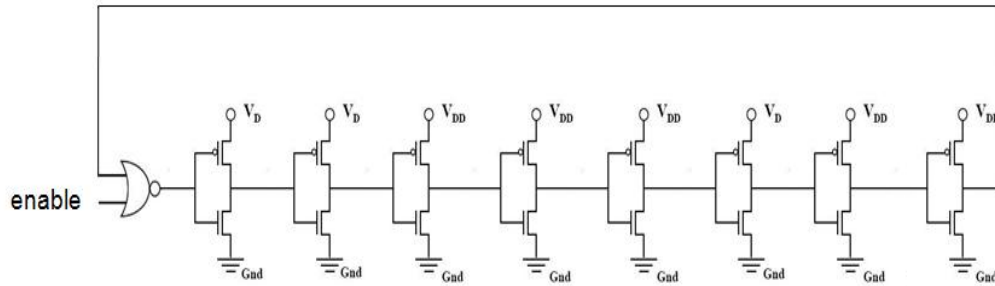
4.5 Ανάλυση Αποτελεσμάτων

4.6 Κατανεμημένη Υλοποίηση Κυκλώματος Δημιουργίας Καταστάσεων Ύπνου

4.7 Συμπεράσματα

4.1. Πειραματική Διάταξη- Ψηφιακό Κύκλωμα

Για την επιβεβαίωση της προτεινόμενης τεχνικής σχεδιάστηκε κατάλληλο κύκλωμα, εφαρμόστηκε η προτεινόμενη τεχνική και πραγματοποιήθηκαν οι απαραίτητες προσομοιώσεις. Η τεχνολογία που χρησιμοποιήθηκε ήταν η CMOS τεχνολογία των 90nm της UMC. Το κύκλωμα αποτελείται από πολλαπλά αντίγραφα ενός κυκλικού ταλαντωτή (ring oscillator) εννέα στοιχείων καθυστέρησης (delay elements). Ο ταλαντωτής επιλέχθηκε καθώς είναι πολύ απλός στην σχεδίαση του και η λειτουργία που επιτελεί το ψηφιακό κύκλωμα μας είναι αδιάφορη για την εφαρμογή της τεχνικής μας. Το μόνο που χρειαζόμαστε είναι ένα κύκλωμα που θα παρέχει μεγάλο ρεύμα ηρεμίας. Τα οκτώ στοιχεία καθυστέρησης είναι αναστροφείς (πύλες NOT) ενώ και το ένατο είναι μια πύλη NAND 2 εισόδων ώστε εφαρμόζοντας στην δεύτερη είσοδό της ένα σήμα επίτρεψης (Enable) να μπορούμε να αποτρέψουμε την λειτουργία του ταλαντωτή (ταλάντωση) κατά το δοκούν. Όταν το Enable είναι σε υψηλή στάθμη, ο ταλαντωτής είναι σε κατάσταση κανονικής λειτουργίας και εκτελεί την προβλεπόμενη ταλάντωση. Αντίστοιχα, όταν το σήμα Enable είναι σε χαμηλή στάθμη, αποτρέπεται η ταλάντωση και το κύκλωμα «παγώνει» σε μια συγκεκριμένη κατάσταση. Στο Σχήμα 4.1 δίδεται η τοπολογία του ταλαντωτή.



Σχήμα 4.1 . Ο Κυκλικός Ταλαντωτής που Χρησιμοποιείται σαν Βασική Μονάδα για το Λογικό Κύκλωμα

Για να πετύχουμε τεχνητά πολύ μεγάλη πολλαπλότητα το PMOS τρανζίστορ του κάθε του αντιστροφέα έχει πλάτος (W) $99000\mu\text{m} = 99\text{mm}$ και μήκος (L) 80nm και το NMOS τρανζίστορ του κάθε του αντιστροφέα έχει πλάτος (W) $50000\mu\text{m} = 50\text{mm}$ και μήκος (L) 80nm . Επίσης για τον σχηματισμό της πύλης NAND χρησιμοποιούνται δύο PMOS και δύο NMOS τρανζίστορ, τα οποία έχουν το ίδιο μέγεθος με τα αντίστοιχα τρανζίστορ των αντιστροφέων. Άρα στον ταλαντωτή υπάρχουν δέκα PMOS και δέκα NMOS τρανζίστορ. Επιπρόσθετα, αυτός ο ταλαντωτής επαναλήφθηκε δέκα φορές στον σχεδιασμό. Συνεπώς, το συνολικό πλάτος των τρανζίστορ του ψηφιακού κυκλώματος είναι ίσο με $10 \times (10 \times 99\text{mm} + 10 \times 50\text{mm}) = 9900\text{mm} + 5000\text{mm} = 14900\text{mm} = 14,9\text{m}$.

Από τα προηγούμενα προκύπτει ότι ο αριθμός των μοναδιαίων PMOS τρανζίστορ στο κύκλωμα (δηλ. τρανζίστορ με ελάχιστο πλάτος και μήκος για την συγκεκριμένη τεχνολογία – $W_{\min} = 120\text{nm}$, $L_{\min} = 120\text{nm}$ θα δίδεται από την ακόλουθη σχέση:

$$\# \text{μοναδιαίων_PMOS} = \frac{\text{πλάτος_τρανζίστορ}}{\text{min_πλάτος_τεχνολογίας}} \cdot \left(\frac{\text{PMOS/ταλαντωτή}}{\text{ταλαντωτών}} \right)$$

$$= \frac{9900\mu\text{m}}{120\text{nm}} * 10 * 10 = 8.250.000 \quad \text{PMOS τρανζίστορ.} \quad \text{Εξ 4.1}$$

Με παρόμοια σχέση υπολογίζουμε τον ισοδύναμο αριθμό των NMOS τρανζίστορ. Ισχύει και πάλι:

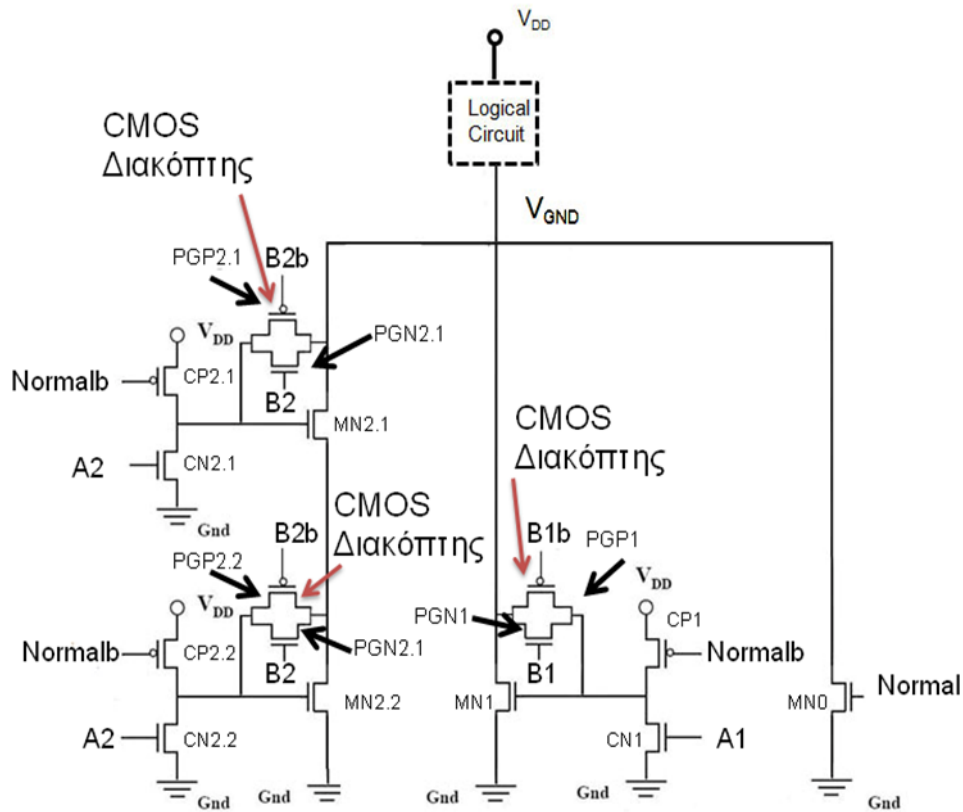
$$\# \text{μοναδιαίων_NMOS} = \frac{\text{πλάτος_τρανζίστορ}}{\text{min_πλάτος_τεχνολογίας}} \cdot \left(\frac{\text{NMOS/ταλαντωτή}}{\text{ταλαντωτών}} \right)$$

$$= \frac{5000\mu\text{m}}{120\text{nm}} * 10 * 10 = 4.166.666 \quad \text{NMOS τρανζίστορ} \quad \text{Εξ 4.2}$$

Άρα, από τις Εξισώσεις (4.1) και (4.2) υπολογίζεται ότι ο συνολικός αριθμός μοναδιαίων τρανζίστορ στο κύκλωμα είναι **12.416.666** τρανζίστορ. Ο λόγος που επιλέχθηκαν τόσο μεγάλα μεγέθη πλάτους για τα τρανζίστορ, είναι επειδή το ρεύμα διαρροής ($I_{leakage}$) είναι ανάλογο του πλάτους. Προφανώς, για τον έλεγχο της τεχνικής μας, είναι απαραίτητη η ύπαρξη όσο το δυνατόν μεγαλύτερων ρευμάτων διαρροής. Η περίοδος του σήματος του ταλαντωτή ήταν 192,57ps που αντιστοιχεί σε συχνότητα 5,19GHz.

4.2. Πειραματική Διάταξη – Το Κύκλωμα Καταστάσεων Ύπνου

Στόχος κατά την εφαρμογή της προτεινόμενης τεχνικής δημιουργίας καταστάσεων ύπνου ήταν να μην επηρεαστεί η ταχύτητα της λειτουργίας των ταλαντωτών περισσότερο από 15%. Οι προσομοιώσεις έδειξαν ότι με τη χρήση ενός τρανζίστορ «ύπνου» με πλάτος $W=900\text{mm}$ ο στόχος αυτός είναι εφικτός. Έτσι επιλέξαμε το συνολικό μέγεθος σε αθροιστικό μήκος των πλατών W των χρησιμοποιούμενων τρανζίστορ του προτεινόμενου κυκλώματος δημιουργίας καταστάσεων ύπνου να είναι ίσο με 900mm. Συνεπώς, το κόστος του κυκλώματος δημιουργίας καταστάσεων ύπνου είναι ίσο με το $\frac{900\text{mm}}{14900\text{mm}} \times 100\% = 6,04\%$ του μεγέθους του λειτουργικού κυκλώματος (ταλαντωτές). Παρατηρούμε ότι η συνολική επιβάρυνση σε επιφάνεια πυριτίου στο κύκλωμα είναι μικρή και αποδεκτή για τις σχετικές τεχνικές δημιουργίας καταστάσεων ύπνου [27].



Σχήμα 4.2 . Το Προτεινόμενο Κύκλωμα Δημιουργίας Καταστάσεων Ύπνου

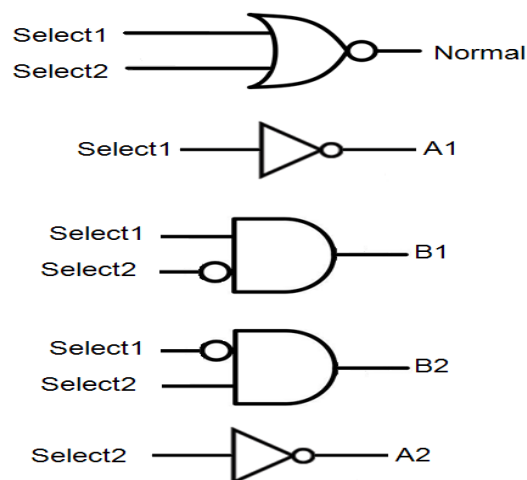
Στο Σχήμα 4.2 δίδεται πάλι το προτεινόμενο κύκλωμα δημιουργίας καταστάσεων ύπνου που περιγράψαμε στο Κεφάλαιο 3. Με βάση τα προηγούμενα, το άθροισμα των τρανζίστορ $MN0, MN1, MN2.1$ και $MN2.2$ στο σχεδιασμό θα είναι ίσο με $900nm$. Τα υπόλοιπα τρανζίστορ είναι βοηθητικά και απαιτούν ασήμαντο μέγεθος σε σχέση με τα προηγούμενα τέσσερα τρανζίστορ. Για τον περιορισμό των ρευμάτων διαρροής από τα τρανζίστορ του κυκλώματος δημιουργίας καταστάσεων ύπνου, όλα τα NMOS και PMOS τρανζίστορ που χρησιμοποιήθηκαν για αυτό το κύκλωμα έχουν υψηλή τάση κατωφλίου ($High V_t$ τρανζίστορ). Για τη ρύθμιση των διαφόρων τρόπων λειτουργίας του κυκλώματος απαιτούνται κάποια σήματα ελέγχου τα οποία οδηγούν τα τρανζίστορ-διακόπτες του κυκλώματος. Τα σήματα αυτά είναι τα ακόλουθα **Normal**, **A1**, **A2**, **B1** και **B2** μαζί με τα συμπληρώματα **Normalb**, **B1b** και **B2b**.

4.3. Σήματα ελέγχου

Τα προαναφερθέντα σήματα ελέγχου Normal, A1, A2, B1 και B2 προέρχονται από δύο βασικά σήματα, τα σήματα Select1 και Select2. Αυτά τα δυο σήματα παράγουν, μέσω του αποκωδικοποιητή του Σχήματος 4.3, τις κατάλληλες τιμές για τα σήματα Normal, A1, A2, B1 και B2 (βλ. Πίνακας 4.1), ούτως ώστε να τεθεί το κύκλωμα στην αντίστοιχη κατάσταση ύπνου. Η χρήση μόνο δύο σημάτων είναι για περιοριστεί ο αριθμός των καλωδίων που διατρέχουν το συνολικό ολοκληρωμένο κύκλωμα.

Πίνακας 4.1 Πίνακας Αληθείας για τα Σήματα Select1, Select2, Normal, A1, A2, B1, B2

Κατάσταση Κυκλώματος	Select1	Select2	Normal	A1	A2	B1	B2
Snore	0	0	0	1	1	0	0
Dream	0	1	0	1	0	0	1
Sleep	1	0	0	0	1	1	0
Κανονικής Λειτουργίας	1	1	1	0	0	0	0



Σχήμα 4.3 . Ο Αποκωδικοποιητής για την Παραγωγή των Σημάτων Normal, A1, A2, B1 και B2 από τα Σήματα Select1 και Select2.

Το σήμα Normal οδηγεί την πύλη του MN0 τρανζίστορ, καθώς και των PMOS τρανζίστορ CP1, CP2.1, CP2.2 του μονού και του διπλού κλάδου και χρησιμοποιείται για την δημιουργία των σημάτων A1, A2, B1 και B2. Το σήμα Normal θα πρέπει να είναι λογικό 1 όταν το κύκλωμα είναι στην κατάσταση κανονικής λειτουργίας. Όταν το σήμα Normal είναι σε υψηλή στάθμη, το τρανζίστορ MN0 καθώς και τα

τρανζίστορ MN1, MN2.1, MN2.2 είναι σε αγώγιμη κατάσταση. Συνεπώς αυτά τα τρανζίστορ, σε κατάσταση κανονικής λειτουργίας, αποφορτίζουν τον κόμβο V_{GND} , θέτοντας την τάση στον κόμβο αυτόν περίπου ίση με μηδέν (στην συγκεκριμένη τεχνική αυτή η τάση είναι $\sim 1mV$). Όταν το σήμα Normal είναι σε χαμηλή στάθμη, το κύκλωμα βρίσκεται σε μια από τις καταστάσεις ύπνου, με το τρανζίστορ MN0 να είναι στην αποκοπή και τα τρανζίστορ MN1, MN2.1, MN2.2 του μονού και του διπλού κλάδου να βρίσκονται είτε στην αποκοπή είτε σε συνδεσμολογία «διόδου» ανάλογα με την κατάσταση ύπνου που βρίσκεται το κύκλωμα.

Το συμπλήρωμα το σήματος Normal (Normalb) ελέγχει την πύλη του CP1 PMOS τρανζίστορ και το σήμα A1 ελέγχει την πύλη του CN1 NMOS τρανζίστορ. Τα σήματα B1 και B1b ελέγχουν τον CMOS διακόπτη που αποτελείται από τα τρανζίστορ PGP1 και PGN1. Τα τρανζίστορ αυτά, μαζί με τα CP1 και CN1, χρησιμοποιούνται για να θέσουν το MN1 τρανζίστορ είτε σε συνδεσμολογία «διόδου» όταν το κύκλωμα είναι στην κατάσταση Sleep, είτε σε κατάσταση αποκοπής όταν το κύκλωμα είναι σε κατάσταση Dream ή Snore είτε τέλος σε αγώγιμη κατάσταση όταν το κύκλωμα είναι σε κατάσταση κανονικής λειτουργίας (Κανονικής Λειτουργίας).

Το σήμα Normalb ελέγχει την πύλη των CP2.1 και CP2.2 PMOS τρανζίστορ και το σήμα A2 ελέγχει την πύλη των CN2.1 και CN2.2 NMOS τρανζίστορ. Τα σήματα B2 και B2b, τα οποία ελέγχουν τους CMOS διακόπτες που αποτελούνται από τα τρανζίστορ PGP2.1, PGP2.2, PGN2.1 και PGN2.2. Τα τρανζίστορ αυτά, μαζί με τα τρανζίστορ CP2.1, CP2.2, CN2.1 και CN2.2, χρησιμοποιούνται για να θέσουν τα MN2.1 και MN2.2 τρανζίστορ είτε σε συνδεσμολογία «διόδου» όταν το κύκλωμα είναι στην Dream κατάσταση, είτε σε κατάσταση αποκοπής όταν το κύκλωμα είναι σε κατάσταση Sleep ή Snore είτε τέλος σε αγώγιμη κατάσταση όταν το κύκλωμα είναι σε κατάσταση κανονικής λειτουργίας.

Τα σήματα Select1 και Select2 παράγονται από έναν Controller (βλ. Σχ. 4.4) ο οποίος είναι υπεύθυνος να ανιχνεύει πότε το κύκλωμα εισέρχεται σε ανενεργό (αδρανή) κατάσταση (idle mode) και με βάση προσδιορισμένα κριτήρια να εισάγει τις καταστάσεις ύπνου. Ο σχεδιασμός του Controller δεν αποτελεί αντικείμενο της παρούσας εργασίας. Η λειτουργία βασίζεται σε στατιστική ανάλυση η οποία έχει πραγματοποιηθεί πάνω στη συμπεριφορά του λειτουργικού κυκλώματος. Με βάση το ρολόι του συστήματος και τη δραστηριότητα του κυκλώματος ο Controller

καταγράφει τον αριθμό των αδρανών κύκλων και επιβάλλει την κατάλληλη κατάσταση ύπνου ενεργοποιώντας τα σήματα Select1 και Select2 .

Ένα παράδειγμα λειτουργίας θα μπορούσε να είναι το ακόλουθο. Στην κανονική λειτουργία τα σήματα Select1 και Select2 είναι σε λογικό 1. Ο Controller ανιχνεύει την κατάσταση του κυκλώματος (αν είναι σε κανονική λειτουργία ή είναι σε αδράνεια) και στη δεύτερη περίπτωση ενεργοποιεί έναν εσωτερικό μετρητή. Αυτός ο μετρητής μετράει τους κύκλους του ρολογιού για του οποίους το κύκλωμα είναι σε αδράνεια. Μετά από έναν, προκαθορισμένο από τον σχεδιαστή αριθμό αδρανών κύκλων το σήμα Select2 πάει σε χαμηλή στάθμη και το σήμα Select1 παραμένει υψηλή στάθμη. Έτσι το κύκλωμα εισέρχεται στην κατάσταση ύπνου Sleep. Αν και πάλι παραμένει στην κατάσταση αυτή για έναν προκαθορισμένο αριθμό κύκλων ο Controller θέτει το κύκλωμα σε πιο βαθιά κατάσταση ύπνου την κατάσταση Dream – αλλάζοντας το σήμα Select2 σε υψηλή στάθμη και το σήμα Select1 σε χαμηλή στάθμη. Συνεχίζοντας να παραμένει το κύκλωμα σε αδρανή κατάσταση για έναν νέο προκαθορισμένο αριθμό κύκλων, ο Controller το θέτει σε βαθύτερη κατάσταση ύπνου που είναι η Snore, επιβάλλοντας στα Select1 και Select2 το λογικό 0. Οποιαδήποτε χρονική στιγμή υπάρξει αίτημα επαναφοράς του κυκλώματος στην κανονική λειτουργία ο Controller θέτει τα σήματα Select1 και Select2 σε λογικό 1.



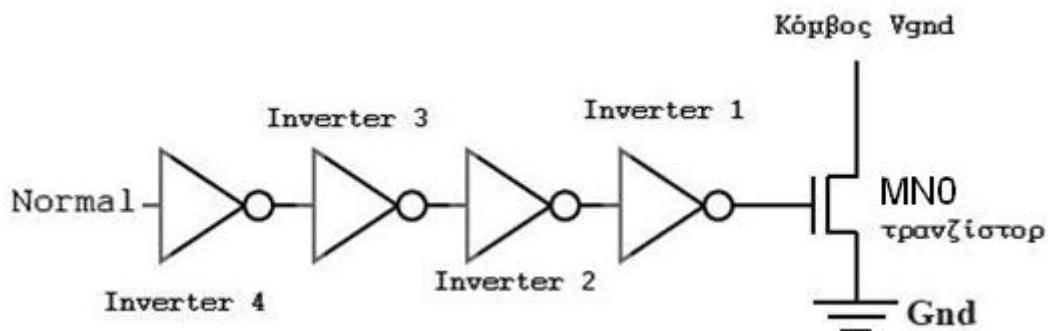
Σχήμα 4.4 Ο Controller Παραγωγής των Σημάτων που Ελέγχουν την Κατάσταση Ύπνου του Κυκλώματος

Επειδή το MN0 τρανζίστορ έχει πολύ μεγάλο πλάτος, αν το σήμα Normal (ιδανικό σήμα) που οδηγεί την πύλη του, εφαρμοστεί κατευθείαν σε αυτό, τα αποτελέσματα των προσομοιώσεων που θα προκύψουν δεν θα είναι ρεαλιστικά. Για αυτό το λόγο χρησιμοποιούνται 4-τέσσερις αναστροφείς σε σειρά για να «οδηγήσουν» το σήμα αυτό στην πύλη του τρανζίστορ (Σχήμα 4.5). Τα μεγέθη των αναστροφών (βλ.

Πίνακα 4.2) επιλέχθηκαν με τέτοιο τρόπο, ούτως ώστε να φέρουν όσο το δυνατόν πιο γρήγορα το κύκλωμα σε κατάσταση Κανονικής Λειτουργίας, δηλαδή να φέρουν το τρανζίστορ MN0 σε αγωγήμη κατάσταση.

Πίνακας 4.2 Μεγέθη των Inverters

		W (μm)	L (nm)
INVERTER1	PMOS	500	80
	NMOS	150	
INVERTER2	PMOS	50	
	NMOS	150	
INVERTER3	PMOS	50	
	NMOS	15	
INVERTER4	PMOS	5	
	NMOS	15	



Σχήμα 4.5 Το Κύκλωμα των Αναστροφών Οδήγησης του MN0 τρανζίστορ

4.4. Πειραματικά Αποτελέσματα

Η κατανομή του συνολικά διαθέσιμου πλάτους των τρανζίστορ του κυκλώματος καταστάσεων ύπνου σαν συνάρτηση του χρόνου επιστροφής σε κατάσταση Κανονικής Λειτουργίας και του κέρδους σε ενέργεια για κάθε κατάσταση ύπνου, μπορεί να γίνει με πολλούς διαφορετικούς τρόπους. Στην παρούσα εργασία, η επιλογή της κατανομής του συνολικά διαθέσιμου πλάτους έγινε με στόχο ο χρόνος

μετάβασης από την κατάσταση Sleep στην κατάσταση Κανονικής Λειτουργίας να είναι ο μισός από το χρόνο που χρειάζεται η μετάβαση από την κατάσταση Snore στην κατάσταση Κανονικής Λειτουργίας, ενώ ο χρόνος μετάβασης από την κατάσταση Dream στην κατάσταση Κανονικής Λειτουργίας να είναι ίσος με τα 2/3 του χρόνου που χρειάζεται η μετάβαση από την κατάσταση Snore στην κατάσταση Κανονικής Λειτουργίας. Η επιλογή αυτών των ποσοστών (1/2 και 2/3) του χρόνου επαναφοράς του κυκλώματος στην κατάσταση Κανονικής Λειτουργίας έγινε με γνώμονα να υπάρχει μια ισορροπία ανάμεσα στον χρόνο που χρειάζεται το κύκλωμα για να επανέλθει σε κατάσταση κανονικής λειτουργίας και στην ενέργεια που εξοικονομείται κατά την παραμονή του κυκλώματος στην κάθε κατάσταση ύπνου. Εδώ εξετάζουμε δύο πιθανές κατανομές που ικανοποιούν αυτά τα κριτήρια για να δούμε κατά πόσο η επιλογή μας επηρεάζει τα αποτελέσματα. Στην πρώτη κατανομή το πλάτος του MN0 NMOS τρανζίστορ είναι ίσο με 635mm, το πλάτος του MN1 NMOS τρανζίστορ είναι ίσο με 140mm, το πλάτος του MN2.1 NMOS τρανζίστορ ίσο με 70mm και τέλος το πλάτος του MN2.2 NMOS τρανζίστορ είναι ίσο με 55mm. Στον δεύτερο τρόπο κατανομής του συνολικά διαθέσιμου πλάτους των τρανζίστορ, η κατανομή έγινε ως εξής: το πλάτος του MN0 NMOS τρανζίστορ είναι ίσο 610mm, πλάτος του MN1 NMOS τρανζίστορ είναι ίσο με 150mm, το πλάτος του MN2.1 NMOS τρανζίστορ είναι ίσο με 80mm και τέλος το πλάτος του MN2.2 NMOS τρανζίστορ είναι ίσο με 60mm.

Η κάθε κατανομή επηρεάζει την τάση που πηγαίνει ο κόμβος V_{GND} , αλλά όπως αποδείχθηκε ακολούθως, η επιρροή αυτή είναι ασήμαντη με αποτέλεσμα και οι δημιουργούμενες τάσεις στον κόμβο V_{GND} και ο χρόνος επιστροφής στην κατάσταση Κανονικής Λειτουργίας από κάθε κατάσταση ύπνου να είναι ίσοι σε κάθε περίπτωση. Για την κατάσταση Sleep, το πλάτος του τρανζίστορ MN1 καθορίζει την τάση του κόμβου V_{GND} , ενώ για την κατάσταση Dream το πλάτος των τρανζίστορ MN2.1 και MN2.2 είναι αυτό που προσδιορίζει την τάση στον κόμβο V_{GND} . Στην κατάσταση Snore όλα τα τρανζίστορ του βοηθητικού κυκλώματος είναι στην αποκοπή. Άρα σε αυτή την κατάσταση, η τάση του κόμβου V_{GND} καθορίζεται από το συνολικό πλάτος των τρανζίστορ του βοηθητικού κυκλώματος δημιουργίας καταστάσεων ύπνου, εξ αιτίας του ρεύματος διαρροής, και όχι από το μέγεθος του κάθε επιμέρους τρανζίστορ. Αντίστοιχα, στην κατάσταση κανονικής λειτουργίας, όλα τα τρανζίστορ του βοηθητικού κυκλώματος είναι σε αγώγιμη κατάσταση και αποφορτίζουν τον

κόμβο V_{GND} . Και εδώ, τα τρανζίστορ του κυκλώματος δημιουργίας καταστάσεων ύπνου συμπεριφέρονται σαν ένα ενιαίο τρανζίστορ, κάτι που σημαίνει ότι η κατανομή του συνολικά διαθέσιμου μεγέθους ανάμεσα στα τρανζίστορ του κυκλώματος, δεν επηρεάζει τον χρόνο που χρειάζεται για την αποφόρτιση του κόμβου V_{GND} .

Διευκρινίζουμε ότι οι προσομοιώσεις έγιναν και με τις δυο διαφορετικές κατανομές του συνολικά διαθέσιμου πλάτους, αλλά τα πειραματικά αποτελέσματα ήταν ταυτόσημα και στις δύο περιπτώσεις. Τα βασικά αποτελέσματα που παρουσιάζονται στην συνέχεια είναι για την κατανομή 635-140-70-55.

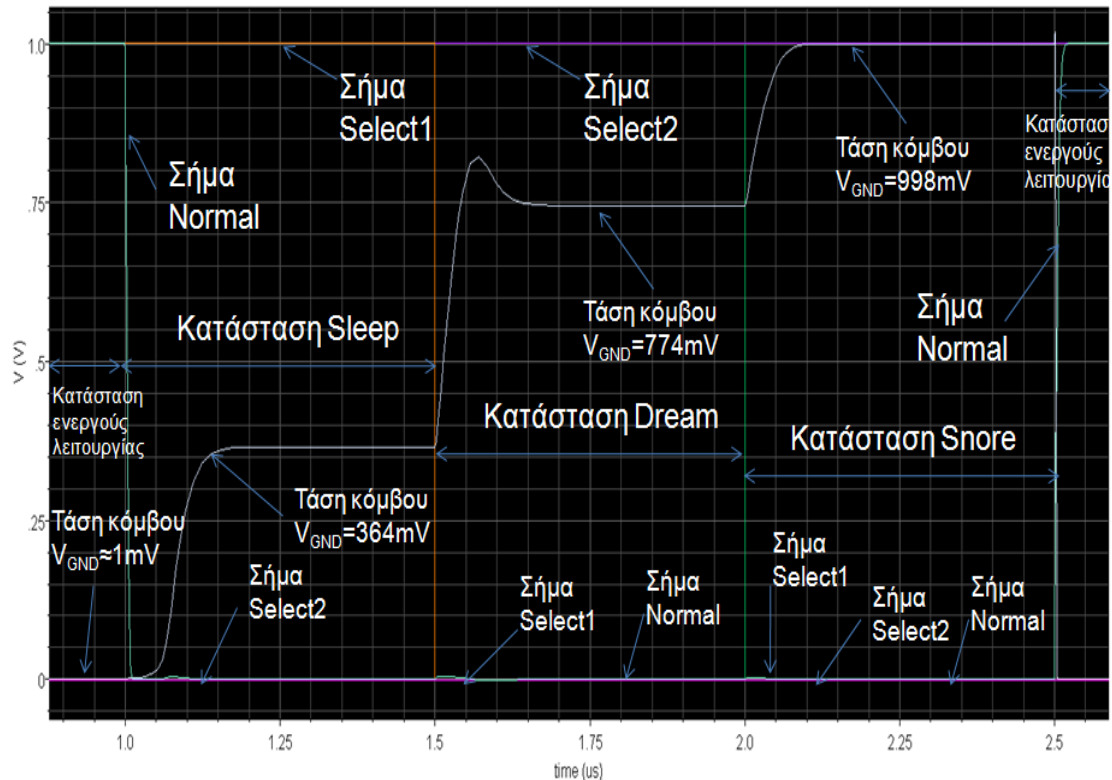
4.4.1. Κατάσταση Ύπνου Snore

Επιδίωξη για την κατάσταση Snore είναι ο κόμβος V_{GND} να είναι φορτισμένος όσο το δυνατόν πιο κοντά στην τάση τροφοδοσίας. Κατανέμοντας το αρχικό συνολικό διαθέσιμο πλάτος των 900mm ανάμεσα στα MN0, MN1, MN2.1, MN2.2 με βάση τον Πίνακα 4.3, η τάση του κόμβου V_{GND} στην κατάσταση Snore δίνεται στην 2^η στήλη του Πίνακα 4.3.

Πίνακας 4.3 Η Τάση του Κόμβου V_{GND} ως Συνάρτηση του Μεγέθους των Τρανζίστορ για την Κατάσταση Snore

Μεγέθη Τρανζίστορ (MN0-MN1-MN2.1 MN2.2) (mm)	Τάση κόμβου V_{GND} (mV)
635-140-70-55	998
610-150-80-60	997

Στο Σχήμα 4.6 βλέπουμε πως αλλάζει η τάση του κόμβου V_{GND} κατά την μετάβαση από την κατάσταση Κανονικής λειτουργίας στην κατάσταση Sleep, μετά στην κατάσταση Dream, έπειτα στην κατάσταση Snore και μετά πάλι στην κατάσταση Κανονικής Λειτουργίας, σύμφωνα με τις τιμές των σημάτων Select1 και Select2.



Σχήμα 4.6 Μετάβαση από την Κατάσταση Κανονικής Λειτουργίας στην Κατάσταση Snore και Ξανά στην Κατάσταση Κανονικής Λειτουργίας

Αρχικά, τα σήματα Select1 και Select2 είναι σε υψηλή στάθμη. Σύμφωνα με τον πίνακα αληθείας του κυκλώματος, αυτή η διαμόρφωση των σημάτων θέτει το κύκλωμα σε κατάσταση Κανονικής Λειτουργίας. Στην συνέχεια, το σήμα Select1 πάει σε υψηλή στάθμη θέτοντας το κύκλωμα στην κατάσταση Sleep. Ύστερα από έναν αριθμό αδρανών κύκλων του κυκλώματος, ανάλογα και με τον προγραμματισμό που έχει γίνει στον Controller, αυτός θα θέσει το σήμα Select1 σε χαμηλή στάθμη και το σήμα Select2 σε υψηλή στάθμη, και το κύκλωμα θα εισέλθει στην κατάσταση Dream. Αν μετά από ένα προκαθορισμένο αριθμό κύκλων, το κύκλωμα παραμένει σε αδρανή κατάσταση, ο Controller δίνει τις κατάλληλες εντολές (Select1 και Select2 σε χαμηλή στάθμη) για να εισέλθει το κύκλωμα σε κατάσταση Snore. Στην συνέχεια, μόλις το κύκλωμα χρειαστεί να λειτουργήσει κανονικά, ο Controller θέτει τα σήματα Select1 και Select2 σε υψηλή στάθμη και το κύκλωμα μεταβαίνει στην κατάσταση Κανονικής Λειτουργίας.

Στον Πίνακα 4.4 φαίνονται ο χρόνος που χρειάζεται το κύκλωμα για να πάει στην κατάσταση Snore από την κατάσταση Κανονικής Λειτουργίας καθώς και ο χρόνος που χρειάζεται για να μεταβεί από την κατάσταση Κανονικής Λειτουργίας στην

κατάσταση Snore. Η μετάβαση από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Snore γίνεται σταδιακά, όπως θα γινόταν και σε ένα πραγματικό κύκλωμα. Το κύκλωμα από την κατάσταση Κανονικής Λειτουργίας μεταβαίνει πρώτα στην κατάσταση Sleep, έπειτα στην κατάσταση Dream και τέλος στην κατάσταση Snore. Κατά την μέτρηση των χρόνων και της ενέργειας ακολουθήθηκε αυτή η διαδικασία.

Πίνακας 4.4 Χρόνοι Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Snore

Αρχική Κατάσταση	Τελική Κατάσταση	Χρόνος (ns)
Snore	Κανονική Λειτουργία	2,22
Κανονική Λειτουργία	Snore	142,71

Στον Πίνακα 4.5 φαίνονται η ενέργεια που καταναλώνει το κύκλωμα για να πάει στην κατάσταση Snore από την κατάσταση Κανονικής Λειτουργίας καθώς και η ενέργεια που καταναλώνει για να μεταβεί από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Snore. Το ρεύμα διαρροής στην κατάσταση Snore είναι ίσο με 0,8 mA.

Πίνακας 4.5 Ενέργεια Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Snore

Αρχική Κατάσταση	Τελική Κατάσταση	Ενέργεια (J)
Snore	Κανονική Λειτουργία	$1,26 \times 10^{-9}$
Κανονική Λειτουργία	Snore	$1,28 \times 10^{-11}$

4.4.2. Κατάσταση Ύπνου Dream

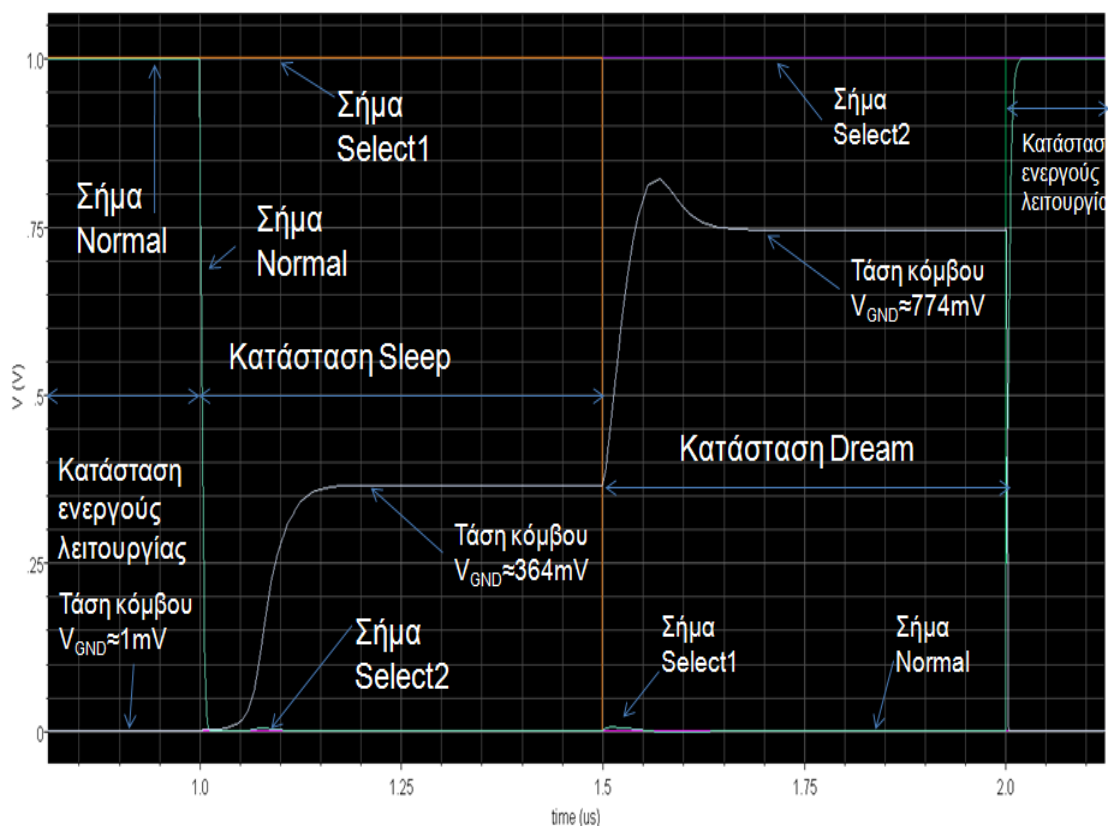
Επιδίωξη για την κατάσταση Dream είναι ο κόμβος V_{GND} να είναι φορτισμένος σε μια κατάλληλη τάση, ούτως ώστε ο χρόνος μετάβασης από την κατάσταση Dream στην κατάσταση Κανονικής Λειτουργίας να είναι ίσος με τα 2/3 του χρόνου που χρειάζεται η μετάβαση από την κατάσταση Snore στην κατάσταση Κανονικής Λειτουργίας. Κατανέμοντας το αρχικό συνολικό διαθέσιμο πλάτος των 900nm

ανάμεσα στα MN0, MN1, MN2.1, MN2.2 με βάση τον Πίνακα 4.6, η τάση του κόμβου V_{GND} στην κατάσταση Dream δίνεται στην 2^η στήλη του Πίνακα 4.6.

Πίνακας 4.6 Η Τάση του Κόμβου V_{GND} ως Συνάρτηση του Μεγέθους των Τρανζίστορ για την Κατάσταση Dream

Μεγέθη Τρανζίστορ (MN0-MN1-MN2.1 MN2.2) (mm)	Τάση κόμβου V_{GND} (mV)
635-140-70-55	744
610-150-80-60	737

Στο Σχήμα 4.7 βλέπουμε πως αλλάζει η τάση του κόμβου V_{GND} κατά την μετάβαση από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Sleep, μετά στην κατάσταση Dream και έπειτα πάλι στην κατάσταση Κανονικής Λειτουργίας, σύμφωνα με τις τιμές των σημάτων Select1 και Select2.



Σχήμα 4.7 Μετάβαση από την Κατάσταση Dream στην Κατάσταση Κανονικής Λειτουργίας και Ξανά στην Κατάσταση Κανονικής Λειτουργίας

Αρχικά, τα σήματα Select1 και Select2 είναι σε υψηλή στάθμη. Σύμφωνα με τον πίνακα αληθείας του κυκλώματος, αυτή η διαμόρφωση των σημάτων θέτει το κύκλωμα σε κατάσταση Κανονικής Λειτουργίας. Στην συνέχεια, το σήμα Select1 πάει σε υψηλή στάθμη θέτοντας το κύκλωμα στην κατάσταση Sleep. Ύστερα από έναν αριθμό αδρανών κύκλων του κυκλώματος, ανάλογα και με τον προγραμματισμό που έχει γίνει στον Controller, αυτός θα θέσει το σήμα Select1 σε χαμηλή στάθμη και το σήμα Select2 σε υψηλή στάθμη, και το κύκλωμα θα εισέλθει στην κατάσταση Dream. Στην συνέχεια, μόλις το κύκλωμα χρειαστεί να λειτουργήσει κανονικά, ο Controller θέτει τα σήματα Select1 και Select2 σε υψηλή στάθμη και το κύκλωμα μεταβαίνει στην κατάσταση Κανονικής Λειτουργίας.

Στον Πίνακα 4.7 φαίνονται ο χρόνος που χρειάζεται το κύκλωμα για να πάει στην κατάσταση Dream από την κατάσταση Κανονικής Λειτουργίας καθώς και ο χρόνος που χρειάζεται για να μεταβεί από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Dream. Η μετάβαση από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Dream γίνεται σταδιακά, όπως θα γινόταν και σε ένα πραγματικό κύκλωμα. Το κύκλωμα από την κατάσταση Κανονικής Λειτουργίας μεταβαίνει πρώτα στην κατάσταση Sleep και έπειτα στην κατάσταση Dream. Κατά την μέτρηση των χρόνων και της ενέργειας ακολουθήθηκε αυτή η διαδικασία.

Πίνακας 4.7 Χρόνοι Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Dream.

Αρχική Κατάσταση	Τελική Κατάσταση	Χρόνος (ns)
Dream	Κανονική Λειτουργία	1,69
Κανονική Λειτουργία	Dream	89,92

Στον Πίνακα 4.8 φαίνονται η ενέργεια που καταναλώνει το κύκλωμα για να πάει στην κατάσταση Dream από την κατάσταση Κανονικής Λειτουργίας καθώς και η ενέργεια που καταναλώνει για να μεταβεί από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Dream. Το ρεύμα διαρροής στην κατάσταση Dream είναι ίσο με 79,39 mA.

Πίνακας 4.8 Ενέργεια Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Dream

Αρχική Κατάσταση	Τελική Κατάσταση	Ενέργεια (J)
Dream	Κανονική Λειτουργία	$1,14 \times 10^{-9}$
Κανονική Λειτουργία	Dream	$9,81 \times 10^{-12}$

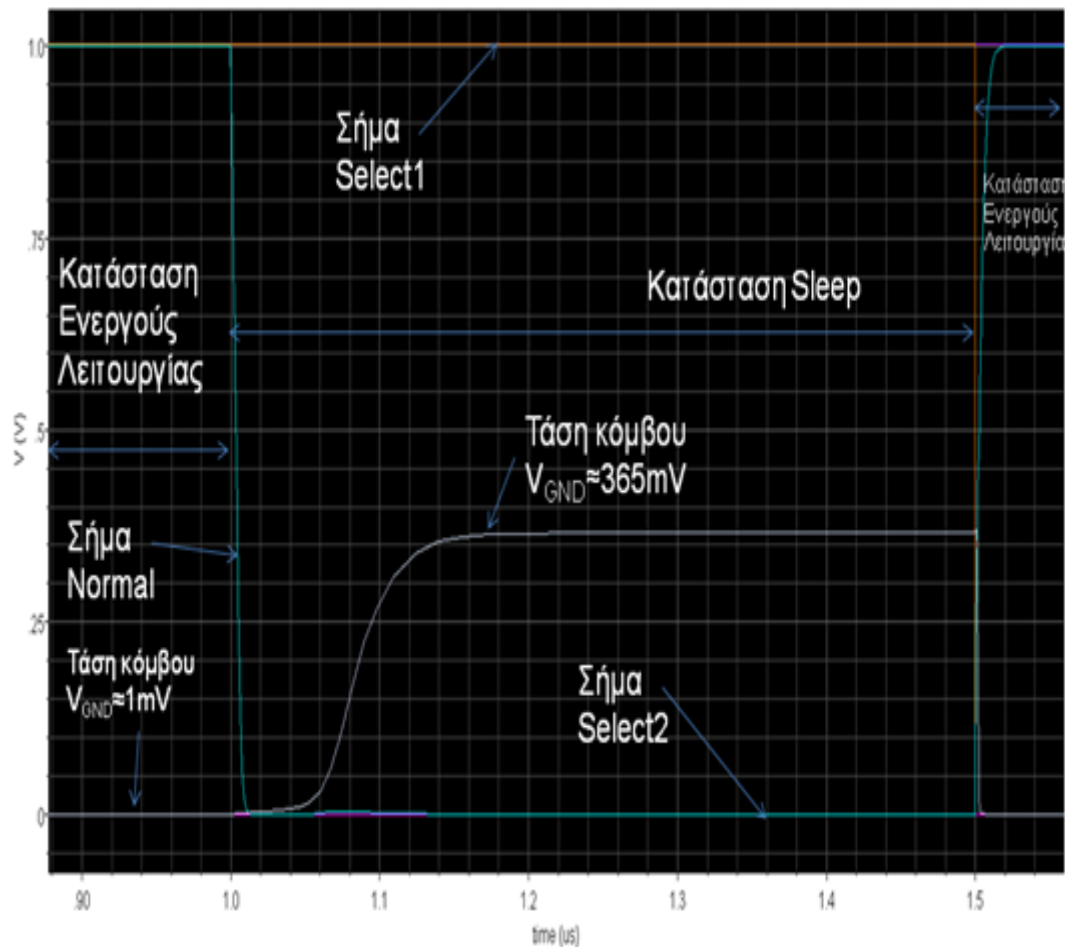
4.4.3. Κατάσταση Ύπνου Sleep

Επιδίωξη για την κατάσταση Sleep είναι ο κόμβος V_{GND} να είναι φορτισμένος σε μια κατάλληλη τάση, ούτως ώστε ο χρόνος μετάβασης από την κατάσταση Sleep στην κατάσταση Κανονικής Λειτουργίας να είναι ίσος με τα 1/2 του χρόνου που χρειάζεται η μετάβαση από την κατάσταση Spore στην κατάσταση Κανονικής Λειτουργίας. Κατανέμοντας το αρχικό συνολικό διαθέσιμο πλάτος των 900mm ανάμεσα στα MN0, MN1, MN2.1, MN2.2 με βάση τον Πίνακα 4.6, η τάση του κόμβου V_{GND} στην κατάσταση Dream δίνεται στην 2^η στήλη του Πίνακα 4.9.

Πίνακας 4.9 Η Τάση του Κόμβου V_{GND} ως Συνάρτηση του Μεγέθους των Τρανζίστορ για την Κατάσταση Sleep

Μεγέθη Τρανζίστορ (MN0-MN1-MN2.1 MN2.2) (mm)	Τάση κόμβου V_{GND} (mV)
635-140-70-55	365
610-150-80-60	363

Στο Σχήμα 4.8 βλέπουμε πως αλλάζει η τάση του κόμβου V_{GND} κατά την μετάβαση από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Sleep, μετά στην κατάσταση Dream και έπειτα πάλι στην κατάσταση Κανονικής Λειτουργίας, σύμφωνα με τις τιμές των σημάτων Select1 και Select2.



Σχήμα 4.8 Μετάβαση από την Κατάσταση Κανονικής Λειτουργίας στην Κατάσταση Sleep και Ξανά στην Κατάσταση Κανονικής Λειτουργίας

Αρχικά, τα σήματα Select1 και Select2 είναι σε υψηλή στάθμη. Σύμφωνα με τον πίνακα αληθείας του κυκλώματος, αυτή η διαμόρφωση των σημάτων θέτει το κύκλωμα σε κατάσταση Κανονικής Λειτουργίας. Στην συνέχεια, το σήμα Select1 πάει σε λογικό 1 θέτοντας το κύκλωμα στην κατάσταση Sleep. Στην συνέχεια, μόλις το κύκλωμα χρειαστεί να λειτουργήσει κανονικά, ο Controller θέτει τα σήματα Select1 και Select2 σε υψηλή στάθμη και το κύκλωμα μεταβαίνει στην κατάσταση Κανονικής Λειτουργίας.

Στον Πίνακα 4.10 φαίνονται ο χρόνος που χρειάζεται το κύκλωμα για να πάει στην κατάσταση Dream από την κατάσταση Κανονικής Λειτουργίας καθώς και ο χρόνος που χρειάζεται για να μεταβεί από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Dream. Η μετάβαση από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Dream γίνεται σταδιακά, όπως θα γινόταν και σε ένα πραγματικό κύκλωμα. Το κύκλωμα από την κατάσταση Κανονικής Λειτουργίας μεταβαίνει πρώτα

στην κατάσταση Sleep και έπειτα στην κατάσταση Sleep. Κατά την μέτρηση των χρόνων και της ενέργειας ακολουθήθηκε αυτή η διαδικασία.

Πίνακας 4.10 Χρόνοι Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Sleep.

Αρχική Κατάσταση	Τελική Κατάσταση	Χρόνος (ns)
Sleep	Κανονική Λειτουργία	1,11
Κανονική Λειτουργία	Sleep	56,71

Στον Πίνακα 4.11 φαίνονται η ενέργεια που καταναλώνει το κύκλωμα για να πάει στην κατάσταση Sleep από την κατάσταση Κανονικής Λειτουργίας καθώς και η ενέργεια που καταναλώνει για να μεταβεί από την κατάσταση Κανονικής Λειτουργίας στην κατάσταση Sleep. Το ρεύμα διαρροής στην κατάσταση Sleep είναι ίσο με 268 mA.

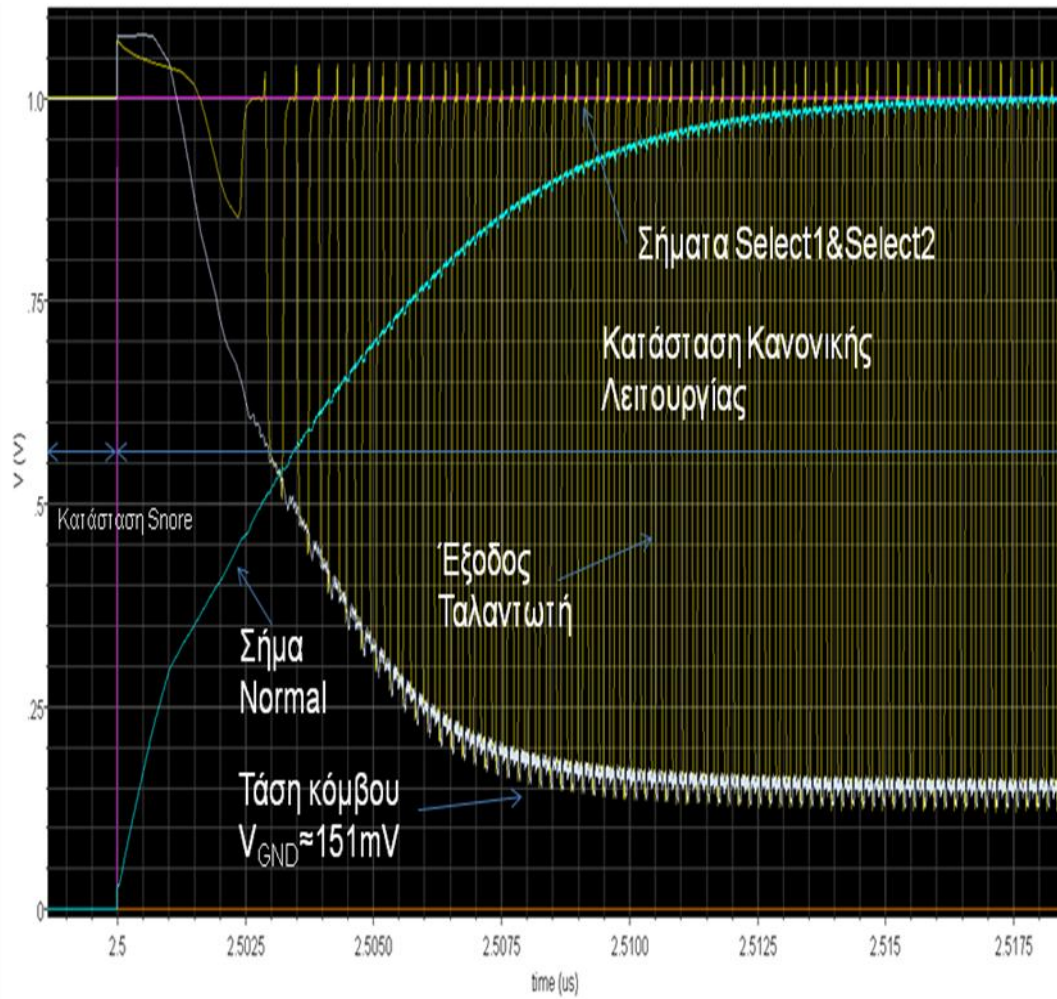
Πίνακας 4.11 Ενέργεια Μετάβασης Ανάμεσα στις Καταστάσεις Κανονικής Λειτουργίας και Sleep

Αρχική Κατάσταση	Τελική Κατάσταση	Ενέργεια (J)
Sleep	Κανονική Λειτουργία	$1,04 \times 10^{-9}$
Κανονική Λειτουργία	Sleep	$4,26 \times 10^{-12}$

4.4.4. Κατάσταση Κανονικής Λειτουργίας

Στην κατάσταση Κανονικής Λειτουργίας, τα τρανζίστορ MN0, MN1, MN2.1 και MN2.2 βρίσκονται στην αγώγιμη περιοχή, αποφορτίζοντας τον κόμβο V_{GND} . Η τάση στον κόμβο V_{GND} στην κατάσταση Κανονικής Λειτουργίας ισούται με 1mV. Όταν όμως το σήμα Enable πάει σε λογικό 1 και ο ταλαντωτής εκτελεί ταλάντωση, η τάση στον κόμβο V_{GND} στην κατάσταση Κανονικής Λειτουργίας ισούται με 151mV. Όσο πιο κοντά στα 0V βρίσκεται αυτή η τάση, τόσο πιο κοντά στην μέγιστη συχνότητα λειτουργίας βρίσκεται το κύκλωμα. Το ρεύμα διαρροής στην κατάσταση Κανονικής Λειτουργίας ισούται με 689,97mA.

Στο Σχήμα 4.9 που ακολουθεί παρουσιάζεται η μετάβαση του κυκλώματος από την κατάσταση spore στην κανονική λειτουργία με ταυτόχρονη ενεργοποίηση των ταλαντωτών με χρήση του σήματος Enable.



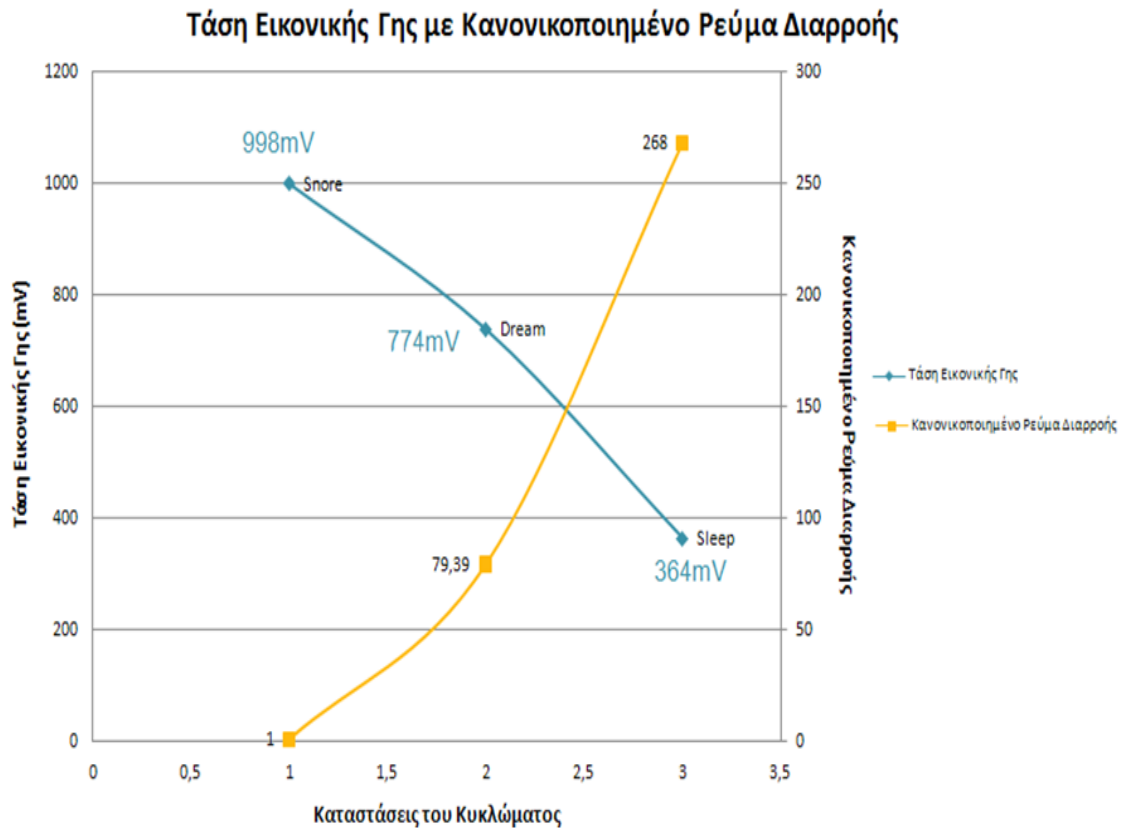
Σχήμα 4.9 Μετάβαση στην Κανονική Λειτουργία με το Σήμα Enable στην Υψηλή Στάθμη

4.5. Ανάλυση Αποτελεσμάτων

Στην συνέχεια θα αναλυθούν τα αποτελέσματα των μετρήσεων που έγιναν στο κύκλωμα.

4.5.1. Τάση Εικονικής Γης και Κανονικοποιημένο Ρεύμα Διαρροής ανά Κατάσταση

Στο Σχήμα 4.10 παρουσιάζεται πώς μεταβάλλεται η τάση του κόμβου V_{GND} και η κανονικοποιημένη διαρροή ρεύματος του κυκλώματος σε σχέση με καθεμία από τις καταστάσεις ύπνου. Με δεδομένο ότι στην Κανονική Λειτουργία το ρεύμα διαρροής είναι 689,97mV, παρατηρούμε ότι ήδη από την κατάσταση Sleep, η διαρροή του κυκλώματος έχει πτώση ίση με 82,5% σε σχέση με την κατάσταση Κανονικής Λειτουργίας. Επίσης στην κατάσταση Dream, η στατική κατανάλωση είναι περίπου στο 1/8 σε σχέση με την κατάσταση Κανονικής Λειτουργίας. Αντίστοιχα η εξοικονόμηση ενέργειας σε σχέση με την κατάσταση Κανονικής Λειτουργίας του κυκλώματος για την κατάσταση Snore φτάνει να είναι ~690 φορές μεγαλύτερη. Συγκεντρωτικά, στον Πίνακα 4.12 φαίνεται η κανονικοποιημένη διαρροή ρεύματος ανά κατάσταση του κυκλώματος:



Σχήμα 4.10 Τάση Εικονικής Γης και Κανονικοποιημένο Ρεύμα Διαρροής ανά κατάσταση

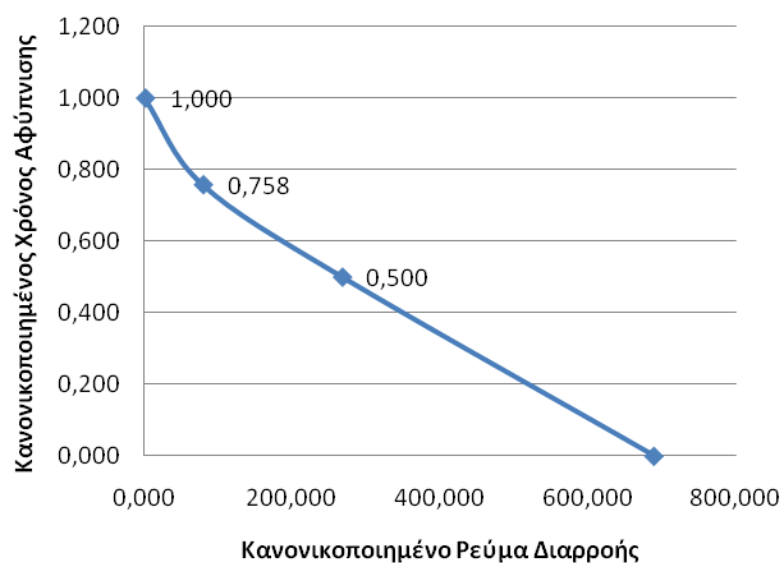
Πίνακας 4.12 Τάση Εικονικής Γης με Κανονικοποιημένο Ρεύμα Διαρροής

Κατάσταση Κυκλώματος	Κανονικοποιημένο Ρεύμα Διαρροής
Sleep	268
Dream	79,39
Snore	1

4.5.2. Κανονικοποιημένος Χρόνος Αφύπνισης ως προς το Κανονικοποιημένο Ρεύμα Διαρροής

Στο Σχήμα 4.11 παρατηρούμε τον Κανονικοποιημένο Χρόνο Αφύπνισης ως προς την Κανονικοποιημένη Διαρροή του κυκλώματος. Οι τέσσερις διακριτές τιμές από αριστερά προς τα δεξιά αντιστοιχούν στις καταστάσεις Snore, Dream, Sleep και Κανονικής Λειτουργίας. Παρατηρούμε ότι υπάρχει σαφής διαφοροποίηση στο χρόνο αφύπνισης ανάμεσα σε κάθε μια από τις καταστάσεις. Η μεγαλύτερη διαφορά

ανάμεσα στις διαδοχικές καταστάσεις του κυκλώματος εντοπίζεται μεταξύ των καταστάσεων Κανονικής Λειτουργίας και Sleep. Με την μπλε γραμμή φαίνεται ο κανονικοποιημένος χρόνος αφύπνισης για μεγέθη των κύριων τρανζίστορ ίσα με 635-140-70-55 mm, τα οποία αντιστοιχούν στο μέγεθος του MN0 τρανζίστορ, το μέγεθος του MN1 τρανζίστορ, το μέγεθος του MN2.1 και στο το μέγεθος του MN2.2 τρανζίστορ του διπλού κλάδου αντίστοιχα. Το παραπάνω πείραμα ενισχύει τον ισχυρισμό περί σταθερότητας στην απόκριση του συστήματος, ανεξάρτητα από την κατανομή του συνολικού διαθέσιμου πλάτους των τρανζίστορ του κυκλώματος δημιουργίας καταστάσεων ύπνου.



Σχήμα 4.11 Κανονικοποιημένος Χρόνος Αφύπνισης ως προς το Κανονικοποιημένο Ρεύμα Διαρροής

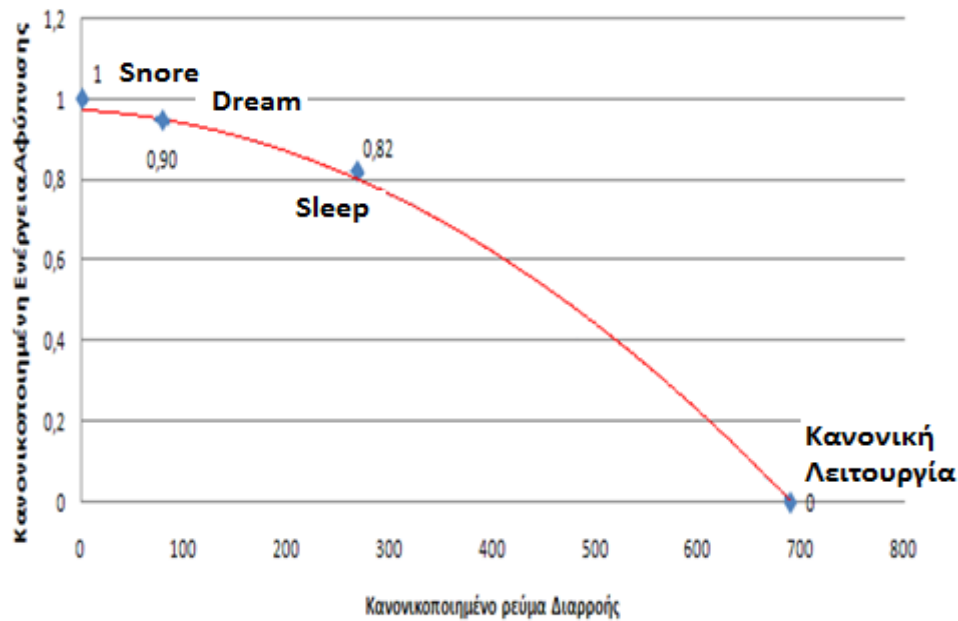
Συνοπτικά, ο κανονικοποιημένος χρόνος αφύπνισης και η κανονικοποιημένη διαρροή για τις δυο διαμορφώσεις μεγέθους φαίνεται στον Πίνακα 4.13:

Πίνακας 4.13 Κανονικοποιημένος Χρόνος Αφύπνισης και & Κανονικοποιημένο Ρεύμα Διαρροής για Κάθε μια από τις Καταστάσεις του Κυκλώματος.

	Κανονικοποιημένος Χρόνος Αφύπνισης		Κανονικοποιημένο Ρεύμα Διαρροής	
	635-140-70-55 (mm)	610-150-80-60 (mm)	635-140-70-55 (mm)	610-150-80-60 (mm)
Κατάσταση Κυκλώματος	635-140-70-55 (mm)	610-150-80-60 (mm)	635-140-70-55 (mm)	610-150-80-60 (mm)
Snore	1,000	1,000	1	1
Dream	0,758	0,748	79,39	85
Sleep	0,500	0,513	268	270
Active	0,000	0,000	689,97	690

4.5.3. Κανονικοποιημένη Ενέργεια Αφύπνισης ως προς το Κανονικοποιημένο Ρεύμα Διαρροής

Στο Σχήμα 4.12 βλέπουμε την γραφική παράσταση της κανονικοποιημένης ενέργειας αφύπνισης (normalized wake-up energy) ως προς το κανονικοποιημένο ρεύμα διαρροής. Η ενέργεια αφύπνισης είναι ανάλογη του συνολικού μεγέθους των κύριων τρανζίστορ του κυκλώματος. Για αυτό το λόγο και δεν παρατηρείται μεγάλη διαφοροποίηση ανάμεσα στην ενέργεια αφύπνισης που χρειάζεται να καταναλωθεί στο κύκλωμα για την επαναφορά του στην κατάσταση Κανονικής Λειτουργίας.

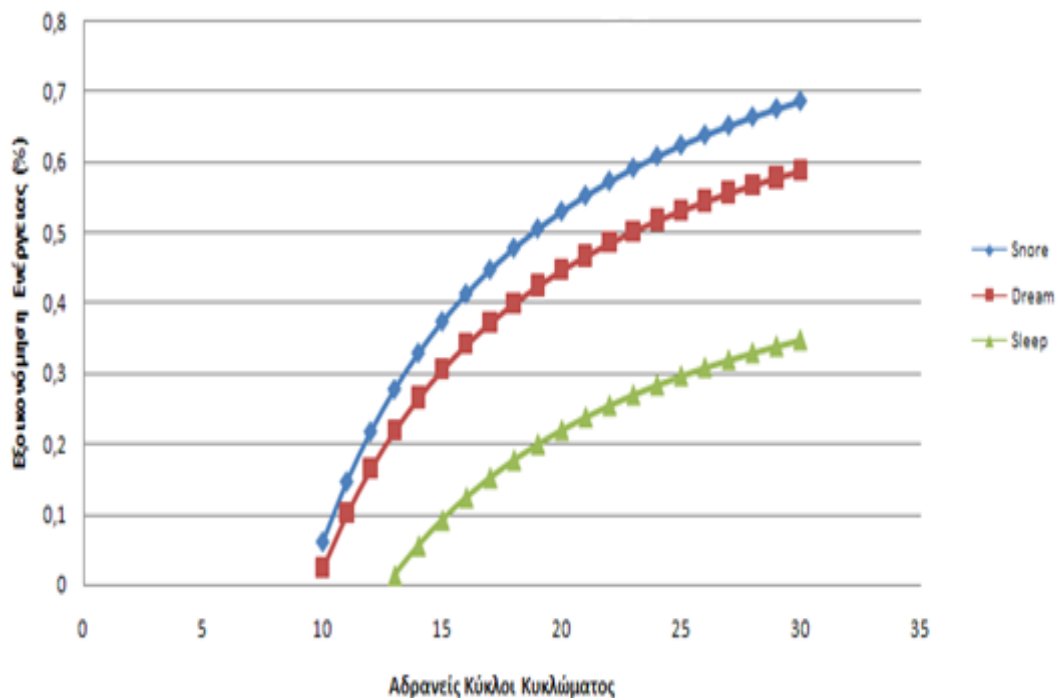


Σχήμα 4.12 Κανονικοποιημένη Ενέργεια Αφύπνισης ως προς το Κανονικοποιημένο ρεύμα Διαρροής

Παρατηρούμε ότι οι τιμές της ενέργειας αφύπνισης για όλες τις καταστάσεις του κυκλώματος, είναι πολύ κοντά μεταξύ τους. Αυτό συμβαίνει γιατί σε οποιαδήποτε κατάσταση ύπνου και αν είναι το κύκλωμα, για την επαναφορά του σε κατάσταση λειτουργίας, οδηγούνται σε αγωγήμη κατάσταση και τα τέσσερα κύρια τρανζίστορ του βοηθητικού κυκλώματος για να αποφορτίσουν τον κόμβο V_{GND} . Και εφόσον το MN0 τρανζίστορ είναι πολύ μεγαλύτερο από τα άλλα κύρια τρανζίστορ του κυκλώματος, αυτό είναι κυρίως υπεύθυνο για τον καθορισμό του ποσού της ενέργειας που καταναλώνεται για την αποφόρτιση του κόμβου V_{GND} .

4.5.4. Εξοικονόμηση Ενέργειας ως προς τον Αριθμό των Αδρανών Κύκλων του Κυκλώματος

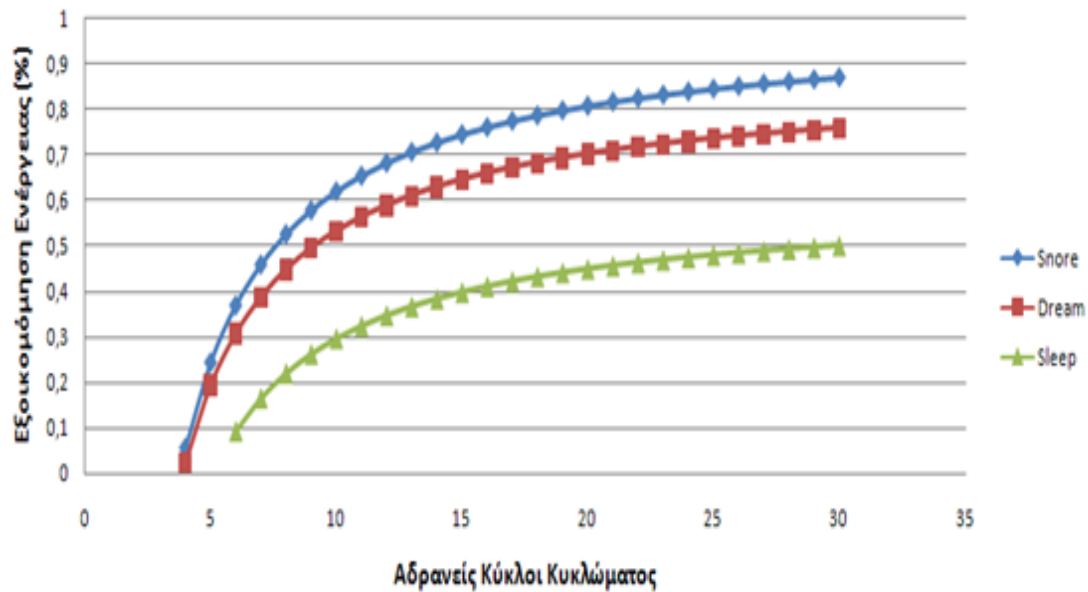
Στο Σχήμα 4.13 φαίνεται η επί της εκατό εξοικονόμηση ενέργειας για το κύκλωμα, ανάλογα με τους κύκλους που παραμένει στην κάθε κατάσταση ύπνου. Σε αυτή την περίπτωση η χρονική διάρκεια του κύκλου (περίοδος) είναι 200ps. Δεν υπάρχει εξοικονόμηση ενέργειας από τον πρώτο κύκλο που το κύκλωμα θα περάσει σε μια κατάσταση ύπνου γιατί έχει υπολογιστεί και η ενέργεια που καταναλώνεται για να τεθεί το κύκλωμα σε αυτή την κατάσταση όπως και να γυρίσει πίσω σε Κανονική Λειτουργία.



Σχήμα 4.13 Εξοικονόμηση Ενέργειας ως προς τους Αδρανείς Κύκλους του Κυκλώματος(200ps)

Στο σχεδιάγραμμα φαίνεται καθαρά ότι υπάρχει σαφής διαφοροποίηση στην εξοικονόμηση ενέργειας που επιτυγχάνεται σε κάθε κατάσταση ύπνου. Στην κατάσταση Snore και στην κατάσταση Dream, για να έχουμε εξοικονόμηση ενέργειας πρέπει να υπάρξουν 10 αδρανείς κύκλοι, ενώ για την κατάσταση Sleep ο αριθμός αυτών των κύκλων ανέρχεται στους 13. Στην κατάσταση Sleep, η εξοικονόμηση ενέργειας είναι σχετικά μικρή αρχικά, αλλά πρέπει να αναλογιστούμε ότι ο χρόνος που χρειάζεται για να επανέλθει το κύκλωμα σε κατάσταση κανονικής λειτουργίας είναι μικρότερος σε σχέση με τις άλλες καταστάσεις ύπνου.

Μετά από 20 περίπου idle κύκλους, η εξοικονόμηση ενέργειας δείχνει να έχει ακόμα ανοδικές τάσεις, κάτι που ισχύει για όλες τις καταστάσεις ύπνου. Το γεγονός αυτό συμβαίνει γιατί η ενέργεια που εξοικονομείται σε κάθε κύκλο ρολογιού είναι σχετικά μικρή αφού η περίοδος είναι μόλις 200ps . Πρέπει να περάσουν περίπου 100 αδρανείς κύκλοι ρολογιού για να αρχίσει να σταθεροποιείται η ποσοστιαία εξοικονόμηση ενέργειας.

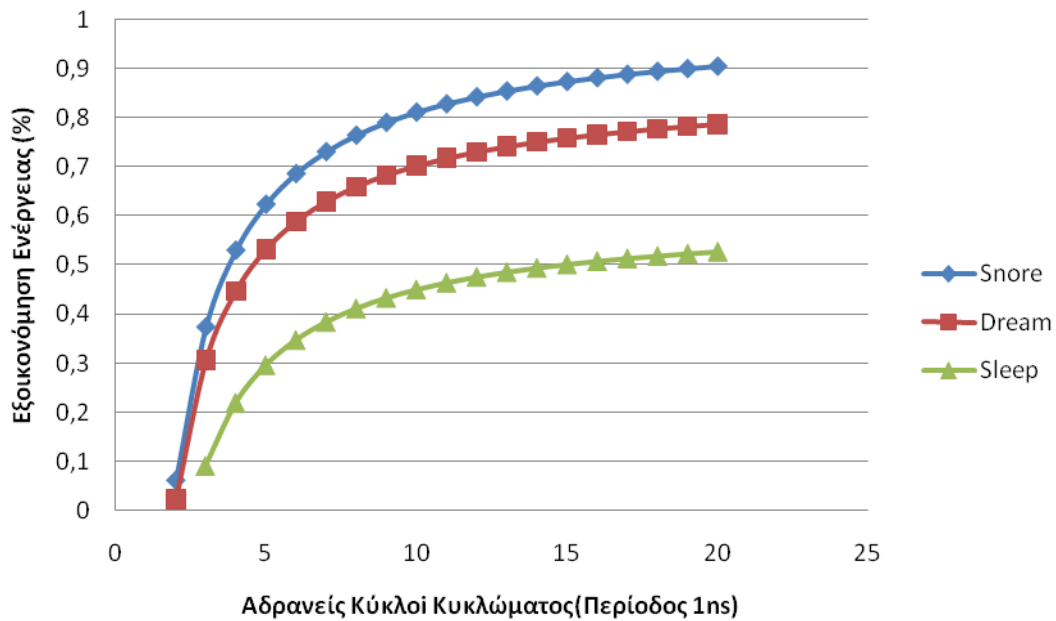


Σχήμα 4.14 Εξοικονόμηση Ενέργειας ως προς τους Αδρανείς Κύκλους Κυκλώματος (500ps)

Στο Σχήμα 4.14 βλέπουμε πως μεταβάλλεται η ποσοστιαία εξοικονόμηση ενέργειας στο κύκλωμα, όταν το κύκλωμα έχει περίοδο λειτουργίας 500ps. Στην κατάσταση Snore και στην κατάσταση Dream, για να υπάρξει εξοικονόμηση ενέργειας πρέπει να υπάρξουν 4 αδρανείς κύκλοι, ενώ για την κατάσταση Sleep ο αριθμός αυτών των κύκλων ανέρχεται στους 6.

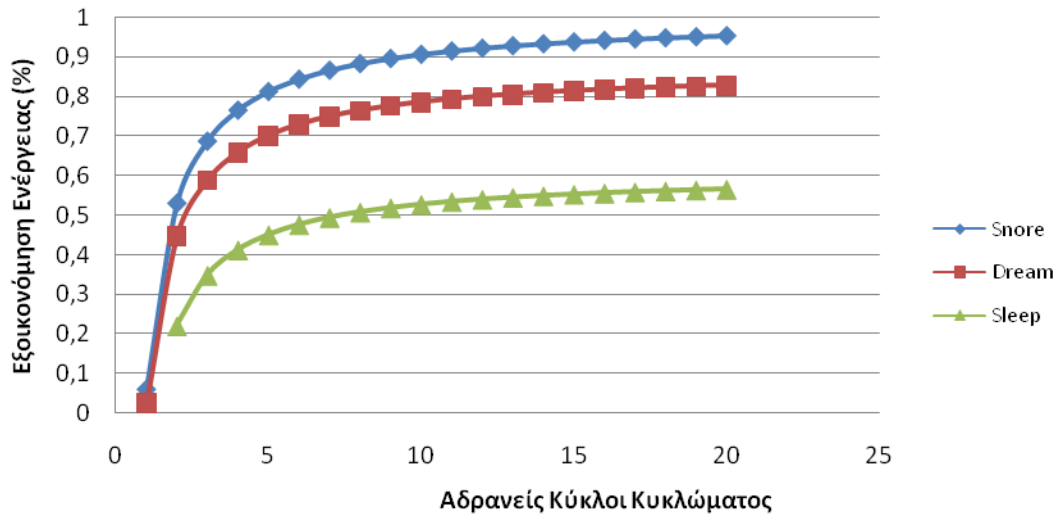
Πρέπει να περάσουν περίπου 25 αδρανείς κύκλοι ρολογιού για να αρχίσει να σταθεροποιείται η ποσοστιαία εξοικονόμηση ενέργειας. Παρατηρούμε ότι βελτιώνεται σημαντικά ο ρυθμός της εξοικονόμησης ενέργειας με την μείωση της συχνότητας του κυκλώματος.

Στη συνέχεια στο Σχήμα 4.15 βλέπουμε πως μεταβάλλεται η ποσοστιαία εξοικονόμηση ενέργειας στο κύκλωμα όταν το κύκλωμα έχει περίοδο λειτουργίας 1ns. Στην κατάσταση Snore και στην κατάσταση Dream, για να υπάρξει εξοικονόμηση ενέργειας πρέπει να υπάρξουν 4 αδρανείς κύκλοι, ενώ για την κατάσταση Sleep ο αριθμός αυτών των κύκλων ανέρχεται στους 6. Πρέπει να περάσουν περίπου 25 αδρανείς κύκλοι ρολογιού για να αρχίσει να σταθεροποιείται η ποσοστιαία εξοικονόμηση ενέργειας.



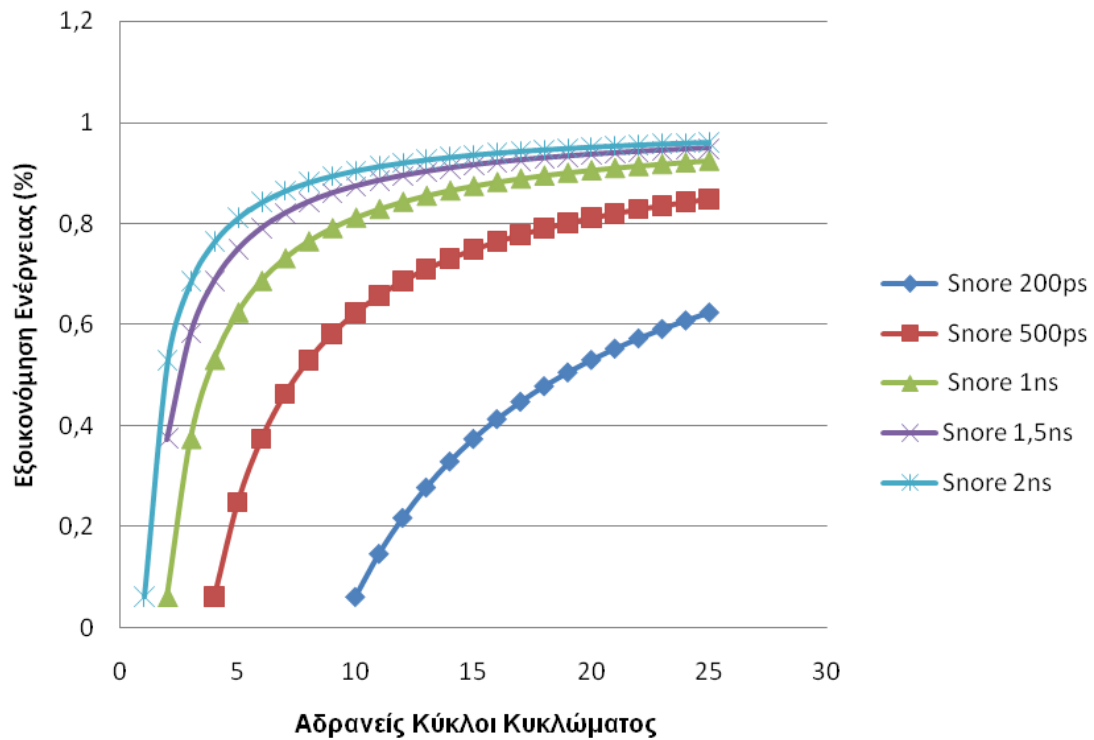
Σχήμα 4.15 Εξοικονόμηση Ισχύος ως προς τους Αδρανείς Κύκλους Κυκλώματος (1ns)

Τέλος, στο Σχήμα 4.16 βλέπουμε πως μεταβάλλεται η ποσοστιαία εξοικονόμηση ενέργειας στο κύκλωμα, όταν το κύκλωμα έχει περίοδο λειτουργίας 2ns. Παρατηρούμε εδώ ότι για όλες τις καταστάσεις ύπνου έχουμε εξοικονόμηση ενέργειας από τον πρώτο κιάλας κύκλο μετάβασης στην αντίστοιχη κατάσταση ύπνου. Αυτό συμβαίνει γιατί η ενέργεια που εξοικονομείται σε διάστημα 2ns είναι άμεσα συγκρίσιμη με την ενέργεια που χρειάζεται το κύκλωμα για να επανέλθει σε κατάσταση Κανονικής Λειτουργίας. Πρέπει να περάσουν περίπου 10 αδρανείς κύκλοι ρολογιού για να αρχίσει να σταθεροποιείται η ποσοστιαία εξοικονόμηση ενέργειας.



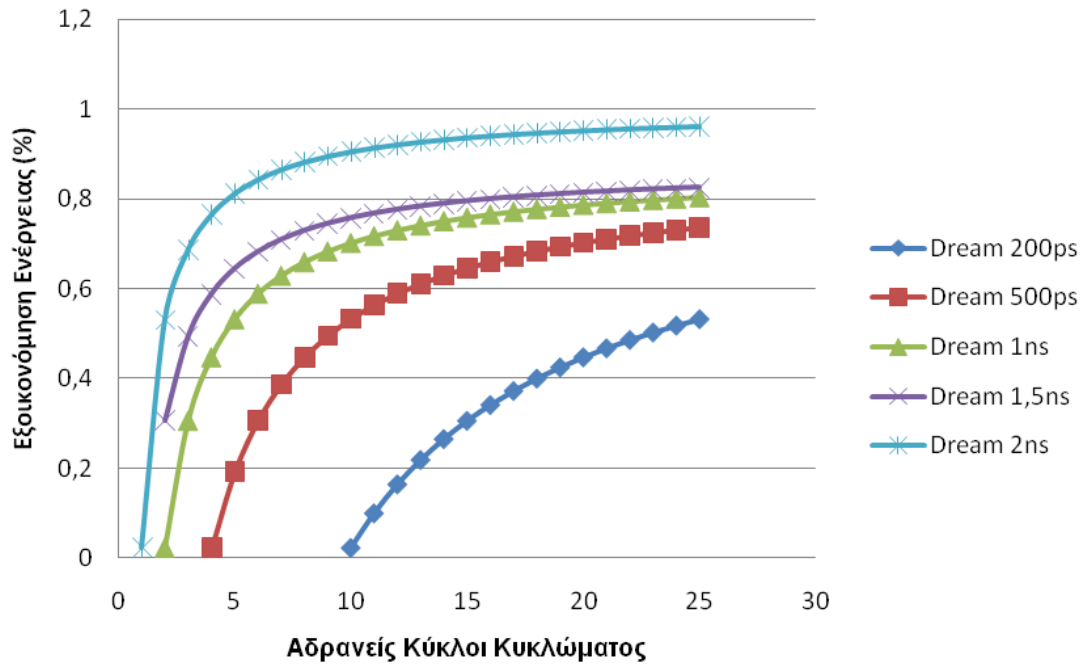
Σχήμα 4.16 Εξοικονόμηση Ισχύος ως προς τους Αδρανείς Κύκλους Κυκλώματος (2ns)

Στο Σχήμα 4.17 παρουσιάζεται συγκεντρωτικά η μεταβολή στην εξοικονόμηση ενέργειας σε αριθμό κύκλων στην κατάσταση ύπνου Snore, για τις διάφορες συχνότητες λειτουργίας του κυκλώματος. Παρατηρούμε ότι όσο μικρότερη είναι η περίοδος λειτουργίας, τόσοι περισσότεροι αδρανείς κύκλους χρειάζεται το κύκλωμα για να αρχίσει να εξοικονομεί ενέργεια. Εδώ ο αριθμός των αδρανών αυτών κύκλων κυμαίνεται από 1-10.



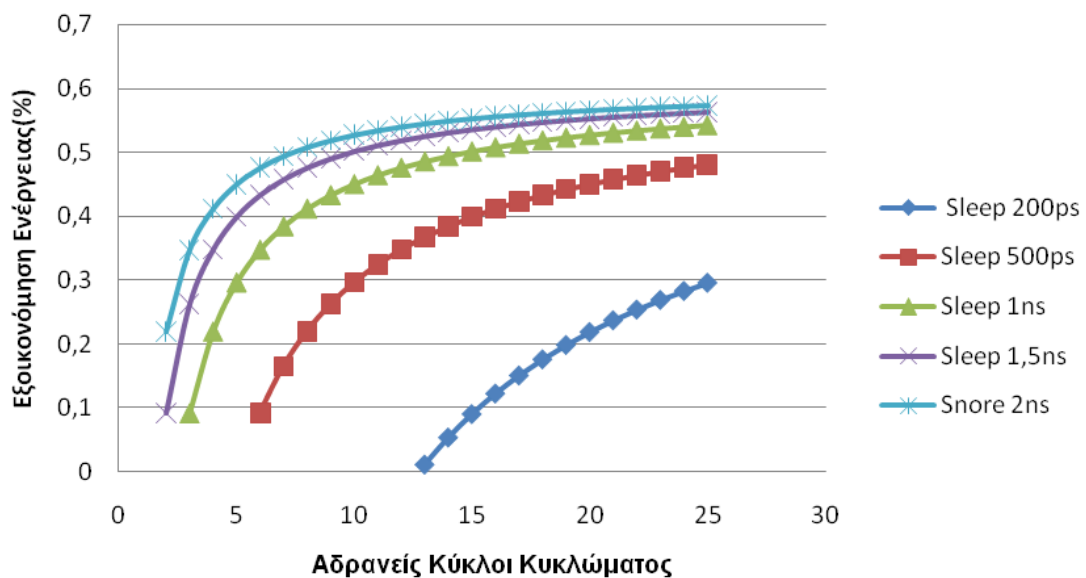
Σχήμα 4.17 Εξοικονόμηση Ενέργειας της Κατάστασης Snore για Διαφορετικές Περιόδους Λειτουργίας

Αντίστοιχα, στο Σχήμα 4.18 παρουσιάζεται η μεταβολή στην εξοικονόμηση ενέργειας σε αριθμό κύκλων στην κατάσταση ύπνου Dream, καθώς μεταβάλλεται η συχνότητα λειτουργίας του κυκλώματος. Και εδώ ο αριθμός των αδρανών κύκλων κυμαίνεται από 1-10.



Σχήμα 4.18 Εξοικονόμηση Ενέργειας της Κατάστασης Dream σε Διαφορετικές Περιόδους Λειτουργίας

Τέλος στο Σχήμα 4.19 παρουσιάζεται η μεταβολή στην εξοικονόμηση ενέργειας σε αριθμό κύκλων στην κατάσταση ύπνου Sleep, καθώς μεταβάλλεται η συχνότητα λειτουργίας του κυκλώματος. Εδώ ο αριθμός των αδρανών αυτών κύκλων κυμαίνεται από 2-13.

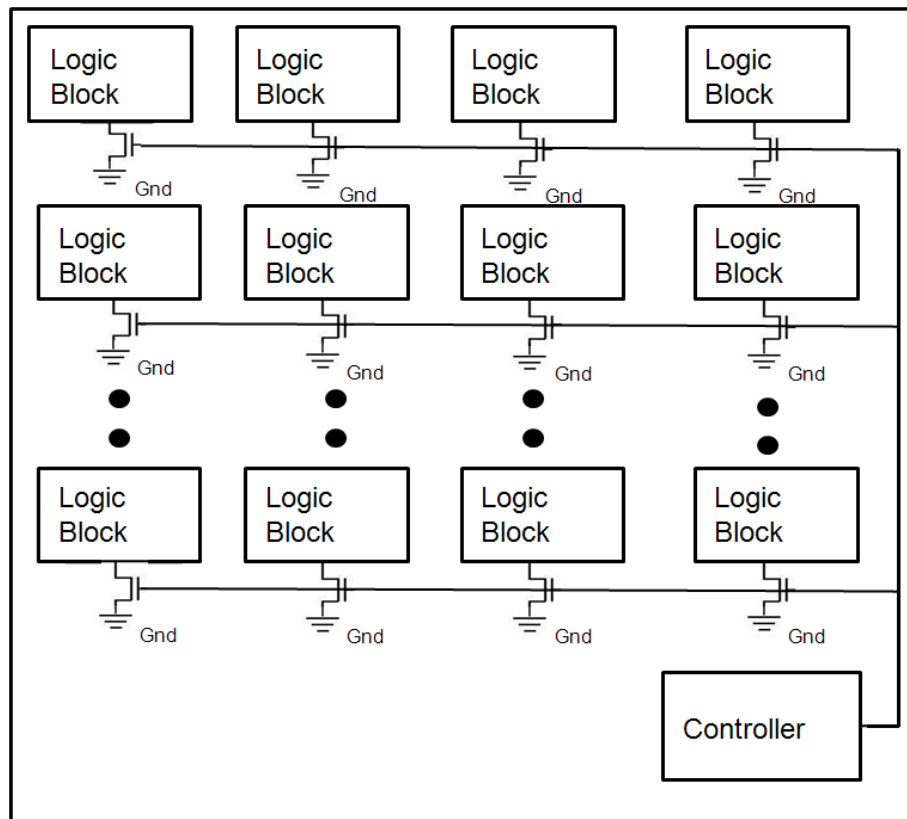


Σχήμα 4.19 Εξοικονόμηση Ενέργειας της Κατάστασης Sleep για Διαφορετικές Περιόδους Λειτουργίας

Συμπερασματικά, όσο μεγαλύτερη είναι η συχνότητα λειτουργίας του κυκλώματος τόσο μεγαλύτερος ο αριθμός των κύκλων παραμονής σε κατάσταση αδράνειας που απαιτείται ώστε να υπάρξει εξοικονόμηση στατικής ενέργειας.

4.6. Κατανεμημένη Υλοποίηση Κυκλώματος Δημιουργίας Καταστάσεων Ύπνου

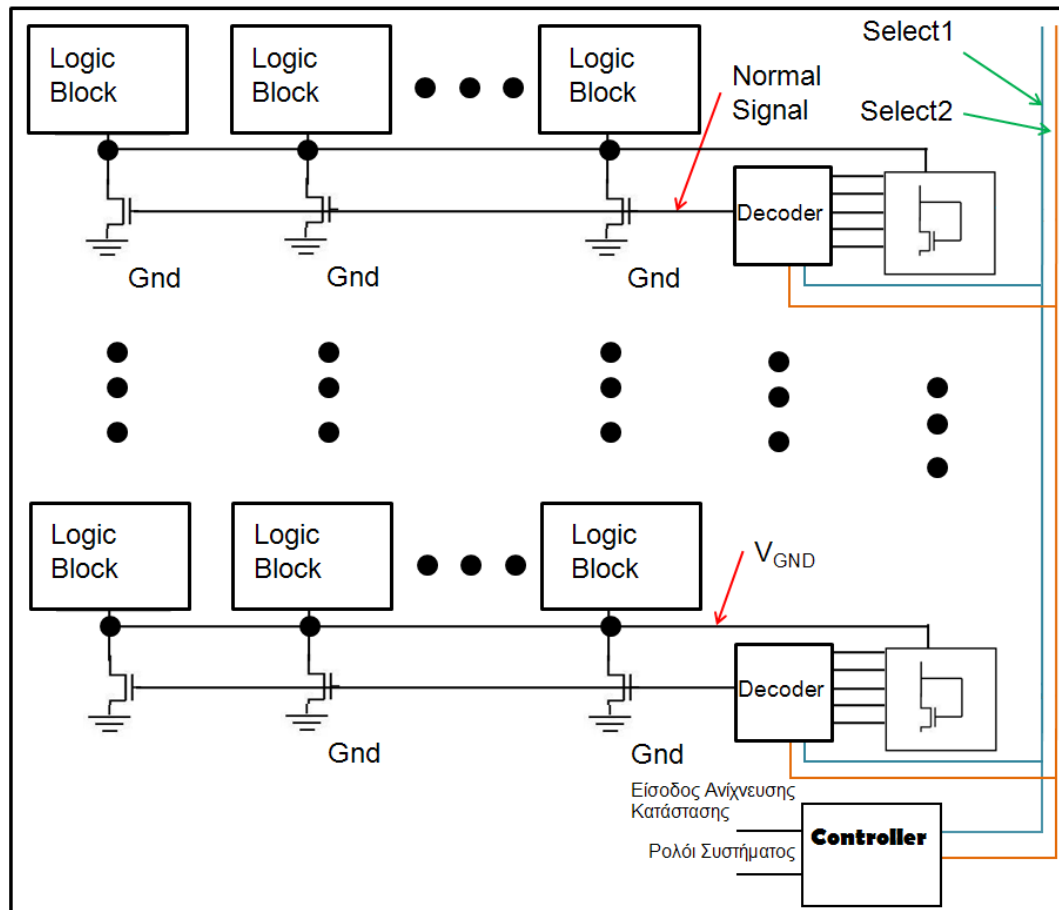
Στην περίπτωση που το κύκλωμα δημιουργίας καταστάσεων ύπνου είναι εντοπισμένο σε μια περιοχή του ολοκληρωμένου κυκλώματος, τότε τα λογικά τμήματα που βρίσκονται σε μακρινή απόσταση από αυτό θα βλέπουν μια μεγάλη αντίσταση προς τη γη με αποτέλεσμα τις μειωμένες αποδόσεις. Για την αποφυγή αυτού του προβλήματος, σε όλες τις σχετικές τεχνικές, το κύκλωμα διαμοιράζεται κατά το δυνατόν ομοιόμορφα μέσα στο ολοκληρωμένο κύκλωμα. Στο Σχήμα 4.20 φαίνεται πως κατανέμεται, στην γενική περίπτωση των τεχνικών δημιουργίας κατάστασης (ή καταστάσεων) ύπνου, το σχετικό τρανζίστορ ύπνου στα διάφορα τμήματα της λογικής μέσα στο ολοκληρωμένο κύκλωμα. Η ίδια τακτική έχει ακολουθηθεί και στην εργασία [27].



Σχήμα 4.20 Τοπολογία του Κυκλώματος Δημιουργίας Καταστάσεων Ύπνου [27]

Το σήμα που εφαρμόζεται στην πύλη του τρανζίστορ ύπνου και που καθορίζει την κατάσταση του κυκλώματος, δημιουργείται μια φορά σε ένα σημείο του κυκλώματος, από τον σχετικό Controller και διανέμεται στο υπόλοιπο κύκλωμα. Αυτό προσφέρει το μεγάλο πλεονέκτημα ότι απαιτείται ένα μόνο καλώδιο να «τρέχει» μέσα στο κύκλωμα.

Στην προτεινόμενη τεχνική, της παρούσας εργασίας, το κύκλωμα δημιουργίας καταστάσεων ύπνου αποτελείται από περισσότερα από ένα τρανζίστορ, αν και το συνολικό τους μέγεθος είναι ίσο με το τρανζίστορ ύπνου των άλλων τεχνικών. Επιπρόσθετα, στην συγκεκριμένη περίπτωση ο Controller θα πρέπει να δημιουργήσει δύο σήματα για τον σωστό χειρισμό των καταστάσεων ύπνου. Για τον διαμοιρασμό του συγκεκριμένου κυκλώματος υπάρχουν δύο προσεγγίσεις. Στην πρώτη όλα τα τρανζίστορ MN0, MN1, MN2.1 και MN2.2 καθώς και τα βοηθητικά τους κυκλώματα είναι κατανεμημένα στα διάφορα λογικά τμήματα του κυκλώματος. Σε αυτή την περίπτωση όμως ο αποκωδικοποιητής θα πρέπει να επαναληφθεί σε κάθε λογικό τμήμα και αυτό αυξάνει (αν και όχι σημαντικά) το κόστος υλοποίησης. Στη δεύτερη προσέγγιση μπορεί να ακολουθηθεί μια πιο ιεραρχική σχεδίαση όπως φαίνεται στο Σχήμα 4.21. Στόχος είναι η ομαδοποίηση των λογικών τμημάτων ώστε να διαμοιραστούν τον ίδιο αποκωδικοποιητή. Μαζί με τον αποκωδικοποιητή όμως θα πρέπει να διαμοιραστούν και το μέρος των τρανζίστορ MN1, MN2.1 και MN2.2 που τους αναλογεί καθώς σε διαφορετική περίπτωση από τον αποκωδικοποιητή θα πρέπει να δρομολογηθούν πέντε σήματα (τα Normal, A1, A2, B1 και B2). Έτσι το μόνο πλήρως διαμοιραζόμενο κατά λογικό τμήμα τρανζίστορ είναι το MN0. Επίσης μόνο το σήμα Normal δρομολογείται από τον αποκωδικοποιητή προς κάθε λογικό τμήμα. Ταυτόχρονα όμως θα πρέπει και η εικονική γη (V_{GND}) των λογικών τμημάτων να είναι κοινή μεταξύ τους. Η επίδραση στην ταχύτητα λειτουργίας είναι μικρή καθώς το πλάτος του τρανζίστορ MN0 ισούται με τα $2/3$ του συνολικού μεγέθους του κυκλώματος δημιουργίας καταστάσεων ύπνου. Γενικά, το κόστος υλοποίησης στην εργασία [27] είναι μικρότερο γιατί απαιτεί την μετάδοση μόνο ενός σήματος, ενώ η παρούσα τεχνική απαιτεί την δρομολόγηση δύο σημάτων και ενδεχομένως έναν ιεραρχικό διαμοιρασμό των τρανζίστορ.



Σχήμα 4.21 Τοπολογία του Κυκλώματος Δημιουργίας Καταστάσεων Ύπνου στην Προτεινόμενη Τεχνική

4.7. Συμπεράσματα

Η στατική κατανάλωση αποτελεί ένα από τα σημαντικότερα προβλήματα στις σημερινές νανοτεχνολογίες κατασκευής ολοκληρωμένων κυκλωμάτων, με έντονη επιδείνωση καθώς η τεχνολογία κλιμακώνεται. Στην παρούσα εργασία προτάθηκε μια τεχνική για την αντιμετώπιση της στατικής κατανάλωσης σε ψηφιακά ολοκληρωμένα κυκλώματα με την δημιουργία πολλαπλών καταστάσεων ύπνου. Με αυτό τον τρόπο επιτυγχάνεται μείωση της στατικής κατανάλωσης ενέργειας στο κύκλωμα και καλύτερη εκμετάλλευση των αδρανών κύκλων ρολογιού σε αυτό καθώς ο χρόνος επαναφοράς του κυκλώματος στην κανονική λειτουργία διαφέρει μεταξύ των τριών καταστάσεων. Ως επακόλουθο παρέχεται η δυνατότητα συχνότερης εισόδου του κυκλώματος σε κατάσταση ύπνου. Η τεχνική εφαρμόστηκε επιτυχώς σε ψηφιακό κύκλωμα 12,5 εκατομμυρίων ισοδύναμων μοναδιαίων τρανζίστορ, με εισαγωγή

τριών καταστάσεων ύπνου. Η επιτυγχανόμενη μείωση του ρεύματος διαρροής για κάθε μια από τις καταστάσεις ύπνου, ξεκινώντας από την ελαφρύτερη προς την βαθύτερη, ήταν 82%, 88% και 99,9 % αντίστοιχα, σε σχέση με την κατανάλωση αντίστοιχου σχεδιασμού χωρίς την υποστήριξη της τεχνικής. Ταυτόχρονα ο χρόνος επαναφοράς του κυκλώματος στην κανονική λειτουργία, για την ελαφρύτερη και την ενδιάμεση κατάσταση ύπνου ήταν αντίστοιχα ίσος με το 1/2 και τα 2/3 του χρόνου που χρειάζεται για την επαναφορά του κυκλώματος από την βαθύτερη κατάσταση ύπνου.

Επιπρόσθετα στην εργασία μελετήθηκε αναλυτικά το κέρδος σε καταναλισκόμενη ενέργεια ως συνάρτηση της δαπανώμενης ενέργειας για την είσοδο και την έξοδο σε και από κάθε κατάσταση ύπνου καθώς και σε συνάρτηση με τους κύκλους ρολογιού του συστήματος για τους οποίους παραμένει σε αδράνεια. Τέλος, μετρήθηκε η επίδραση της συχνότητας λειτουργίας του συστήματος (χρόνος κύκλου ρολογιού) στον αριθμό των κύκλων που απαιτούνται για να επιτευχθεί κέρδος στην ενέργεια σε με την επιβολή κάθε κατάστασης ύπνου.

4.7.1. Πλεονεκτήματα

Η τεχνική που προτείνεται εδώ είναι απλή στην εφαρμογή της και παρόλο που έχει ένα σχετικά μεγαλύτερο κόστος υλοποίησης σε σχέση με την εργασία [27], δεν απαιτεί την χρήση πολύ χαμηλών τάσεων, υπό της τάσης κατωφλίου των τρανζίστορ της τεχνολογίας, οι οποίες είναι εξαιρετικά δύσκολο να παραχθούν και να παραμείνουν σταθερές κατά την διάρκεια λειτουργίας του κυκλώματος. Ο σχεδιασμό για τη παραγωγή τάσεων υποκατωφλίου είναι μια δύσκολη διαδικασία που απαιτεί πρόσθετα κυκλώματα με κόστος σε επιφάνεια πυριτίου και σε κατανάλωση ενέργειας.

Σε σχέση με την εργασία [26], η προτεινόμενη τεχνική μπορεί να δημιουργήσει περισσότερες καταστάσεις ύπνου (3 έναντι 2) με πολύ μικρότερο κόστος, καθώς εκείνη η τεχνική χρησιμοποιεί πρόσθετα στο NMOS τρανζίστορ δημιουργίας καταστάσεων ύπνου, ένα σχετικά μεγάλο PMOS τρανζίστορ το οποίο δεν μπορεί να αξιοποιηθεί στην κανονική λειτουργία του κυκλώματος.

Είναι μια σχεδιαστικά απλή τεχνική καθώς ο καταμερισμός των μεγεθών των τρανζίστορ στο κύκλωμα δημιουργίας καταστάσεων ύπνου μπορεί να γίνει με πολλαπλούς τρόπους.

4.7.2. Μειονεκτήματα

Το κόστος υλοποίησης της προτεινόμενης τεχνικής σε μέγεθος τρανζίστορ ήταν 6,04%, της επιφάνειας του κυκλώματος, αυξημένη κατά 7,8% σε σχέση με τη σχετική τεχνική στην εργασία [27] ενώ είναι σαφώς πολύ μικρότερο από εκείνο που απαιτείται στην τεχνική της εργασίας [26] για την ίδια συχνότητα λειτουργίας. Στο κόστος αυτό θα πρέπει να προστεθεί και εκείνο για τον καταμερισμό των τρανζίστορ της τεχνικής στο κύκλωμα, καθώς και για την δρομολόγηση των απαιτούμενων σημάτων.

Οι τεχνικές δημιουργίας καταστάσεων ύπνου επιδρούν στην ταχύτητα λειτουργίας του κυκλώματος στο οποίο εφαρμόζονται. Σύμφωνα με τα μεγέθη των τρανζίστορ που επιλέξαμε στην υλοποίηση της προτεινόμενης τεχνικής, η υποβάθμιση της ταχύτητας λειτουργίας ήταν της τάξης του 13%.

ΑΝΑΦΟΡΕΣ

- [1] J.M. Rabaey, A. Chandrakasan and B. Nikolic, “Digital Integrated Circuits: A Design Perspective”, Prentice Hall, 2003.
- [2] F. Karim, A. Nguyen, S. Dey, “On-chip Communication Architecture for OC-768 Network Processors” 38th Design Automation Conference, 2001.
- [3] R. Hegde, N. Shanbhag, “Toward achieving energy efficiency in presence of deep submicron noise,” IEEE Transactions on VLSI Systems, pp. 379–391, vol. 8, no. 4, August 2000.
- [4] E. Nilsson “Design and Implementation of a Hot-Potato Switch in a Network on Chip” *Master of Science Thesis, LECS, Royal Institute of Technology*, Journal of Systems Architecture: the EUROMICRO Journal, Vol. 50 , Issue 2-3, 2004.
- [5] S. Li, L-S. Peh and N. K. Jha, “Dynamic Voltage Scaling with Links for Power Optimization of Interconnection Networks,” HPCA - Proceedings of the International Symposium on High Performance Computer Architecture, Anaheim, pp. 91-102, 2003.
- [6] J.P. Singh, W. Weber, and A. Gupta, “SPLASH: Stanford Parallel Applications for Shared-Memory” Computer Architecture News, vol. 20, no. 1 , pp. 5 - 44, 1992.
- [7] T. Kawahara et al., "Subthreshold Current Reduction for Decoded-Driver by Self-Reverse-Biasing." IEEE J. Solid-state Circuits, vol. 28, no. 11, pp. 1136-1144, 1993.
- [8] J. Kao, A. Chandrakasan, and D. Antoniadis, “Transistor sizing issues and tool for multi-threshold CMOS technology,” Proc. Design Automation Conference, pp. 409-414, 1997.
- [9] S. Shigematsu, S. Mutoh, Y. Matsuya, Y. Tanabe and J. Yamada, “A 1-V highspeed MTCMOS circuit scheme for power-down application circuits,” IEEE Journal of Solid-State Circuits, vol. 32, pp. 861-869, 1997.

- [10] H. Kawaguchi, K. Nose and T. Sakurai, "A super cut-off CMOS (SCCMOS) scheme for 0.5V supply voltage with picoampere standby current," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1498-1501, 2000.
- [11] R. X. Gu and M. I. Elmasry, "Power dissipation analysis and optimization of deep submicron CMOS digital circuits," *IEEE Journal on Solid-State Circuits*, vol. 31, no. 5, pp. 707-713, 1996.
- [12] Z. Chen, M. C. Johnson, L. Wei and K. Roy, "Estimation of standby leakage power in CMOS circuit considering accurate modeling of transistor stacks," *Proc. International Symposium on Low Power Electronics Design*, pp. 239-244, 1998.
- [13] J. Halter and F. Najm, "A gate-level leakage power reduction method for ultralow-power CMOS circuits," *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 475 – 478, 1997.
- [14] V. De, Y. Ye, A. Keshavarzi, S. Narendra, J. Kao, D. Somasekhar, R. Nair and S. Borkar, "Techniques for leakage power reduction," *IEEE Press*, 2001.
- [15] M.C. Johnson, D. Somasekhar and K. Roy, "Models and algorithms for bounds on leakage in CMOS circuits," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 18, pp. 714-725, 1999.
- [16] A. Fadi, S. Hassoun, K. A. Sakallaha and D. Blaauw, "Robust SAT-based search algorithm for leakage power reduction," *Proceedings of the 12th International Workshop on Integrated Circuit Design. Power and Timing Modeling, Optimization and Simulation*, pp. 167 – 177, 2002.
- [17] Q. Wang and S.B.K. Vrudhula, "Static power optimization of deep submicron CMOS circuits for dual V_t technology," *International Conference on Computer-Aided Design*, pp. 490-496, 1998.
- [18] L. Wei, Z. Chen, M. C. Johnson, K. Roy and V. De, "Design and optimization of low voltage high performance dual threshold CMOS circuits," *Proc. Design Automation Conference*, pp. 489-494, 1998.
- [19] S. Sirichotiyakul, T. Edwards, C. Oh, R. Panda and D. Blaauw, "Duet: an accurate leakage estimation and optimization tool for dual V_t circuits," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 10, pp. 79-90, 2002.

- [20] M. Ketkar and S. Sapatnekar, "Standby power optimization via transistor sizing and dual threshold voltage assignment," Proc. International Conference on Computer Aided Design, pp. 375-378, 2002.
- [21] S. Stiffler, "Optimizing performance and power for 130nm and beyond," IBM Technology Group New England Forum, 2003.
- [22] D. Lee, W. Kwong, D. Blaauw and D. Sylvester, "Analysis and minimization techniques for total leakage considering gate oxide leakage," Proc. Design Automation Conference, pp. 175-180, 2003.
- [23] Z. Chen, M. C. Johnson, L. Wei and K. Roy, "Estimation of standby leakage power in CMOS circuit considering accurate modeling of transistor stacks," Proc. International Symposium on Low Power Electronics Design, pp. 239-244, 1998.
- [24] R.S. Guindi and F.N. Najm, "Design techniques for gate-leakage reduction in CMOS circuits," Proc. of the International Symposium on Quality Electronic Design (ISQED), pp. 61-65, 2003.
- [25] F. Hamzaoglu and M.R. Stan, "Circuit-level techniques to control gate leakage for sub-100nm CMOS," Proc. of the International Symposium on Low Power Electronics and Design, pp. 60-63, 2002.
- [26] S. Kim, S. V. Kosonocky, D. R. Knebel, and K. Stawiasz, "Experimental Measurement of a Novel Power Gating Structure with Intermediate Power Saving Mode," Proceedings of the International Symposium on Low Power Electronics and Design, pp. 20-25, 2004.
- [27] H. Singh, K. Agarwal and D. Sylvester, "Enhanced Leakage Reduction Techniques Using Intermediate Strength Power Gating," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 15, no. 11, pp. 1215-1224, 2007.

ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ

Ο Παναγιώτης Κατσίκος γεννήθηκε και μεγάλωσε στα Ιωάννινα. Είναι Διπλωματούχος της Πολυτεχνικής Σχολής του Πανεπιστημίου Πατρών, Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Η/Υ. Εισήχθη στην σχολή το 1999 και αποφοίτησε τον Μάρτιο του 2006. Η Κατεύθυνση που επέλεξε στην σχολή ήταν Ηλεκτρονική και Υπολογιστές. Τον Μάρτιο του 2006 εγγράφηκε στο Τμήμα Πληροφορικής του Πανεπιστημίου Ιωαννίνων για την απόκτηση του Μεταπτυχιακού Τίτλου Σπουδών. Ολοκλήρωσε τις σπουδές του τον Ιούλιο του 2009. Γνωρίζει Αγγλικά (Advanced) και λίγα Αραβικά.