

ΠΡΟΣΤΑΣΙΑ ΑΠΟ ΛΑΘΗ ΧΡΟΝΙΣΜΟΥ ΣΕ ΔΟΜΕΣ ΔΙΟΧΕΤΕΥΣΗΣ ΠΟΥ ΔΟΜΟΥΝΤΑΙ ΜΕ  
ΠΑΛΜΙΚΟΥΣ ΜΑΝΔΑΛΩΤΕΣ

Η  
ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ

Υποβάλλεται στην

ορισθείσα από τη Γενική Συνέλευση Ειδικής Σύνθεσης  
του Τμήματος Πληροφορικής  
Εξεταστική Επιτροπή

από το

Νικόλαο Γεωργουλόπουλο

ως μέρος των Υποχρεώσεων

για τη λήψη

του

ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΣΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ  
ΜΕ ΕΞΕΙΔΙΚΕΥΣΗ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ-ΕΦΑΡΜΟΓΕΣ

Οκτώβριος 2013

## **ΑΦΙΕΡΩΣΗ**

---

Στην οικογένειά μου.

## **ΕΥΧΑΡΙΣΤΙΕΣ**

---

Θα ήθελα να εκφράσω τις θερμές μου ευχαριστίες στον επιβλέποντα καθηγητή κ. Τσιατούχα Γεώργιο, Αναπληρωτή Καθηγητή του Τμήματος Μηχανικών Η/Υ και Πληροφορικής του Πανεπιστημίου Ιωαννίνων, για τη συνεχή και υποδειγματική επιστημονική καθοδήγησή του, καθώς και για τις καίριες παρεμβάσεις του που συντέλεσαν στην ολοκλήρωση της παρούσας εργασίας. Επίσης, ευχαριστώ πολύ τα υπόλοιπα μέλη της επιτροπής κ. Καβουσιανό Χρυσοβαλάντη, Επίκουρο Καθηγητή του Τμήματος Μηχανικών Η/Υ και Πληροφορικής του Πανεπιστημίου Ιωαννίνων και τον κ. Ευθυμίου Αριστείδη, Επίκουρο Καθηγητή του Τμήματος Μηχανικών Η/Υ και Πληροφορικής του Πανεπιστημίου Ιωαννίνων. Επιπλέον, θα ήθελα να ευχαριστήσω τους γονείς μου, την αδερφή μου και τους καλούς μου φίλους και συναδέλφους για την κατανόηση και την στήριξή τους. Τέλος, ευχαριστώ πολύ τη Μαρία Τζάθα για την πολύτιμη βοήθειά της στην επιμέλεια της διατριβής.

## ΠΕΡΙΕΧΟΜΕΝΑ

---

ΑΦΙΕΡΩΣΗ	Σελ. ii
ΕΥΧΑΡΙΣΤΙΕΣ	iii
ΠΕΡΙΕΧΟΜΕΝΑ	iv
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ	vii
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ	viii
ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ	xii
ΠΕΡΙΛΗΨΗ	xiv
EXTENDED ABSTRACT IN ENGLISH	xvi
ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ	1
1.1. Στόχοι	1
1.2. Δομή της Διατριβής	2
ΚΕΦΑΛΑΙΟ 2. ΕΛΕΓΧΟΣ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ	3
2.1. Βασικές Έννοιες	3
2.2 Ανίχνευση Σφαλμάτων	7
2.3. Τεχνικές Ελέγχου Ορθής Λειτουργίας	10
2.3.1. Κατηγορίες Τεχνικών Ελέγχου Ορθής Λειτουργίας	10
2.3.2. Σχεδιασμός για την Αύξηση της Ικανότητας Ελέγχου	12
2.4. Ανοχή Σφαλμάτων	15
2.4.1. Στατικός Πλεονασμός Υλικού	15
2.4.2. Δυναμικός Πλεονασμός Υλικού	19
2.4.3. Υβριδικός Πλεονασμός Υλικού	22
2.4.4. Χρονικός Πλεονασμός	24
2.4.5. Πλεονασμός Πληροφορίας: Ανίχνευση Λαθών	28
2.4.6. Πλεονασμός Πληροφορίας: Διόρθωση Λαθών	33
ΚΕΦΑΛΑΙΟ 3. ΕΝ ΛΕΙΤΟΥΡΓΙΑ ΕΛΕΓΧΟΣ	35
3.1. Τεχνική Razor	35
3.1.1. Τεχνικές Δυναμικής Κλιμάκωσης Τροφοδοσίας	35
3.1.2. Χαρακτηριστικά Τεχνικής Razor	37
3.1.3. Ανίχνευση και Διόρθωση Λαθών	37
3.1.4. Ζητήματα Εφαρμογής σε Επίπεδο Κυκλώματος	39

3.1.5. Αποκατάσταση Δομής Διοχέτευσης με την Τεχνική Razor	41
3.1.6. Σύστημα Ελέγχου Τάσης	44
3.2. Τεχνική GRAAL	46
3.2.1. Έρευνα για την Ανοχή Σφαλμάτων	46
3.2.2. Σχεδιασμός GRAAL για Ανοχή Σφαλμάτων	51
3.2.3. Αρχιτεκτονική Ανίχνευσης Λαθών	52
3.2.4. Αρχιτεκτονική Ανίχνευσης και Διόρθωσης Λαθών	54
3.3. Τεχνική Elastic	58
3.3.1. Σχεδιασμός Elastic για Διόρθωση Λαθών Χρονισμού	59
3.3.2. Δυναμική Ωθηση Ταχύτητας Λειτουργίας (Dynamic Speed Boosting)	60
3.3.3. Τεχνική Διαμοιραζόμενης Ωθησης Μέσω Δυναμικής Μετατόπισης του Ρολογιού	63
3.3.4. Έλεγχος Χρονισμού	64
3.3.5. Ελαχιστοποίηση του Κόστους	67
3.4. Τεχνική EDC	68
3.4.1. Error Detection and Correction Flip-Flop	68
3.4.2. Λειτουργία του Κυκλώματος	71
3.4.3. Αποκατάσταση της Δομής Διοχέτευσης	73
<b>ΚΕΦΑΛΑΙΟ 4. ΣΧΕΔΙΑΣΜΟΣ ΜΕ ΒΑΣΗ ΤΟΝ ΠΑΛΜΙΚΟ ΜΑΝΔΑΛΩΤΗ</b>	76
4.1. Pulsed-Latch Κυκλώματα	78
4.2. Σχεδιασμός Pulsed-Latch Κυκλωμάτων	79
4.3. Βελτιστοποίηση Χρονισμού	80
4.4. Σύγκριση Ακολουθιακών Μεθόδων	82
4.4.1. Περιορισμοί Μέγιστης Καθυστέρησης (Max-Delay Constraints)	85
4.4.2. Περιορισμοί Ελάχιστης Καθυστέρησης (Min-Delay Constraints)	88
<b>ΚΕΦΑΛΑΙΟ 5. Η ΠΡΟΤΕΙΝΟΜΕΝΗ ΤΕΧΝΙΚΗ ΑΝΙΧΝΕΥΣΗΣ ΚΑΙ ΔΙΟΡΘΩΣΗΣ ΛΑΘΩΝ ΧΡΟΝΙΣΜΟΥ</b>	92

5.1. Ο Προτεινόμενος Παλμικός Μανδαλωτής με Δυνατότητα Διόρθωσης Λαθών	92
5.2. Λειτουργία Κυκλώματος	97
5.3. Αποκατάσταση Λειτουργίας μιας Δομής Διοχέτευσης	99
5.4. Πειραματικές Διατάξεις	101
5.5. Εισαγωγή Λαθών Χρονισμού στα Κυκλώματα	103
5.6. Πειραματικά Αποτελέσματα της Προτεινόμενης Τεχνικής	105
5.7. Σύγκριση της Προτεινόμενης Τεχνικής με Υπάρχουσες Τεχνικές	119
5.7.1. Συγκρίσεις με Βάση την Επιφάνεια	120
5.7.2. Συγκρίσεις με Βάση την Κατανάλωση Ισχύος	121
5.7.3. Συγκρίσεις με Βάση τη Συχνότητα Λειτουργίας	122
<b>ΚΕΦΑΛΑΙΟ 6. ΣΥΜΠΕΡΑΣΜΑΤΑ</b>	124
<b>ΑΝΑΦΟΡΕΣ</b>	127
<b>ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ</b>	129

## **ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ**

---

Πίνακας	Σελ
Πίνακας 3.1 Χρονισμός των Τρανζίστορ Απομόνωσης στην Δυναμική Χρήση Διπλής Τροφοδοσίας	65
Πίνακας 4.1 Χρονισμός Ακολουθιακών Στοιχείων	84
Πίνακας 5.1 Συγκρίσεις με Βάση την Επιφάνεια	120
Πίνακας 5.2 Ποσοστιαία Μείωση/Αύξηση Επιφάνειας της Προτεινόμενης Τεχνικής σε Σχέση με τις Τεχνικές Razor και EDC	121
Πίνακας 5.3 Συγκρίσεις με Βάση τη Δυναμική Κατανάλωση Ισχύος	122
Πίνακας 5.4 Ποσοστιαία Μείωση/Αύξηση Δυναμικής Κατανάλωσης Ισχύος της Προτεινόμενης Τεχνικής σε Σχέση με τις Τεχνικές Razor και EDC	122
Πίνακας 5.5 Συγκρίσεις με Βάση τη Συχνότητα Λειτουργίας	123

## ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

---

Σχήμα	Σελ
Σχήμα 2.1 Κατασκευαστικά ελαττώματα, βλάβες και ατέλειες (από μικροσκόπιο)	4
Σχήμα 2.2 Σφάλμα Βραχυκύκλωσης σε μία λογική πύλη NAND	9
Σχήμα 2.3(α) Εισαγωγή σημείου παρατήρησης OP (β) Εισαγωγή σημείων ελέγχου CP0 και CP1	10
Σχήμα 2.4 Εν Λειτουργία Έλεγχος	11
Σχήμα 2.5 Σειριακή Σάρωση	13
Σχήμα 2.6 Ενσωματωμένος Αυτοέλεγχος	13
Σχήμα 2.7 Παρατήρηση Ρεύματος	14
Σχήμα 2.8 Triple Modular Redundancy (TMR)	16
Σχήμα 2.9 Παράδειγμα Λογικής Interwoven για Σχεδιασμό με 4 Πύλες NOR	18
Σχήμα 2.10 Σχεδιασμός Duplicate-and-Compare	21
Σχήμα 2.11 Σχεδιασμός Pair-and-a-Spare	21
Σχήμα 2.12 Πλεονασμός Αυτοκάθαρσης	23
Σχήμα 2.13 Στοιχειώδης Διακόπτης	24
Σχήμα 2.14 Πολλαπλή Δειγματοληψία Εξόδων	26
Σχήμα 2.15 Ελεγκτής Σταθερότητας	27
Σχήμα 2.16 Ευδιαχώριστος Κώδικας Ανίχνευσης Λαθών	29
Σχήμα 2.17 Σχεδιασμός Duplicate-and-Compare	30
Σχήμα 2.18 Αυτοελεγχόμενος Ελεγκτής Ισοτιμίας	31
Σχήμα 2.19 Παράδειγμα Πίνακα Ελέγχου Ισοτιμίας (Πίνακας H)	32
Σχήμα 2.20 Αρχιτεκτονική Μνήμης με ECC	34
Σχήμα 3.1 Λειτουργία Razor σε Τάσεις Χαμηλότερες από την Κρίσιμη Τάση Τροφοδοσίας	37
Σχήμα 3.2 Το Razor Flip-Flop	38



Σχήμα 3.3 Λειτουργία Τεχνικής Razor	39
Σχήμα 3.4 Περιορισμός Σύντομης Διαδρομής	40
Σχήμα 3.5 Μηχανισμός Αναστολής Ρολογιού για Αποκατάσταση Λαθών της Δομής Διοχέτευσης	42
Σχήμα 3.6 Χρονικό Διάγραμμα της Δομής Διοχέτευσης με Αναστολή Ρολογιού	42
Σχήμα 3.7 Μηχανισμός Counterflow για Αποκατάσταση Λαθών της Δομής Διοχέτευσης	43
Σχήμα 3.8 Χρονικό Διάγραμμα της Δομής Διοχέτευσης με Counterflow Pipelining	44
Σχήμα 3.9 Σύστημα Ελέγχου Τάσης για την Τεχνική Razor	44
Σχήμα 3.10 Ενεργειακά Κέρδη της Τεχνικής Razor	45
Σχήμα 3.11 Σχεδιασμός με Βάση το Flip-Flop	47
Σχήμα 3.12 Σχεδιασμός με Βάση το Μανδαλωτή	49
Σχήμα 3.13 Σχεδιασμός με Βάση το Μανδαλωτή	52
Σχήμα 3.14 Σχεδιασμός Ανίχνευσης Λαθών με Βάση το Μανδαλωτή	53
Σχήμα 3.15 Σχεδιασμός για Ανίχνευση και Αποκατάσταση Λαθών	55
Σχήμα 3.16(α) Razor Flip-Flop	
(β) Τροποποιημένο Razor Flip-Flop	60
Σχήμα 3.17(α) Δυναμική Χρήση Διπλής Τροφοδοσίας	
(β) Δυναμική Χρήση Γρήγορων Διαδρομών	61
Σχήμα 3.18 Υλοποίηση Τεχνικής Ώθησης της Ταχύτητας Λειτουργίας με Μετατόπιση της Αφίξης του Ρολογιού	63
Σχήμα 3.19 Υλοποίηση Δυναμικής Χρήσης Διπλής Τροφοδοσίας με Τεχνικές Διακοπής Τροφοδοσίας	65
Σχήμα 3.20 Χρονικό Διάγραμμα για την Δομή Διοχέτευσης του Σχήματος 3.18	67
Σχήμα 3.21(α) Το EDC Flip-Flop	
(β) Η Γεννήτρια Παλμού	
(γ) Δημιουργία Σήματος Μπλοκαρίσματος Ρολογιού	69
Σχήμα 3.22 Διαγράμματα Χρονισμού	72
Σχήμα 3.23 Αποκατάσταση Δομής Διοχέτευσης (α) Αρχιτεκτονική	
(β) Λειτουργία	74
Σχήμα 4.1 Παράδειγμα Γεννήτριας Παλμών (Pulser)	78
Σχήμα 4.2 Παράδειγμα Παλμικού Flip-Flop	79
Σχήμα 4.3 Δανεισμός Χρόνου με Πολλαπλά Πλάτη Παλμού	82

Σχήμα 4.4 Είδη Ακολουθιακών Μεθόδων	83
Σχήμα 4.5 Το Flip-Flop ως Ένα Ζεύγος από Μανδαλωτές	83
Σχήμα 4.6 Χρονικά Διαγράμματα	84
Σχήμα 4.7 Περιορισμός Μέγιστης Καθυστέρησης για τα Flip-Flops	86
Σχήμα 4.8 Περιορισμός Μέγιστης Καθυστέρησης για τους Μανδαλωτές Δύο Φάσεων	87
Σχήμα 4.9 Περιορισμός Μέγιστης Καθυστέρησης για Παλμικούς Μανδαλωτές	88
Σχήμα 4.10 Περιορισμός Ελάχιστης Καθυστέρησης για τα Flip-Flops	89
Σχήμα 4.11 Περιορισμός Ελάχιστης Καθυστέρησης για Μανδαλωτές Δύο Φάσεων	90
Σχήμα 4.12 Περιορισμός Ελάχιστης Καθυστέρησης για Παλμικούς Μανδαλωτές	91
Σχήμα 5.1 Ο Προτεινόμενος Παλμικός Μανδαλωτής με Δυνατότητα Διόρθωσης Λαθών	93
Σχήμα 5.2 Μονάδα Ελέγχου	96
Σχήμα 5.3 Χρονικό Διάγραμμα	98
Σχήμα 5.4 Αρχιτεκτονική Αποκατάστασης Δομής Διοχέτευσης	100
Σχήμα 5.5 Λειτουργία Αποκατάστασης Δομής Διοχέτευσης	101
Σχήμα 5.6 Το Κύκλωμα Αναφοράς c17	102
Σχήμα 5.7 Το Κύκλωμα Αναφοράς c432	102
Σχήμα 5.8 Το Κύκλωμα Αναφοράς c499	103
Σχήμα 5.9 Εισαγωγή Πρόσθετης Πύλης XOR για Ενεργοποίηση Λάθους Χρονισμού	104
Σχήμα 5.10 Ενεργοποίηση Λάθους Χρονισμού	104
Σχήμα 5.11 Το Κύκλωμα 5c432-to-c432	106
Σχήμα 5.12 Καταχωρητής Ολίσθησης Γραμμικής Ανάδρασης των 8-bit	107
Σχήμα 5.13 Περίπτωση Ελεύθερη από Λάθη για το 5c432-to-c432	107
Σχήμα 5.14 Περίπτωση Παρουσίας Λαθών Χρονισμού για το 5c432-to-c432	108
Σχήμα 5.15 Το Κύκλωμα c432-to-c17	109
Σχήμα 5.16 Περίπτωση Ελεύθερη από Λάθη για το c432-to-c17	109
Σχήμα 5.17 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c432-to-c17	110
Σχήμα 5.18 Το Κύκλωμα 18c17-to-c432	111
Σχήμα 5.19 Περίπτωση Ελεύθερη από Λάθη για το 18c17-to-c432	112
Σχήμα 5.20 Περίπτωση Παρουσίας Λαθών Χρονισμού για το 18c17-to-c432	113

Σχήμα 5.21 Το Κύκλωμα c499-to-c432	113
Σχήμα 5.22 Περίπτωση Ελεύθερη από Λάθη για το c499-to-c432	114
Σχήμα 5.23 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c499-to-c432	115
Σχήμα 5.24 Το Κύκλωμα c499-to-2c499	116
Σχήμα 5.25 Περίπτωση Ελεύθερη από Λάθη για το c499-to-2c499	116
Σχήμα 5.26 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c499-to-2c499	117
Σχήμα 5.27 Το Κύκλωμα c499	118
Σχήμα 5.28 Περίπτωση Ελεύθερη από Λάθη για το c499	118
Σχήμα 5.29 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c499	119

## **ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ**

---

OK: ολοκληρωμένα κυκλώματα

EOΛ: έλεγχος ορθής λειτουργίας

CMOS: Complementary Metal Oxide Semiconductor

CUT: κύκλωμα υπό έλεγχο – Circuit Under Test

DL: ποσοστό ελαττωματικών κυκλωμάτων – Defect Level

FC: κάλυψη σφαλμάτων – Fault Coverage

Y: κατασκευαστική απόδοση – Yield

DFY: σχεδιασμός για την αύξηση της απόδοσης – Design for Yield

DFR: σχεδιασμός για την αύξηση της αξιοπιστίας – Design for Reliability

DFT: σχεδιασμός για έλεγχο – Design for Testability

BIST: ενσωματωμένος αυτοέλεγχος – Built In Self Test

LFSR: καταχωρητής ολίσθησης γραμμικής ανάδρασης – Linear Feedback Shift Register

MTBF: μέσος χρόνος μεταξύ αποτυχιών – Mean Time between Failure

MTTR: μέσος χρόνος επιδιόρθωσης – Mean Time to Repair

TMR: πλεονασμός τριών υπομονάδων – Triple Modular Redundancy

ECC: κώδικας διόρθωσης λαθών – Error-Correcting Code

DVS: τεχνική δυναμικής κλιμάκωσης τροφοδοσίας – Dynamic Voltage Scaling

GRAAL: Global Reliability Architecture Approach for Logic

SET: Single-Event Transient

SEU: Single-Event Upset

EDC FF: Error-Detection-Correction Flip-Flop

ASIC: Application-Specific Integrated Circuit

PWA: ανάθεση πλάτους παλμού – Pulse Width Allocation

ECPL: Παλμικός μανδαλωτής με δυνατότητα ανίχνευσης και διόρθωσης λαθών –  
Error detection and Correction Pulsed Latch

## ΠΕΡΙΛΗΨΗ

---

Νικόλαος Γεωργουλόπουλος του Γεωργίου και της Μυροφόρας.

MSc, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων,

Οκτώβριος, 2013.

Προστασία από λάθη χρονισμού σε δομές διοχέτευσης που δομούνται με παλμικούς μανδαλωτές

Επιβλέπωντας: Γεώργιος Τσιατούχας

Στις μέρες μας, η ανοχή σε λάθη χρονισμού αναδεικνύεται σε μία σημαντική σχεδιαστική παράμετρο για τη νανομετρική τεχνολογία και τα σύγχρονα ολοκληρωμένα κυκλώματα. Σε αυτή την εργασία, παρουσιάζουμε μία τεχνική ανίχνευσης και διόρθωσης λαθών χρονισμού με χαμηλό κόστος. Η τεχνική βασίζεται σε ένα νέο σχεδιασμό και στοχεύει σχεδιασμούς δομών διοχέτευσης που βασίζονται στη χρήση παλμικών μανδαλωτών. Ο πυρήνας αυτής της τεχνικής είναι ο παλμικός μανδαλωτής με δυνατότητα ανίχνευσης και διόρθωσης λαθών (Error detection and Correction Pulsed Latch - ECPL), το οποίο αποτελείται από δύο παλμικούς μανδαλωτές, έναν κύριο και ένα δευτερεύοντα, και δύο πύλες XOR, η μία για την ανίχνευση ενός πιθανού λάθους και η άλλη για τη διόρθωσή του.

Ο προτεινόμενος σχεδιασμός παρέχει προστασία από λάθη χρονισμού με μία μικρή πρόσθετη καθυστέρηση στη λειτουργία του κυκλώματος για κάθε διόρθωση λάθους. Γενικά διακρίνουμε δύο περιπτώσεις: Όταν ανιχνευθεί ένα λάθος σε ένα λογικό στάδιο της δομής διοχέτευσης και ακολουθεί ένα βαθύ λογικό στάδιο, δηλαδή το λογικό στάδιο απαιτεί ένα μεγάλο μέρος του κύκλου ρολογιού για το σχετικό υπολογισμό, η τεχνική εξασφαλίζει στο σύστημα έναν επιπλέον κύκλο ρολογιού για την ανάκαμψη από το λάθος.

Αντίθετα, όταν ακολουθεί ένα ρηχό λογικό στάδιο, δηλαδή απαιτείται ένα μικρό μέρος του κύκλου ρολογιού για το σχετικό υπολογισμό, η τεχνική διορθώνει το λάθος μέσα στον ίδιο κύκλο ρολογιού κατά τον οποίο ανιχνεύθηκε. Εκτός τούτου, ο προτεινόμενος σχεδιασμός χαρακτηρίζεται από χαμηλό κόστος σε επιφάνεια πυριτίου σε σχέση με παλαιότερους σχεδιασμούς.

Η προτεινόμενη τεχνική εφαρμόστηκε σε έξι νέα δοκιμαστικά κυκλώματα, τα οποία αποτελούν συνδυασμό των κυκλωμάτων αναφοράς c17, c432 και c499 της οικογένειας ISCAS'85. Τα αποτελέσματα των προσομοιώσεων των δοκιμαστικών κυκλωμάτων επαλήθευσαν την ικανότητα της προτεινόμενης τεχνικής να ανιχνεύει και να διορθώνει οποιοδήποτε αριθμό λαθών χρονισμού και στις δύο ανωτέρω περιπτώσεις (όταν ανιχνεύεται ένα λάθος χρονισμού και ακολουθεί είτε βαθύ είτε ρηχό λογικό στάδιο).

## **EXTENDED ABSTRACT IN ENGLISH**

---

Georgoulopoulos, Nikolaos.

MSc Computer Science Department, University of Ioannina, Greece.

October, 2013.

Timing error protection in pipelines structured with pulsed latches

Thesis Supervisor: Yiorgos Tsiatouhas.

In our days, timing error tolerance turns to be a major design concern in modern nanometer technology integrated circuits. In this work, we present a multiple timing error detection and correction technique, that is characterized by low silicon area requirements. The technique is based on a new pulsed-latch design. The concept behind this new technique is the Error detection and Correction Pulsed Latch (ECPL), which consists of two pulsed latches, one main latch and another shadow latch, and two XOR gates, one for the error detection and another for the error correction.

The proposed design provides timing error protection at a small additional delay in the circuit operation for each error correction. In general we can distinguish two cases. When a timing error is detected at a logic stage of the pipeline, and a deep logic stage follows, that is a logic stage which requires a large amount of the clock cycle period for its computation, the technique provides to the system an extra clock cycle for the recovery from the error.

On the contrary, when a timing error is detected at a logic stage of the pipeline, and a shallow logic stage follows, that is a logic stage which requires a small amount of the clock cycle period for its computation, the technique corrects the error in the same clock cycle at which it is detected. Moreover, the proposed design approach is



characterized by low silicon area cost with regard to earlier designs presented in the literature.

The proposed technique was applied in six new benchmark circuits, that are combinations of the c17, c432 and c499 benchmark circuits of the ISCAS'85 family. The corresponding simulation results verified the ability of the technique to detect and correct multiple timing errors in both cases (either when the next logic stage is a deep or a shallow one).

## ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ

---

### 1.1 Στόχοι

### 1.2 Δομή της Διατριβής

---

#### **1.1. Στόχοι**

Στη σύγχρονη εποχή των νανοτεχνολογιών υπάρχει σημαντική ερευνητική δραστηριότητα στην περιοχή του ελέγχου της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων (ΕΟΛ). Ο λόγος είναι ότι όσο πιο αξιόπιστο είναι ένα προϊόν και όσο πιο γρήγορα εισέλθει στην αγορά, τόσο μεγαλύτερο θα είναι το κέρδος που θα αποφέρει. Εκτός τούτου, η εφαρμογή ΕΟΛ στα σύγχρονα ολοκληρωμένα κυκλώματα αποτελεί ένα δύσκολο στόχο, κυρίως λόγω της πολυπλοκότητάς τους. Επίσης, τα ολοκληρωμένα κυκλώματα αποτελούνται από δισεκατομμύρια τρανζίστορ νανομετρικών διαστάσεων, γεγονός που αυξάνει την πιθανότητα εμφάνισης κατασκευαστικών ατελειών. Έτσι η ανάγκη για ΕΟΛ είναι υψηλή και μάλιστα με το μικρότερο δυνατό κόστος. Όλες αυτές οι παράμετροι, μαζί με τον αντικειμενικό στόχο της μείωσης της κατανάλωσης ισχύος, πρέπει να αντιμετωπιστούν αποτελεσματικά με την ανάπτυξη κατάλληλων τεχνικών για ΕΟΛ.

Στην παρούσα εργασία προτείνουμε μία τεχνική εν λειτουργία ελέγχου για ανίχνευση και διόρθωση πολλαπλών λαθών χρονισμού σε ολοκληρωμένα κυκλώματα με δομές διοχέτευσης που χρησιμοποιούν παλμικούς μανδαλωτές (pulsed latches). Η ανίχνευση και η διόρθωση ενός πιθανού λάθους γίνεται κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος. Η προτεινόμενη τεχνική διαθέτει ως βασικό ακολουθιακό στοιχείο έναν τροποποιημένο παλμικό μανδαλωτή, που προσδίδει στο κύκλωμα υψηλή ανοχή σε λάθη χρονισμού. Διακρίνουμε δύο τρόπους υλοποίησης

της τεχνικής, ανάλογα με το αν μετά το στάδιο όπου ανιχνεύθηκε το λάθος ακολουθεί βαθύ ή ρηχό λογικό στάδιο.

Βασικός στόχος της παρούσας διατριβής είναι η υλοποίηση μίας αποτελεσματικής τεχνικής για ανίχνευση και διόρθωση οποιουδήποτε αριθμού λαθών χρονισμού σε ένα ολοκληρωμένο κύκλωμα. Δηλαδή, στόχος είναι η εξασφάλιση υψηλής ανοχής σε λάθη χρονισμού. Επιπλέον, η προτεινόμενη τεχνική διακρίνεται για το σχετικά χαμηλό πρόσθετο κόστος σε επιφάνεια πυριτίου, ενώ δεν επηρεάζει αισθητά την ταχύτητα λειτουργίας του λειτουργικού κυκλώματος.

## **1.2. Δομή της Διατριβής**

Η παρούσα διατριβή αποτελείται από έξι κεφάλαια:

Το Κεφάλαιο 1 είναι εισαγωγικό και περιγράφει τους στόχους της εργασίας και τη δομή της.

Στο Κεφάλαιο 2 αναλύονται κάποιες βασικές έννοιες για τον έλεγχο ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων, ενώ παρουσιάζονται κάποιες σημαντικές τεχνικές για ανοχή σφαλμάτων.

Στο Κεφάλαιο 3 παρουσιάζονται τα βασικά χαρακτηριστικά, η δομή και η λειτουργία τεσσάρων σημαντικών τεχνικών ανίχνευσης και διόρθωσης λαθών σε ολοκληρωμένα κυκλώματα.

Στο Κεφάλαιο 4 παρουσιάζεται η δομή, η λειτουργία και τα βασικά χαρακτηριστικά της σχεδίασης κυκλωμάτων με χρήση παλμικών μανδαλωτών.

Στο Κεφάλαιο 5 παρουσιάζεται η δομή, η λειτουργία και τα βασικά χαρακτηριστικά της προτεινόμενης τεχνικής ανίχνευσης και διόρθωσης λαθών χρονισμού σε ένα ολοκληρωμένο κύκλωμα με τη χρήση παλμικών μανδαλωτών. Επιπλέον, παρουσιάζονται τα αποτελέσματα των προσομοιώσεων για την τεχνική, καθώς και οι πειραματικές μετρήσεις που πραγματοποιήθηκαν σε κυκλώματα αναφοράς, όπου εφαρμόστηκε η τεχνική. Εκτός τούτου, γίνεται μία σύγκριση της προτεινόμενης τεχνικής με τις τεχνικές Razor και EDC, οι οποίες παρουσιάστηκαν στο 3<sup>ο</sup> Κεφάλαιο, ως προς το κόστος σε επιφάνεια, τη δυναμική κατανάλωση ισχύος και την ταχύτητα λειτουργίας.

Τέλος στο 6<sup>ο</sup> Κεφάλαιο παρουσιάζονται τα συμπεράσματα της παρούσας διατριβής.

## ΚΕΦΑΛΑΙΟ 2. ΕΛΕΓΧΟΣ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ

---

2.1 Βασικές Έννοιες

2.2 Ανίχνευση Σφαλμάτων

2.3 Τεχνικές Ελέγχου Ορθής Λειτουργίας

2.4 Ανοχή Σφαλμάτων

---

### 2.1. Βασικές Έννοιες

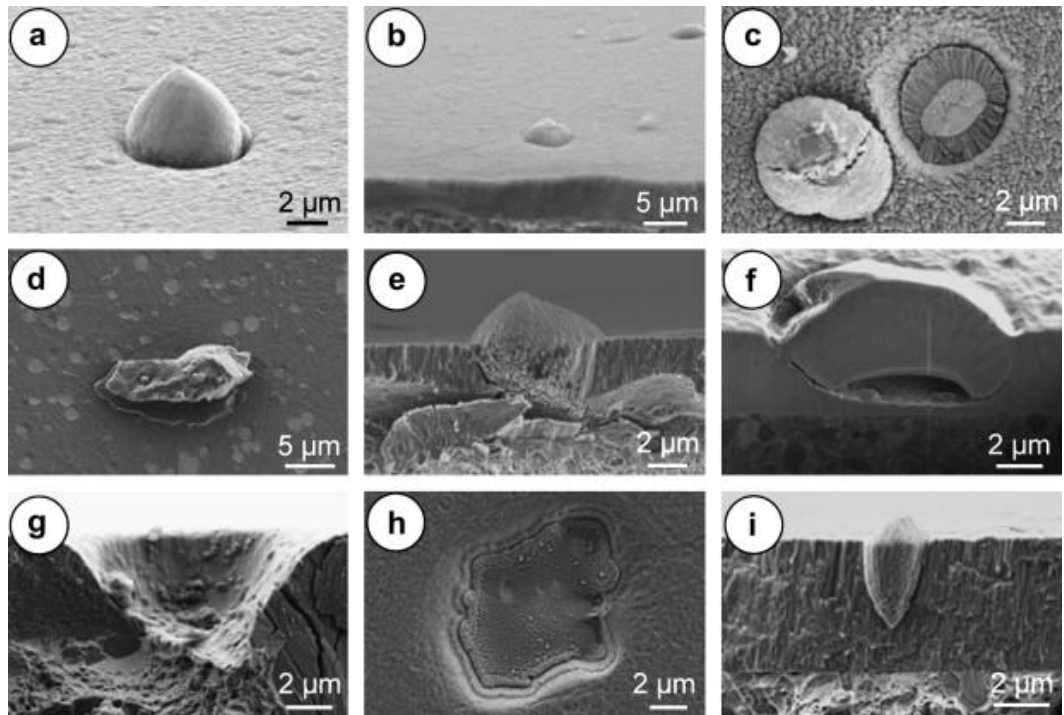
Κατά την κατασκευή των ολοκληρωμένων κυκλωμάτων (ΟΚ) παρουσιάζονται ατέλειες, που οδηγούν σε κατασκευαστικά ελαττώματα. Όσο νωρίτερα ανιχνευθεί ένα ελάττωμα σε ένα ΟΚ τόσο μικρότερο είναι το κόστος τόσο της διαδικασίας όσο και του τελικού προϊόντος που εξυπηρετεί. Συνεπώς, βασικό ζητούμενο της κατασκευαστικής διαδικασίας είναι η ανίχνευση πιθανών ελαττωμάτων στα ολοκληρωμένα κυκλώματα. Εδώ εισέρχεται η ανάγκη του Ελέγχου Ορθής Λειτουργίας.

*Έλεγχος Ορθής Λειτουργίας (EOL)* είναι οι ενέργειες που πραγματοποιούνται σε ένα ολοκληρωμένο κύκλωμα για την ανίχνευση κατασκευαστικών ελαττωμάτων, βλαβών ή ατελειών. Σήμερα, ο στόχος αυτός επιτυγχάνεται με την ενσωμάτωση στο ελεγχόμενο κύκλωμα (Circuit Under Test - CUT) πρόσθετων κυκλωμάτων που βοηθούν στον Έλεγχο Ορθής Λειτουργίας.

Για να αναλυθεί ο Έλεγχος Ορθής Λειτουργίας περαιτέρω, χρειάζεται να ορισθούν κάποιες βασικές έννοιες που αφορούν τα ολοκληρωμένα κυκλώματα:

- i. Τα *Ελαττώματα (Defects)* (βλ. Σχήμα 2.1) ορίζονται ως οι κατασκευαστικές ατέλειες και μόνιμες βλάβες που εμφανίζονται σε ένα ολοκληρωμένο κύκλωμα κατά την κατασκευή του.

- ii. Τα *Σφάλματα (Faults)* είναι οι μοντελοποιήσεις της επίδρασης των ελαττωμάτων στη συμπεριφορά των ολοκληρωμένων κυκλωμάτων (ΟΚ).
- iii. Τα *Λάθη (Errors)* αποτελούν τις λανθασμένες λογικές αποκρίσεις των ολοκληρωμένων κυκλωμάτων υπό την παρουσία σφαλμάτων.



Σχήμα 2.1 Κατασκευαστικά ελαττώματα, βλάβες και ατέλειες (από μικροσκόπιο)

Υπάρχουν διάφορα αίτια που ευθύνονται για την δημιουργία κατασκευαστικών ελαττωμάτων. Αρχικά, τα υπολείμματα ή οι ακαθαρσίες που επικάθονται πάνω στο ολοκληρωμένο ή η μηχανική καταπόνηση κατά τη διαδικασία κατασκευής αποτελούν σημαντικό παράγοντα εμφάνισης ελαττωμάτων. Επιπρόσθετα, παρόμοια αποτελέσματα επιφέρει η τυχαία διακύμανση των κατασκευαστικών παραμέτρων. Εκτός τούτου, η διακύμανση διαφόρων παρασιτικών φαινομένων (όπως η παρασιτική χωρητικότητα ή αντίσταση) έχει ως συνέπεια την ελαττωματική συμπεριφορά.

Τώρα μπορούμε να δώσουμε μερικούς ορισμούς που αφορούν την αξιοπιστία των ολοκληρωμένων κυκλωμάτων.

- i. Η *Απόδοση της κατασκευαστικής διαδικασίας (Yield)* ορίζεται ως ο αριθμός των μη ελαττωματικών ΟΚ προς το συνολικό αριθμό ΟΚ.

- ii. Η *Κάλυψη Σφαλμάτων (Fault Coverage)* ορίζεται ως ο αριθμός σφαλμάτων που ανιχνεύονται προς το συνολικό αριθμό πιθανών σφαλμάτων.

Η κατασκευαστική απόδοση (yield-Y) εξαρτάται από την τεχνολογία, την επιφάνεια του ολοκληρωμένου και το φυσικό του σχεδιασμό (layout). Στα πρώτα στάδια μιας τεχνολογίας η κατασκευαστική απόδοση ξεκινά από χαμηλές τιμές έως και 10% και τελικά φτάνει σε μια ώριμη τεχνολογία να κυμαίνεται πάνω από 95%.

$$Yield = \frac{\# \text{μη} - \text{ελαττωματικών OK}}{\text{συνολικός \# OK}} \quad \text{Εξ. 2.1}$$

$$Fault\ Coverage = \frac{\# \text{σφαλμάτων που ανιχνεύονται}}{\text{συνολικός \# πιθανών σφαλμάτων}} \quad \text{Εξ. 2.2}$$

Υπάρχουν συγκεκριμένοι σχεδιαστικοί – κατασκευαστικοί στόχοι για την υλοποίηση ολοκληρωμένων κυκλωμάτων. Το θεμιτό κατά την κατασκευή OK είναι η Κατασκευαστική Απόδοση να πλησιάζει τη μονάδα (1). Εφόσον η Κατασκευαστική Απόδοση δεν μπορεί να είναι ίση με την μονάδα, επιζητούμε η *Κάλυψη Σφαλμάτων* να πλησιάζει την μονάδα. Όταν επιθυμούμε ένα σύστημα να έχει υψηλή απόδοση, χρησιμοποιούμε ένα σχεδιασμό για την αύξηση της απόδοσης (design for yield - DFY).

Συνδυάζοντας τις δύο παραπάνω έννοιες (δηλ. την Κατασκευαστική Απόδοση και την *Κάλυψη Σφαλμάτων*), μπορούμε να ορίσουμε το *Επίπεδο Ατελειών (Defect Level - DL)*, το οποίο δείχνει τη συνολική ποιότητα που μας δίνει η διεργασία ελέγχου του κυκλώματος. Το Επίπεδο Ατελειών ορίζεται ως ο αριθμός των ελαττωματικών κυκλωμάτων που περνούν από έλεγχο προς το συνολικό αριθμό κυκλωμάτων που περνούν από έλεγχο:

$$DL = 1 - Y^{(1-FC)} \quad \text{Εξ. 2.3}$$

όπου Y = Yield και FC = Fault Coverage.

Για παράδειγμα, ένα επίπεδο ατελειών μεγέθους 500 PPM (parts per million) σε μια διεργασία ελέγχου κρίνεται ως αποδεκτό, ενώ όταν έχει μέγεθος 100 PPM ή χαμηλότερα αντιπροσωπεύει υψηλή ποιότητα ελέγχου. Ο στόχος της κατασκευαστικής διαδικασίας είναι να υπάρχουν μηδαμινές ατέλειες στο κύκλωμα και αυτό ουσιαστικά συμβαίνει όταν το DL ισούται με 3.4PPM ή λιγότερο.

Σε ένα σύστημα θα πρέπει να υπάρχει υψηλή αξιοπιστία (reliability) και διαθεσιμότητα (availability). Η αξιοπιστία του συστήματος (system reliability) ορίζεται ως η πιθανότητα το σύστημα να λειτουργεί κανονικά για χρονικό διάστημα  $t$ . Όταν επιθυμούμε ένα σύστημα να διαθέτει υψηλή αξιοπιστία, τότε χρησιμοποιούμε ένα σχεδιασμό για την αύξηση της αξιοπιστίας (design for reliability - DFR). Η αξιοπιστία δίνεται από:

$$P(T_n > t) = e^{-\lambda t} \quad \text{Εξ. 2.4}$$

όπου  $\lambda$  είναι το ποσοστό αποτυχίας. Επειδή ένα σύστημα αποτελείται από ένα σύνολο στοιχείων, το συνολικό ποσοστό αποτυχίας για το σύστημα ισούται με το άθροισμα των μεμονωμένων ποσοστών αποτυχίας ( $i$  για κάθε ένα από τα  $k$  στοιχεία):

$$\lambda = \sum_{i=0}^k \lambda_i \quad \text{Εξ. 2.5}$$

Οπότε, ο μέσος χρόνος μεταξύ αποτυχιών (mean time between failure - MTBF) ισούται με:

$$\text{MTBF} = \int_0^{\infty} e^{-\lambda t} dt = \frac{1}{\lambda} \quad \text{Εξ. 2.6}$$

Ομοίως, ο χρόνος επιδιόρθωσης (repair time  $\equiv R$ ) :

$$P(R > t) = e^{-\mu t} \quad \text{Εξ. 2.7}$$

όπου  $\mu$  είναι το ποσοστό επιδιόρθωσης, το οποίο μετράει το ποσοστό κατά το οποίο το σύστημα επιδιορθώνεται (ανάλογο με το ποσοστό αποτυχίας  $\lambda$ ). Λαμβάνοντας υπόψη το  $\mu$ , βρίσκουμε ότι ο μέσος χρόνος επιδιόρθωσης (mean time to repair - MTTR) είναι:

$$MTTR = 1/\mu \quad \text{Εξ. 2.8}$$

Το μέρος του χρόνου που το σύστημα λειτουργεί κανονικά, χωρίς σφάλματα, το ονομάζουμε διαθεσιμότητα συστήματος (system availability) [1].

$$\text{system availability} = \frac{MTBF}{MTBF + MTTR} \quad \text{Εξ. 2.9}$$

## 2.2. Ανίχνευση Σφαλμάτων

Αρχικά θα δώσουμε κάποιους ορισμούς για τα διάφορα είδη σφαλμάτων. Τα σφάλματα χωρίζονται σε δύο κύριες κατηγορίες, μόνιμα και πρόσκαιρα σφάλματα. *Μόνιμα σφάλματα (permanent faults)* είναι εκείνα τα οποία έχουν μόνιμη επίδραση στη λειτουργία του κυκλώματος. Ως *πρόσκαιρα σφάλματα (temporary faults)* ορίζονται τα σφάλματα που δεν έχουν μόνιμη παρουσία και διακρίνονται σε παροδικά και διαλείποντα. *Παροδικά σφάλματα (transient)* είναι τα μη επαναλαμβανόμενα σφάλματα, που οφείλονται σε τυχαίους παράγοντες όπως διαταραχές της τροφοδοσίας, ηλεκτρομαγνητικές παρεμβολές, ακτινοβολία κτλ. *Διαλείποντα σφάλματα (intermittent)* είναι τα επαναλαμβανόμενα σφάλματα τα οποία οφείλονται κυρίως σε υποβάθμιση των κυκλωματικών παραμέτρων.

Τα παροδικά σφάλματα, τα οποία οφείλονται σε παρεμβολή μεταξύ δύο σημάτων (crosstalk), διαταραχή της τροφοδοσίας ή αναπήδηση της γείωσης και περιβαλλοντικές διακυμάνσεις, συμβάλλουν στην αποτυχία χρονισμού ενός κυκλώματος. Η αποτυχία χρονισμού (timing failure) κατ' επέκταση οδηγεί στη δημιουργία *λαθών χρονισμού (timing errors)*. Μία ακόμη πηγή για τη δημιουργία λαθών χρονισμού είναι η γήρανση της συσκευής (Bias-Temperature Instability – BTI φαινόμενα). Η επαλήθευση του χρονισμού αποδεικνύεται ότι αποτελεί δύσκολο έργο.



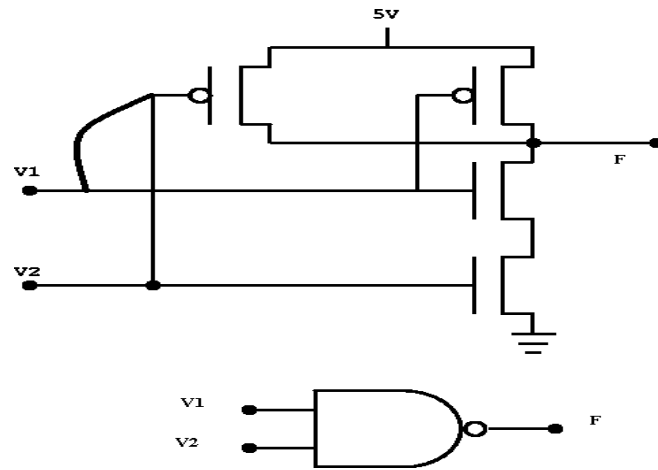
Επιπλέον, οι αποκλίσεις στην καθυστέρηση των διαφόρων διαδρομών εντός ενός ολοκληρωμένου, καθώς και τα κατασκευαστικά ελαττώματα, που επηρεάζουν την ταχύτητα λειτουργίας, μπορούν να επιφέρουν λάθη χρονισμού, τα οποία είναι δύσκολο να ανιχνευθούν κατά τον κατασκευαστικό έλεγχο στις υψηλές συχνότητες που λειτουργούν πλέον τα ΟΚ [3],[18].

Υπάρχουν διάφορα μοντέλα σφαλμάτων και περιληπτικά θα αναφέρουμε μερικά:

- *Σφάλμα Μόνιμης Τιμής (Stuck-At Fault)*: ένας κόμβος στο κύκλωμα εμφανίζει μονίμως την ίδια λογική τιμή.
- *Σφάλμα Μόνιμα Αγώγιμου Τρανζίστορ (Transistor Stuck-On)*: ένα τρανζίστορ είναι μόνιμα σε αγώγιμη κατάσταση.
- *Σφάλμα Μόνιμα μη Αγώγιμου Τρανζίστορ (Transistor Stuck-Open)*: ένα τρανζίστορ είναι μόνιμα σε μη αγώγιμη κατάσταση.
- *Σφάλμα Βραχυκύκλωσης (Bridging Fault)*: βραχυκύκλωμα μεταξύ δύο κόμβων (βλ. Σχήμα 2.2).
- *Σφάλμα Καθυστέρησης Διάδοσης Σήματος (Delay Fault)*: καθυστέρηση σήματος σε μία ή περισσότερες διαδρομές του κυκλώματος.

Σε ένα ολοκληρωμένο μπορεί να υπάρχουν από μερικές δεκάδες εκατομμύρια έως πάνω από ένα δισεκατομμύριο τρανζίστορ. Οπότε, λογικό είναι να γεννάται το ερώτημα του τρόπου ανίχνευσης τυχόν σφαλμάτων σε ένα τέτοιο ολοκληρωμένο. Μπορούμε να σκεφτούμε δύο τρόπους για να ανιχνευθούν σφάλματα στο κύκλωμα:

- Εφαρμογή όλων των δυνατών συνδυασμών τιμών στις εισόδους του κυκλώματος και παρατήρηση των αποκρίσεων. Μια τέτοιου είδους στρατηγική είναι ουσιαστικά ανέφικτη, διότι χρειάζεται ένας τεράστιος αριθμός συνδυασμών.
- Χρήση αλγορίθμων για την εξαγωγή ενός περιορισμένου υποσυνόλου συνδυασμών στις εισόδους, που ονομάζονται διανύσματα ελέγχου (τα οποία προσφέρουν την επιθυμητή κάλυψη σφαλμάτων) και των αποκρίσεων τους. Αποτελεί μία πιο εφικτή λύση για την ανίχνευση όλων των σφαλμάτων του μοντέλου σφαλμάτων που χρησιμοποιούμε.



Σχήμα 2.2 Σφάλμα Βραχυκύκλωσης σε μία λογική πύλη NAND

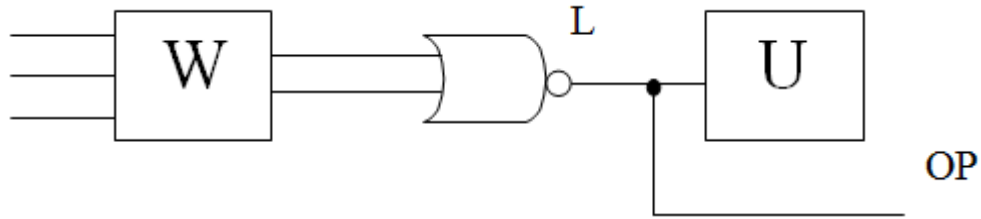
Η ανίχνευση σφαλμάτων αποτελεί την ενέργεια που θα εκτελέσουμε στο κύκλωμα μέσω των κύριων εισόδων ώστε να ενεργοποιηθεί ένα σφάλμα. Αυτό θα οδηγήσει στην εμφάνιση μιας λανθασμένης τιμής σε ένα κόμβο του κυκλώματος, η οποία στη συνέχεια θα διαδοθεί σε κάποια κύρια έξοδο για να την παρατηρήσουμε τελικά από το εξωτερικό περιβάλλον. Γι'αυτό το λόγο κάθε σχεδιασμός πρέπει να χαρακτηρίζεται από υψηλή ελεγχσιμότητα και παρατηρησιμότητα.

*Ελεγχσιμότητα (Controllability)* ορίζεται ως η ικανότητα να τεθεί ένας κόμβος σε μία δεδομένη κατάσταση με κατάλληλες τιμές στις εισόδους του ολοκληρωμένου κυκλώματος. *Παρατηρησιμότητα (Observability)* είναι η ικανότητα να διαπιστωθεί η τιμή ενός κόμβου από τις αποκρίσεις στις εξόδους του ολοκληρωμένου κυκλώματος [3].

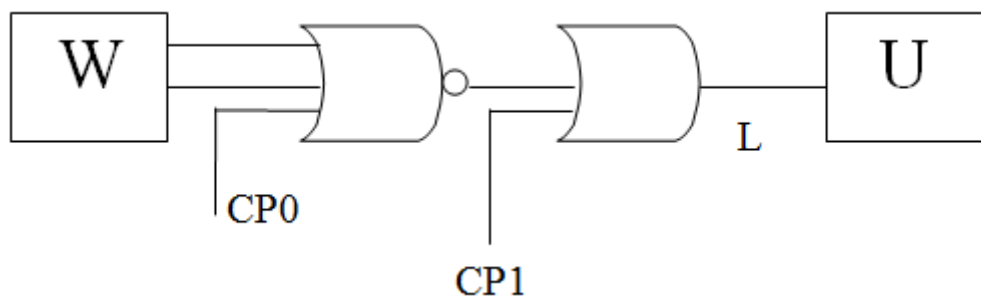
Η ύπαρξη σημείων επανασύγκλισης σημάτων (reconvergent fan-out points) δυσχεραίνει το έργο της ανίχνευσης σφαλμάτων. Το πρόβλημα προκύπτει από το γεγονός ότι δεν γίνεται να τεθούν πάντα οι επιθυμητές τιμές σε δύο κόμβους κατά ανεξάρτητο τρόπο [3].

Μία μέθοδος που μπορεί να διευκολύνει την ανίχνευση σφαλμάτων είναι η δημιουργία κατάλληλων σημείων ελέγχου ή σημείων παρατήρησης (βλ. Σχήματα 2.3(α) και 2.3(β)) στο κύκλωμα. Αυτή η μέθοδος μπορεί να αφορά είτε συνδυαστικά είτε ακολουθιακά κυκλώματα. Άλλοι τρόποι για την αποφυγή δυσκολιών στην

ανίχνευση τυχών σφαλμάτων είναι η *τμηματοποίηση* και η *κατάτμηση* κυκλώματος [2],[4].



Σχήμα 2.3(α) Εισαγωγή σημείου παρατήρησης OP



Σχήμα 2.3(β) Εισαγωγή σημείων ελέγχου CP0 και CP1

## 2.3. Τεχνικές Ελέγχου Ορθής Λειτουργίας

### 2.3.1. Κατηγορίες Τεχνικών Ελέγχου Ορθής Λειτουργίας

Μπορούμε να διακρίνουμε δύο κύριες κατηγορίες τεχνικών για τον έλεγχο ορθής λειτουργίας, ανάλογα με τον τρόπο που επιτελείται ο ΕΟΛ (εσωτερικά ή εξωτερικά του ολοκληρωμένου) και την κατάσταση λειτουργίας του κυκλώματος. Έτσι διαχωρίζουμε τις τεχνικές σε *Ενσωματωμένο / Μη-ενσωματωμένο Έλεγχο* και σε *Εν Λειτουργία / Εκτός Λειτουργίας Έλεγχο*.

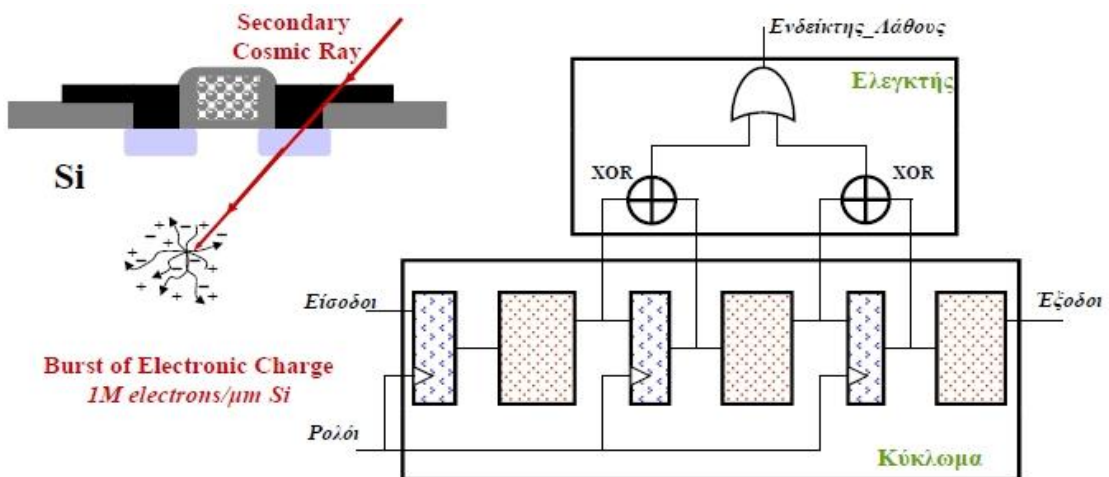
Ενσωματωμένος / Μη-ενσωματωμένος Έλεγχος:

- *Μη-ενσωματωμένος Έλεγχος (Off-Chip Testing)*: Ως μη-ενσωματωμένες τεχνικές ορίζουμε τις τεχνικές οι οποίες εφαρμόζονται σε ένα ολοκληρωμένο κύκλωμα από το εξωτερικό του περιβάλλον.

- *Ενσωματωμένος Έλεγχος (On-Chip Testing)*: Σε αυτή την υποκατηγορία ανήκουν οι τεχνικές ελέγχου της ορθής λειτουργίας ενός ολοκληρωμένου κυκλώματος, οι οποίες είναι ενσωματωμένες σε αυτό.

Εν Λειτουργία / Εκτός Λειτουργίας Έλεγχος:

- *Έλεγχος Εκτός Λειτουργίας (Off-line Testing)*: Ο έλεγχος ορθής λειτουργίας πραγματοποιείται, ενώ το κύκλωμα δεν βρίσκεται σε χρήση. Πιο συγκεκριμένα, ο έλεγχος εκτός λειτουργίας πραγματοποιείται συνήθως για τον εντοπισμό μόνιμων βλαβών και μόνο, εφόσον το υπό έλεγχο κύκλωμα δε δύναται να βρίσκεται σε κανονική λειτουργία κατά τη στιγμή του ελέγχου.
- *Εν Λειτουργία Έλεγχος (On-line Testing)*: Ο έλεγχος ορθής λειτουργίας πραγματοποιείται, ενώ το κύκλωμα βρίσκεται σε χρήση. Η ανίχνευση σφαλμάτων πραγματοποιείται σε πραγματικό χρόνο. Στο παράδειγμα του Σχήματος 2.4 βλέπουμε ότι υπάρχει η πιθανότητα να αλλάξουν οι τιμές σε κάποιες εισόδους του κυκλώματος, με την πρόσπτωση πάνω σε αυτό κοσμικής ακτινοβολίας. Την αλλαγή αυτή στις εισόδους μπορεί να ανιχνεύσει ένας ελεγκτής, τη στιγμή που το κύκλωμα βρίσκεται σε κανονική λειτουργία.



Σχήμα 2.4 Εν Λειτουργία Έλεγχος

Ο εν λειτουργία έλεγχος διακρίνεται σε περιοδικό έλεγχο και ταυτόχρονο έλεγχο:

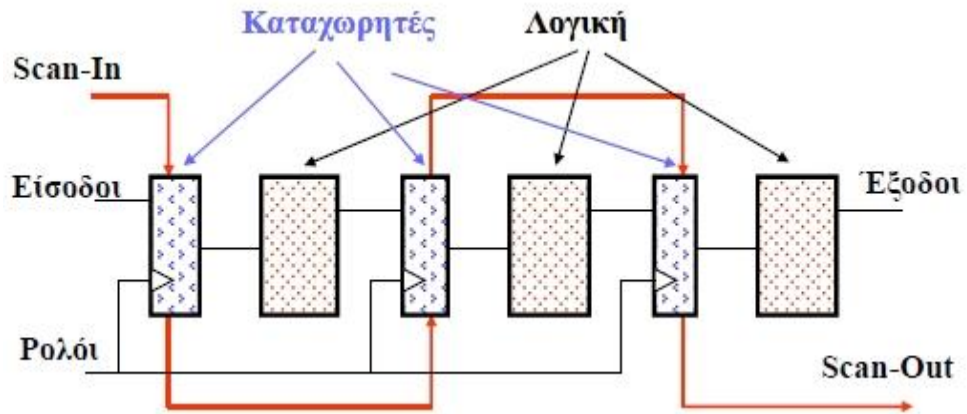
- *Περιοδικός Έλεγχος*: Το κύκλωμα ελέγχεται περιοδικά, ενώ βρίσκεται σε κατάσταση αδράνειας ή κατά την εκκίνηση του κυκλώματος.
- *Ταυτόχρονος Έλεγχος (Concurrent On-line Testing)*: Το κύκλωμα ελέγχεται ταυτόχρονα με την κανονική του λειτουργία.

Στην παρούσα διατριβή θα ασχοληθούμε με τον εν λειτουργία έλεγχο ολοκληρωμένων κυκλωμάτων και πιο συγκεκριμένα με τον ταυτόχρονο εν λειτουργία έλεγχο.

### 2.3.2. Σχεδιασμός για την Αύξηση της Ικανότητας Ελέγχου Ορθής Λειτουργίας

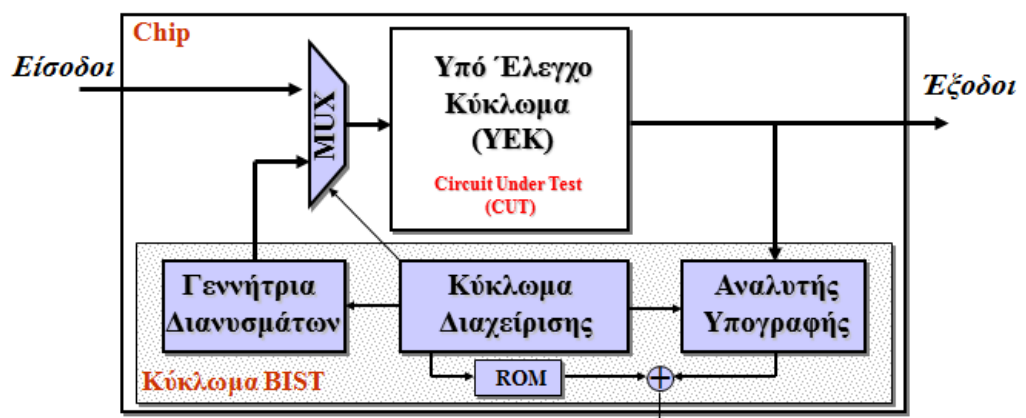
Προηγουμένως στην ενότητα των βασικών εννοιών αναφερθήκαμε σε διάφορους σχεδιασμούς, όπως είναι ο σχεδιασμός για την αύξηση της αξιοπιστίας (DFR - Design For Reliability) και ο σχεδιασμός για την αύξηση της απόδοσης (DFY - Design For Yield). Στα σύγχρονα ολοκληρωμένα κυκλώματα (OK) ο *σχεδιασμός για την αύξηση της ικανότητας ελέγχου ορθής λειτουργίας (DFT - Design For Testability)* αποτελεί την πιο αποτελεσματική λύση για την επίτευξη του ελέγχου ορθής λειτουργίας. Υπάρχουν συγκεκριμένες τεχνικές για τον έλεγχο της ορθής λειτουργίας και περιληπτικά μπορούμε να αναφέρουμε τις σημαντικότερες:

- *Χρήση των τεχνικών Σειριακής Σάρωσης (Scan Techniques)*: Μας επιτρέπουν την πρόσβαση στις εσωτερικές καταστάσεις ενός ολοκληρωμένου κυκλώματος. Όπως μπορούμε να παρατηρήσουμε στο Σχήμα 2.5, στόχος της σειριακής σάρωσης είναι η ενοποίηση των καταχωρητών του κυκλώματος σε έναν ενιαίο ολισθητή καταχωρητή γνωστό ως καταχωρητής σάρωσης (scan register). Κατά αυτόν τον τρόπο η εσωτερική κατάσταση του κυκλώματος μπορεί να καθορίζεται εισάγοντας σειριακά δεδομένα στον καταχωρητή σάρωσης. Επιπλέον οποιαδήποτε εσωτερική κατάσταση μπορεί να παρατηρηθεί από το εξωτερικό περιβάλλον εξάγοντας σειριακά τα δεδομένα του καταχωρητή σάρωσης.



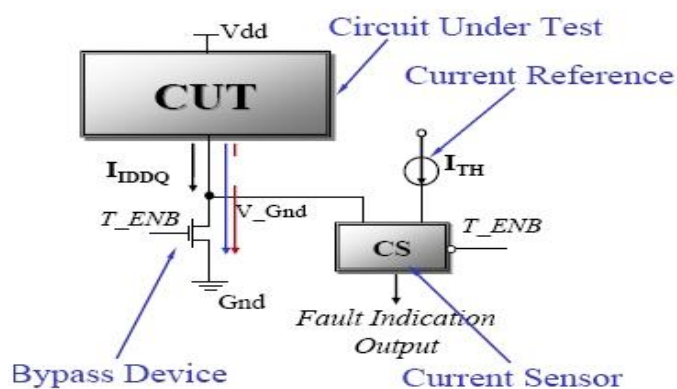
Σχήμα 2.5 Σειριακή Σάρωση

- Τεχνικές Ενσωματωμένου Αυτοέλεγχου (BIST – Built-In Self Test):* Ενσωματώνουμε στο ΟΚ τεχνικές και κυκλωμάτωση που θα επιτρέψουν τον αυτοέλεγχό του. Τα κυκλώματα αυτά παρέχουν διανύσματα εισόδου στο κυρίως κύκλωμα και/ή παρατηρούν τις εξόδους για την ανίχνευση λαθών. Ενδέχεται να παρέχουν κάλυψη σφαλμάτων και κατά τη λειτουργία του κυκλώματος (on-line testing). Όπως μπορούμε να παρατηρήσουμε στο Σχήμα 2.6, στον ενσωματωμένο αυτοέλεγχο τα διανύσματα ελέγχου δημιουργούνται εσωτερικά στο ΟΚ και εφαρμόζονται κάτω από τον έλεγχο ενός κυκλώματος διαχείρισης (BIST controller). Οι αποκρίσεις του κυκλώματος συμπίεζονται από τον αναλυτή υπογραφής και το τελικό αποτέλεσμα μετά το πέρας του ελέγχου της ορθής λειτουργίας συγκρίνεται με το αναμενόμενο έτσι ώστε το κύκλωμα διαχείρισης να επισημάνει με κατάλληλο σήμα στο εξωτερικό περιβάλλον την πιθανή ύπαρξη σφαλμάτων στο ΟΚ [3].



Σχήμα 2.6 Ενσωματωμένος Αυτοέλεγχος

- *Τεχνικές Περιφερειακής Σάρωσης (Boundary Scan)*: Πρόκειται για τεχνικές σε επίπεδο OK που επιτρέπουν με τη χρήση ενός μικρού αριθμού από εξειδικευμένους ακροδέκτες σημάτων να πραγματοποιηθεί γρήγορα και πρακτικά ο έλεγχος της ορθής λειτουργίας (π.χ. πρωτόκολλα IEEE 1149.1 και IEEE 1500) [22],[23].
- *Τεχνικές Παρατήρησης Ρεύματος (Current Monitoring –  $I_{DDQ}$  Testing)*: Εκτός από τις προηγούμενες τεχνικές, η κατανάλωση ισχύος επίσης αποτελεί κριτήριο ορθής ή μη λειτουργίας του κυκλώματος. Η μέθοδος ελέγχου της ορθής λειτουργίας με χρήση τεχνικών παρατήρησης του μεγέθους του ρεύματος ηρεμίας ( $I_{DDQ}$ ) αποτελεί μία από τις πιο αποτελεσματικές τεχνικές ελέγχου. Βασίζεται στο γεγονός ότι ένα ελεύθερο από σφάλματα CMOS ολοκληρωμένο κύκλωμα, σε κατάσταση ηρεμίας (steady state), θα πρέπει να παρουσιάζει ένα πάρα πολύ μικρό ρεύμα ηρεμίας το οποίο οφείλεται στις διαρροές ρεύματος των τρανζίστορ (βλ. Σχήμα 2.7). Αν το ρεύμα ηρεμίας μετρηθεί και βρεθεί πολύ μεγαλύτερο από την αναμενόμενη τιμή (προσθέτοντας και τις όποιες πιθανές διακυμάνσεις), τότε υπάρχει βάσιμη υποψία ότι το κύκλωμα παρουσιάζει κάποιο ελάττωμα στο οποίο θα πρέπει να οφείλεται αυτή η πρόσθετη διαρροή (π.χ. κάποιο βραχυκύκλωμα) [3].



Σχήμα 2.7 Παρατήρηση Ρεύματος

## 2.4. Ανοχή Σφαλμάτων

Όπως προαναφέραμε, ο εν λειτουργία έλεγχος ανιχνεύει λάθη στις αποκρίσεις του υπό έλεγχο κυκλώματος κατά τη διάρκεια της κανονικής του λειτουργίας. Δίδεται δε η δυνατότητα διόρθωσης των λαθών συνήθως με επανάληψη του τελευταίου κύκλου λειτουργίας [3]. Με αυτό τον τρόπο ο εν λειτουργία έλεγχος βοηθά στην προστασία ενός συστήματος, ιδιαίτερα από πρόσκαιρα λάθη, και βελτιώνει την ικανότητα ανοχής σε σφάλματα (fault tolerance). Η πρόσθεση της ανοχής σφαλμάτων σε ένα σχεδιασμό, για τη βελτίωση της αξιοπιστίας ενός συστήματος, απαιτεί τη χρήση πλεονασμού.

Σε αυτή την ενότητα, θα παρουσιάσουμε τους κυριότερους σχεδιασμούς για ανοχή σφαλμάτων. Οι σχεδιασμοί για ανοχή σφαλμάτων χωρίζονται σε τρεις κύριες κατηγορίες, ανάλογα με τον τύπο πλεονασμού που χρησιμοποιείται:

- *Πλεονασμός Υλικού (Hardware Redundancy)*
- *Χρονικός Πλεονασμός (Time Redundancy)*
- *Πλεονασμός Πληροφορίας (Information Redundancy).*

Ο πλεονασμός υλικού χωρίζεται με τη σειρά του σε:

- *στατικό πλεονασμό υλικού (static redundancy),*
- *δυναμικό πλεονασμό υλικού (dynamic redundancy),*
- *υβριδικό πλεονασμό υλικού (hybrid redundancy),*

ενώ ο πλεονασμός πληροφορίας διαθέτει δύο κύριες κατηγορίες, την *ανίχνευση λαθών* και τη *διόρθωση λαθών* [5].

### 2.4.1. Στατικός Πλεονασμός Υλικού

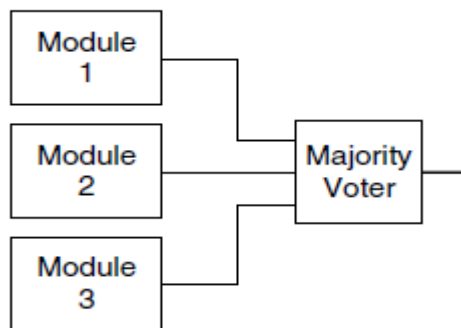
Γενικά ο πλεονασμός υλικού περιλαμβάνει την αντιγραφή διαφόρων μονάδων υλικού. Ο στατικός πλεονασμός υλικού καλύπτει τα σφάλματα έτσι ώστε να μη μπορούν να δημιουργήσουν λανθασμένες αποκρίσεις. Σε συστήματα πραγματικού χρόνου, όπου δεν υπάρχει ο χρόνος για επαναδιαμόρφωση του συστήματος ή την επανεκτέλεση μίας λειτουργίας, η ικανότητα κάλυψης σφαλμάτων (fault masking) είναι ουσιαστική για τη συνεχή λειτουργία. Πέραν της αδιάκοπης λειτουργίας, ένα ακόμα πλεονέκτημα του στατικού πλεονασμού αποτελεί το γεγονός ότι είναι απλός



στην υλοποίησή του και ανεξάρτητος, χωρίς να απαιτεί την ανάγκη για αναπροσαρμογή ή επανάληψη της κατάστασης του συστήματος.

### *Triple Modular Redundancy (TMR)*

Ένας γνωστός σχεδιασμός στατικού πλεονασμού είναι ο πλεονασμός τριών υπομονάδων (Triple Modular Redundancy - TMR). Η βασική ιδέα του TMR είναι να έχουμε τρία αντίγραφα από ένα τμήμα λογικής (module) και στη συνέχεια να χρησιμοποιήσουμε έναν κύκλωμα πλειοψηφίας (majority voter), για να αποφασίσουμε την τελική έξοδο/απόκριση του κυκλώματος (βλ. Σχήμα 2.8). Εάν συμβεί ένα λάθος στην έξοδο ενός από τα αντίγραφα, τα υπόλοιπα δύο αντίγραφα χωρίς λάθη θα πλειοψηφίσουν έναντι αυτού και έτσι η τελική έξοδος θα έχει τα σωστά δεδομένα.



Σχήμα 2.8 Triple Modular Redundancy (TMR)

Ένα σύστημα TMR θα λειτουργήσει εάν το κύκλωμα πλειοψηφίας λειτουργήσει και είτε και τα τρία είτε ο συνδυασμός οποιωνδήποτε δύο αντιγράφων λειτουργήσει κανονικά. Οπότε, εάν η αξιοπιστία κάθε αντίγραφου είναι  $R_m$  και η αξιοπιστία του κυκλώματος πλειοψηφίας είναι  $R_v$ , τότε η αξιοπιστία για το σύστημα TMR εκφράζεται ως:

$$R_{TMR} = R_v [R_m^3 + C_2^3 R_m^2 (1 - R_m)] = R_v (3R_m^2 - 2R_m^3) \quad \text{Εξ. 2.10}$$

Έτσι, ο μέσος χρόνος αποτυχίας MTTF του συστήματος TMR θα ισούται με:

$$\begin{aligned}
MTTF_{TMR} &= \int_0^{\infty} R_{TMR} dt = \int_0^{\infty} R_v (3R_m^2 - 2R_m^3) dt = \int_0^{\infty} e^{-\lambda_v t} (3e^{-2\lambda_m t} - 2e^{-3\lambda_m t}) dt \\
&= \frac{3}{2\lambda_m + \lambda_v} - \frac{2}{3\lambda_m + \lambda_v}
\end{aligned}$$

Εξ. 2.11

Εάν παραμελήσουμε το ποσοστό αποτυχίας του κυκλώματος πλειοψηφίας (που είναι σημαντικά μικρότερο από το αντίστοιχο ενός τμήματος λογικής), η παραπάνω έκφραση απλοποιείται σε:

$$MTTF_{TMR} = \frac{3}{2\lambda_m} - \frac{2}{3\lambda_m} = \left(\frac{5}{6}\right) \left(\frac{1}{\lambda_m}\right) = \frac{5}{6} MTTF_{simplex}$$

Εξ. 2.12

Ο  $MTTF_{simplex}$  είναι ο  $MTTF$  ενός συστήματος που αποτελείται από ένα και μοναδικό τμήμα λογικής (δεν υπάρχει κάποιο αντίγραφο) [1].

Αξίζει να σημειωθεί ότι οι εξισώσεις της αξιοπιστίας του TMR είναι στην πραγματικότητα ελαφρώς απαισιόδοξες, λόγω του ότι ένα TMR σύστημα μπορεί να συνεχίσει τη λειτουργία του χωρίς λάθη υπό την παρουσία πολλαπλών σφαλμάτων, όσο αυτά δεν προκαλούν ταυτόχρονα λάθη στις εξόδους δύο ή περισσότερων αντιγράφων. Για παράδειγμα, οι εξόδοι των αντιγράφων 1 και 2 μπορεί να έχουν σφάλματα μόνιμης τιμής σε λογικό '0' (stuck-at-0) και σε λογικό '1' (stuck-at-1) αντίστοιχα, όμως παρόλα αυτά το κύκλωμα TMR θα συνεχίσει να λειτουργεί κατάλληλα [6],[7].

#### *N-Modular Redundancy (NMR)*

Το TMR αποτελεί στην πραγματικότητα μία περίπτωση της γενικότερης κλάσης κυκλωμάτων κάλυψης σφαλμάτων, γνωστή και ως N-Modular Redundancy (NMR). Στα κυκλώματα NMR, μπορούν να χρησιμοποιηθούν N αντίγραφα ενός τμήματος λογικής μαζί με ένα κύκλωμα πλειοψηφίας. Σε αυτή την περίπτωση, ο αριθμός των αποτυχημένων αντιγράφων που μπορούν να καλύψουν τα σφάλματά τους ισούται με:

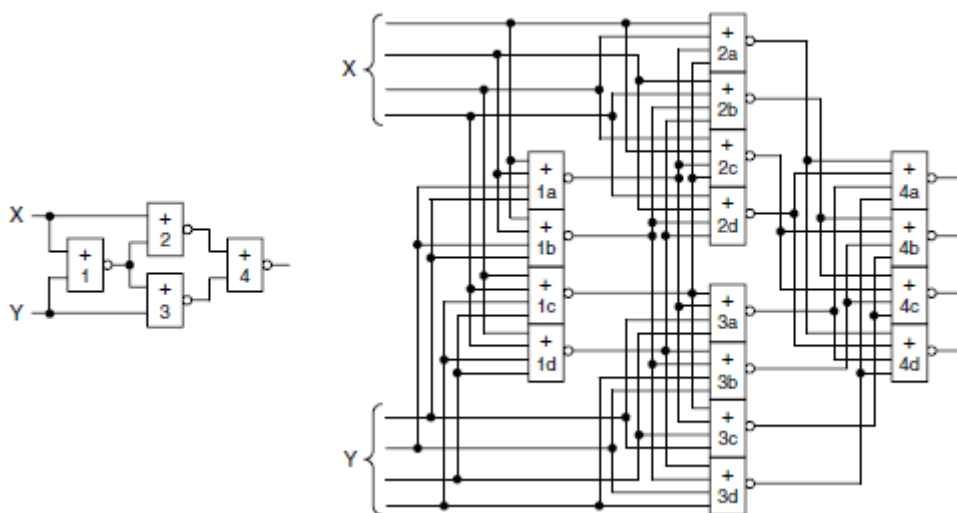
$$\#failed\ modules\ with\ fault\ masking = \lfloor (N - 1)/2 \rfloor$$

Εξ. 2.13

Καθώς το  $N$  αυξάνεται, ο ΜΤΤF του συστήματος ελαττώνεται, ενώ η αξιοπιστία για μικρές διορθώσεις αυξάνεται. Παρόλα αυτά, εάν ο κύριος στόχος είναι μόνο η ανοχή πρόσκαιρων σφαλμάτων, τότε τυπικά ο TMR επαρκεί, καθώς γενικά τα πρόσκαιρα σφάλματα προκαλούν ένα λάθος σε ένα και μόνο αντίγραφο κάθε φορά.

### Λογική Interwoven

Ακόμα μία μέθοδος που χρησιμοποιεί στατικό πλεονασμό για να αντιμετωπίσει λάθη είναι η λογική Interwoven (Interwoven Logic) [8]. Η λογική Interwoven εφαρμόζεται σε επίπεδο πύλης με την αντικατάσταση κάθε πύλης με τέσσερις πύλες και την χρήση ενός σχεδιασμού διασυνδέσεων που διορθώνουν αυτόματα λανθασμένα σήματα. Όπως φαίνεται στο παράδειγμα του Σχήματος 2.9, στο σχέδιο της αριστερής πλευράς, εφαρμόζεται η τεχνική Interwoven με την αντικατάσταση κάθε πύλης NOR με τέσσερις πύλες NOR, όπως βλέπουμε στα δεξιά. Έτσι, παρόλο που το αρχικό σχέδιο διαθέτει συνολικά τέσσερις πύλες NOR, το σχέδιο λογικής Interwoven έχει συνολικά δεκαέξι πύλες NOR. Οι πύλες διασυνδέονται με έναν συστηματικό σχεδιασμό που διασφαλίζει ότι κάθε λάθος θα καλυφθεί ύστερα από ένα ή δύο επίπεδα λογικής.



Σχήμα 2.9 Παράδειγμα Λογικής Interwoven για Σχεδιασμό με 4 Πύλες NOR

Παραδοσιακά, η λογική Interwoven δεν προτιμάται σε σχέση με την τεχνική TMR, διότι απαιτεί για την υλοποίησή της μεγάλο κόστος σε επιφάνεια πυριτίου, εξαιτίας των πρόσθετων διασυνδέσεων και πυλών.

#### 2.4.2. Δυναμικός Πλεονασμός Υλικού

Ο δυναμικός πλεονασμός υλικού περιλαμβάνει ανίχνευση ενός σφάλματος, εντοπισμό της ελαττωματικής μονάδας υλικού και επαναπροσδιορισμό του συστήματος, ώστε να χρησιμοποιήσει μία εφεδρική μονάδα υλικού χωρίς σφάλματα.

##### *Εφεδρικές Μονάδες Χωρίς Τροφοδοσία (Unpowered – Cold Spares)*

Μία επιλογή είναι να αφήσουμε τις εφεδρικές μονάδες χωρίς τροφοδοσία (“cold” spares). Το βασικό πλεονέκτημα αυτής της προσέγγισης είναι ότι επεκτείνει τη διάρκεια ζωής της εφεδρικής μονάδας. Εάν υποθέσουμε ότι η εφεδρική μονάδα δεν αποτυγχάνει τουλάχιστον μέχρι να τροφοδοτηθεί, ενώ ταυτόχρονα επιτυγχάνεται τέλειος επαναπροσδιορισμός του συστήματος, τότε η αξιοπιστία και ο MTTF ενός τμήματος λογικής με μία εφεδρική μονάδα χωρίς τροφοδοσία ορίζονται ως:

$$R_{w/cold\_spare} = (1 + \lambda t)e^{-\lambda t} \quad \text{Εξ. 2.14}$$

$$MTTF_{w/cold\_spare} = \frac{2}{\lambda} \quad \text{Εξ. 2.15}$$

όπου  $\lambda$  είναι το ποσοστό αποτυχίας και  $t$  είναι το χρονικό διάστημα όπου το σύστημα λειτουργεί κανονικά.

Αξίζει να σημειωθεί ότι η πρόσθεση μίας επιπλέον εφεδρικής μονάδας χωρίς τροφοδοσία οδηγεί σε διπλασιασμό του MTTF. Αυτό οφείλεται στο γεγονός ότι όταν το αρχικό τμήμα λογικής αποτυγχάνει, τότε η εφεδρική μονάδα τροφοδοτείται και το αντικαθιστά, διπλασιάζοντας με αυτόν τον τρόπο το συνολικό MTTF (λόγω του ότι η εφεδρική μονάδα δεν αποτυγχάνει μέχρι να ενεργοποιηθεί). Όταν χρησιμοποιούμε  $N$  εφεδρικές μονάδες χωρίς τροφοδοσία, ο MTTF αυξάνεται κατά ένα συντελεστή  $N$ .

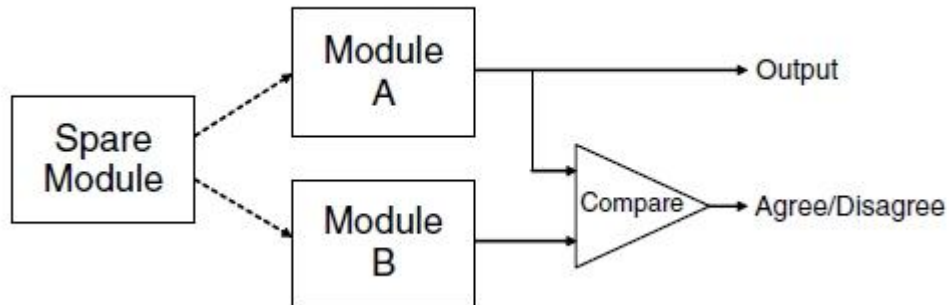
Ένα μειονέκτημα της χρήσης εφεδρικής μονάδας χωρίς τροφοδοσία είναι ο πρόσθετος χρόνος που απαιτείται για να τροφοδοτηθεί και να αρχικοποιηθεί η εφεδρική μονάδα όποτε συμβαίνει ένα σφάλμα. Εκτός τούτου, οι εφεδρικές μονάδες δε μπορούν να βοηθήσουν στην ανίχνευση σφαλμάτων. Οπότε, σε αυτή την περίπτωση υπάρχει η ανάγκη περιοδικού ελέγχου εκτός λειτουργίας ή εν λειτουργία ελέγχου που βασίζεται σε χρονικό πλεονασμό ή πλεονασμό πληροφορίας.

#### *Τροφοδοτημένες Εφεδρικές Μονάδες (Powered - Hot Spares)*

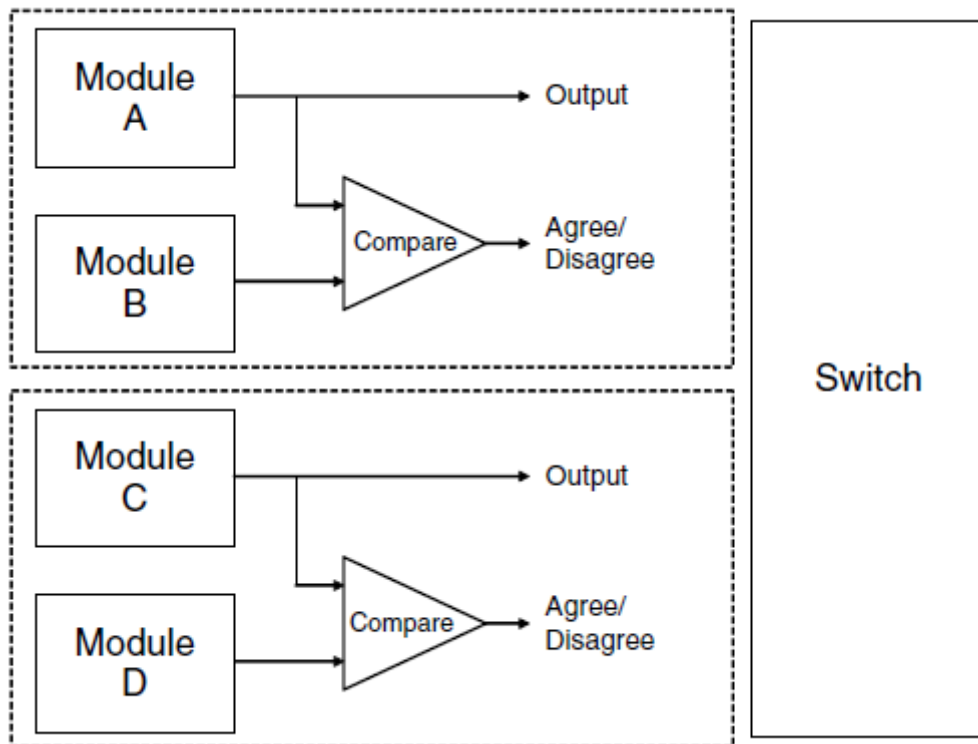
Μία άλλη επιλογή είναι να χρησιμοποιήσουμε τροφοδοτημένες εφεδρικές μονάδες (“hot” spares). Σε αυτή την περίπτωση, είναι δυνατό να αξιοποιήσουμε τις εφεδρικές μονάδες για εν λειτουργία ανίχνευση σφαλμάτων. Μία προσέγγιση είναι η χρήση της τεχνικής *διπλασιασμού και σύγκρισης (duplicate-and-compare)*, όπως βλέπουμε στο Σχήμα 2.10. Σε δύο αντίγραφα του τμήματος λογικής συγκρίνονται οι έξοδοί τους. Εάν οι αποκρίσεις των εξόδων διαφέρουν σε κάποια χρονική στιγμή, η τεχνική υποδεικνύει ότι μία από αυτές εμφανίζει σφάλμα. Οπότε ένας διαγνωστικός έλεγχος πρέπει να τρέξει για να αποφασίσει εάν το αντίγραφο Α ή το αντίγραφο Β είναι ελαττωματικό. Στη συνέχεια, το ελαττωματικό αντίγραφο αντικαθίσταται από μία εφεδρική μονάδα (επίσης αντίγραφο) ώστε το σύστημα να συνεχίσει τη λειτουργία του. Ταυτόχρονα, το σύστημα μπορεί να ειδοποιήσει το χρήστη ότι διαθέτει ένα ελαττωματικό τμήμα, για να το επισκευάσει χειροκίνητα ή να το αντικαταστήσει, πριν από την πιθανή εμφάνιση ενός ακόμα σφάλματος. Το αξιοσημείωτο για αυτόν το σχεδιασμό είναι ότι έχουμε τη δυνατότητα να χρησιμοποιήσουμε οποιοδήποτε αριθμό από εφεδρικές μονάδες.

Ένα σημαντικό μειονέκτημα της χρήσης μίας μονάδας *duplicate-and-compare* είναι ότι το σύστημα πρέπει να παύσει τη λειτουργία του μέχρι να ολοκληρωθεί ο διαγνωστικός έλεγχος. Μπορούμε να χρησιμοποιήσουμε ένα ζεύγος από μονάδες *duplicate-and-compare*, ώστε να αποφύγουμε την ανάγκη για χρήση του διαγνωστικού ελέγχου. Ο συγκεκριμένος σχεδιασμός είναι γνωστός και ως *pair-and-a-spare* (βλ. Σχήμα 2.11). Εν τω προκειμένω, όταν σε μία μονάδα *duplicate-and-compare* οι έξοδοι των αντιγράφων της διαφέρουν, το σύστημα μεταπηδά και χρησιμοποιεί την εφεδρική μονάδα *duplicate-and-compare*. Παράλληλα, το σύστημα

ενημερώνει το χρήστη ότι μία μονάδα duplicate-and-compare έχει αποτύχει και χρειάζεται εποδιόρθωση ή αντικατάσταση.



Σχήμα 2.10 Σχεδιασμός Duplicate-and-Compare



Σχήμα 2.11 Σχεδιασμός Pair-and-a-Spare

### *TMR/Simplex*

Όπως προαναφέραμε, ο MTTF για ένα σύστημα TMR είναι μικρότερος από ένα σύστημα simplex. Αυτό συμβαίνει διότι μόλις ένα τμήμα λογικής αποτυγχάνει, υπάρχουν δύο εναπομείναντα αντίγραφα που συνδέονται με τον ψηφιστή. Εάν κάποιο

από τα αντίγραφα αυτά αποτύχει, τότε ολόκληρο το σύστημα αποτυγχάνει. Η βασική ιδέα στην τεχνική TMR/simplex είναι ότι με την αποτυχία ενός αντιγράφου στο TMR, το σύστημα επαναπροσδιορίζει τη λειτουργία του ως ένα simplex σύστημα και χρησιμοποιεί ένα από τα εναπομείναντα καλά αντίγραφα. Κάτι τέτοιο βελτιώνει τον MTTF, διατηρώντας παράλληλα όλα τα πλεονεκτήματα που προσφέρει ένα σύστημα TMR (όσο υπάρχουν τρία αντίγραφα χωρίς σφάλματα).

#### 2.4.3. Υβριδικός Πλεονασμός Υλικού

Ο υβριδικός πλεονασμός υλικού συνδυάζει τόσο στατικό όσο και δυναμικό πλεονασμό. Καλύπτει σφάλματα όπως ο στατικός πλεονασμός, ενώ ανιχνεύει σφάλματα και επαναπροσδιορίζει το σύστημα με τη χρήση εφεδρικών μονάδων, όπως ο δυναμικός πλεονασμός.

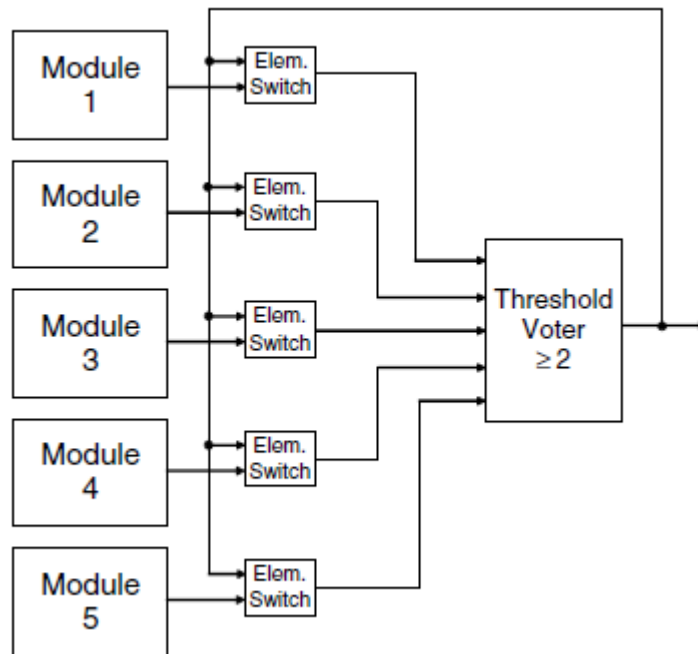
##### *TMR με Εφεδρικές Μονάδες*

Μία προσέγγιση για υβριδικό πλεονασμό είναι η χρήση TMR με εφεδρικές μονάδες υλικού. Εάν ένα αντίγραφο τμήματος λογικής TMR αποτύχει, τότε αντικαθίσταται από μία εφεδρική μονάδα, η οποία είναι είτε τροφοδοτημένη είτε χωρίς τροφοδοσία. Παρόλο που το σύστημα διαθέτει τουλάχιστον τρία λειτουργικά αντίγραφα, η τεχνική TMR θα παρέχει κάλυψη σφαλμάτων για αδιάκοπη λειτουργία υπό την παρουσία ενός σφάλματος.

##### *Πλεονασμός Αυτοκάθαρσης*

Μία επιπλέον προσέγγιση για υβριδικό πλεονασμό είναι ο πλεονασμός αυτοκάθαρσης (self-purging redundancy) [9]. Στο παράδειγμα του Σχήματος 2.12 ο πλεονασμός αυτοκάθαρσης χρησιμοποιεί πέντε αντίγραφα ενός τμήματος λογικής και ένα κύκλωμα πλειοψηφίας κατωφλίου (threshold voter) αντί για ένα κύκλωμα πλειοψηφίας. Ένα κύκλωμα πλειοψηφίας κατωφλίου δίνει στην έξοδό του λογικό '1', εάν ο αριθμός των εισόδων του που έχουν ως τιμή λογικό '1' είναι μεγαλύτερος ή ίσος με την τιμή κατωφλίου. Διαφορετικά δίνει στην έξοδο λογικό '0'. Η κεντρική ιδέα στον πλεονασμό αυτοκάθαρσης είναι ότι εάν αποτύχει μόνο ένα αντίγραφο, τότε η έξοδος του θα διαφέρει από τις εξόδους των υπολοίπων. Εάν ελαττωματικό

αντίγραφο δίνει στην έξοδο λογικό '1', ενώ όλα τα υπόλοιπα αντίγραφα έχουν ως έξοδο λογικό '0', το κύκλωμα πλειοψηφίας κατωφλίου θα εξακολουθήσει να δίνει λογικό '0' στην έξοδό του, διότι μόνο μία από τις εισόδους έχει λογικό '1', αριθμός που είναι μικρότερος από την τιμή κατωφλίου (2 στο παράδειγμα).



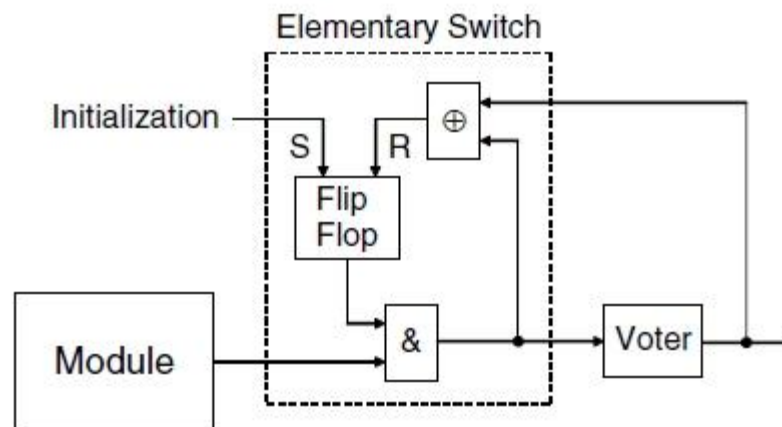
Σχήμα 2.12 Πλεονασμός Αυτοκάθαρσης

Ο σχεδιασμός του στοιχειώδους διακόπτη (elementary switch) που χρησιμοποιεί η τεχνική φαίνεται στο Σχήμα 2.13. Ο στοιχειώδης διακόπτης ελέγχει εάν η έξοδος ενός αντιγράφου διαφέρει από την έξοδο του κυκλώματος πλειοψηφίας κατωφλίου. Σε περίπτωση που διαφέρει, το αντίγραφο κρίνεται ως ελαττωματικό και το flip-flop ελέγχου αρχικοποιείται σε λογικό '0'. Η κίνηση αυτή καλύπτει μόνιμα την έξοδο του ελαττωματικού αντιγράφου, ούτως ώστε η εισοδός του προς το κύκλωμα πλειοψηφίας κατωφλίου να είναι πάντα σε λογικό '0', δηλαδή να παίρνει μία ασφαλή τιμή. Το σύστημα αυτοκάθαρσης του Σχήματος 2.12 θα συνεχίσει την ορθή λειτουργία του όσο τουλάχιστον δύο αντίγραφα λειτουργούν σωστά (χωρίς λάθη). Στην περίπτωση που το σύστημα έρθει στο σημείο όπου μόνο ένα αντίγραφο δεν χρειάζεται κάλυψη σφαλμάτων, τότε όταν η σωστή έξοδος θα έπρεπε να είναι σε λογικό '1', υπάρχει μόνο ένα αντίγραφο που μπορεί να παράγει λογικό '1', κάτι που



δεν είναι αρκετό για να προσεγγίσει την τιμή κατωφλίου και συνεπώς το κύκλωμα πλειοψηφίας κατωφλίου θα δώσει λανθασμένα έξοδο με λογικό '0'.

Το σύστημα αυτοκάθαρσης του Σχήματος 2.12 σε σύγκριση με ένα TMR σύστημα με δύο εφεδρικές μονάδες, έχει την ίδια ικανότητα ανοχής σε σφάλματα. Το πλεονέκτημα του συστήματος αυτοκάθαρσης είναι ότι οι στοιχειώδεις διακόπτες που χρησιμοποιεί, είναι σημαντικά απλούστεροι στην υλοποίηση από το κύκλωμα επαναπροσδιορισμού που απαιτείται από ένα TMR με δύο εφεδρικές μονάδες. Αντίθετα, το πλεονέκτημα ενός TMR συστήματος με δύο εφεδρικές μονάδες είναι ότι μπορεί να υποστηρίξει τη χρήση εφεδρικών μονάδων χωρίς τροφοδοσία, ενώ ο πλεονασμός αυτοκάθαρσης χρησιμοποιεί τροφοδοτημένες εφεδρικές μονάδες.



Σχήμα 2.13 Στοιχειώδης Διακόπτης

#### 2.4.4. Χρονικός Πλεονασμός

Μία εναλλακτική προσέγγιση του πλεονασμού υλικού αποτελεί ο χρονικός πλεονασμός. Το βασικό πλεονέκτημα του χρονικού πλεονασμού είναι ότι απαιτεί μικρότερη προσθήκη υλικού. Αντιθέτως, το σημαντικότερο μειονέκτημα είναι ότι μπορεί να ανιχνεύσει μόνο πρόσκαιρα σφάλματα (δεν ανιχνεύει μόνιμα σφάλματα). Παρόλα αυτά, τα πρόσκαιρα σφάλματα συμβαίνουν πολύ συχνότερα από τα μόνιμα. Έτσι, για εφαρμογές που είναι επιθυμητή η μείωση του ρυθμού λαθών χωρίς μεγάλο πρόσθετο κόστος υλικού, ο χρονικός πλεονασμός είναι μία ελκυστική προσέγγιση.

Εάν ανιχνευθεί ένα λάθος, το σύστημα χρειάζεται να ολισθήσει πίσω σε μία γνωστή καλή κατάσταση πριν επανέλθει η λειτουργία του.

#### *Επαναλαμβανόμενη Εκτέλεση*

Ο απλούστερος τρόπος για να εφαρμόσουμε χρονικό πλεονασμό είναι απλά η επανάληψη της εκτέλεσης μίας λειτουργίας δύο φορές και η σύγκριση των αποτελεσμάτων. Η επαναλαμβανόμενη εκτέλεση ανιχνεύει πρόσκαιρα σφάλματα, τα οποία συμβαίνουν κατά τη διάρκεια μόνο μίας από τις δύο εκτελέσεις, καθώς κάτι τέτοιο θα προκαλέσει μία διαφοροποίηση των αποτελεσμάτων. Επίσης μπορεί να επαναχρησιμοποιήσει την ίδια μονάδα υλικού και για τις δύο εκτελέσεις και έτσι απαιτεί μόνο ένα αντίγραφο του λειτουργικού υλικού. Εντούτοις, η επαναλαμβανόμενη εκτέλεση χρειάζεται κάποιο μηχανισμό για την αποθήκευση των αποτελεσμάτων των εκτελέσεων και τη σύγκρισή τους. Σε ένα επεξεργαστικό σύστημα, αυτό μπορεί να υλοποιηθεί με την αποθήκευση των αποτελεσμάτων στη μνήμη ή σε ένα δίσκο και στη συνέχεια η σύγκριση γίνεται μέσω λογισμικού. Το κύριο κόστος της επαναλαμβανόμενης εκτέλεσης είναι ο πρόσθετος χρόνος που απαιτείται για την περιττή εκτέλεση και τη σύγκριση.

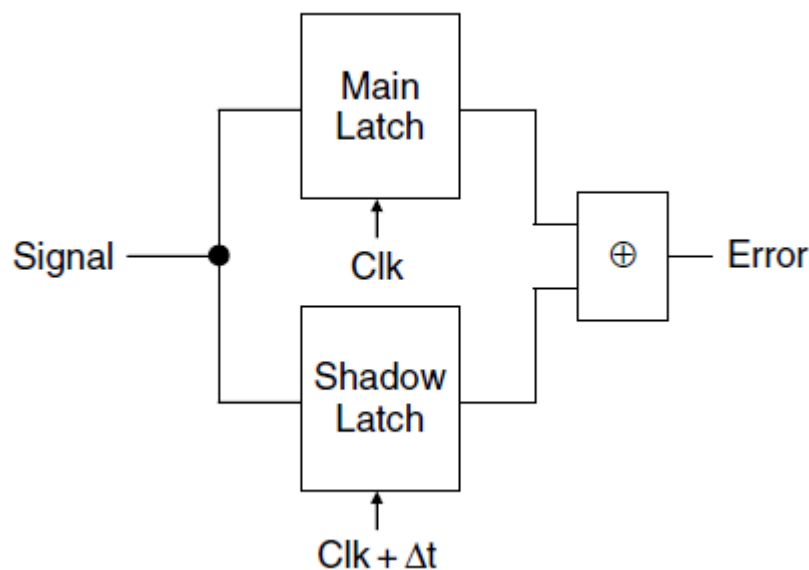
Στην περίπτωση ενός επεξεργαστικού συστήματος που μπορεί να τρέξει με πολλαπλά νήματα (διαφορετικά ρεύματα από εντολές εκτελούνται παράλληλα), μπορεί να εφαρμοστεί πολυνηματική πλεονασματική εκτέλεση [10]. Εν προκειμένω, δύο αντίγραφα ενός νήματος εκτελούνται ταυτόχρονα και τα αποτελέσματά τους συγκρίνονται τη στιγμή που ολοκληρώνουν την εκτέλεση. Κάτι τέτοιο μπορεί μειώσει σημαντικά το κόστος της απόδοσης.

#### *Πολλαπλή Δειγματοληψία Εξόδων*

Σε επίπεδο κυκλώματος, ένας ελκυστικός τρόπος για να εφαρμόσουμε χρονικό πλεονασμό με χαμηλό κόστος σε απόδοση είναι η χρήση πολλαπλής δειγματοληψίας των εξόδων του κυκλώματος (multiple sampling of outputs). Η βασική ιδέα είναι ότι σε ένα κύκλο ρολογιού, η έξοδος του λειτουργικού κυκλώματος δειγματοληπτείται μία φορά στο τέλος της κανονικής περιόδου ρολογιού και μία δεύτερη φορά μετά από καθυστέρηση  $\Delta t$ . Στη συνέχεια τα δύο αποτελέσματα συγκρίνονται και οποιαδήποτε

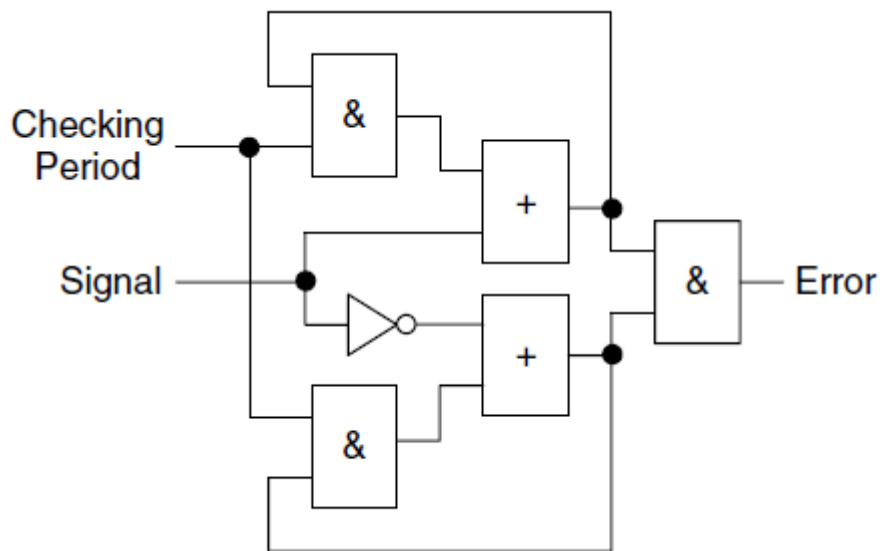
διαφορά τους υποδεικνύει ένα λάθος. Αυτή η μέθοδος έχει τη δυνατότητα να ανιχνεύσει οποιοδήποτε πρόσκαιρο σφάλμα του οποίου η διάρκεια είναι μικρότερη από  $\Delta t$ , διότι θα προκαλούσε ένα μονό λάθος σε ένα από τα δειγματοληπτούμενα αποτελέσματα και όχι στο άλλο. Το πρόσθετο κόστος στην απόδοση αυτού του σχεδιασμού εξαρτάται από το  $\Delta t$  σε σχέση με την κανονική περίοδο ρολογιού, εφόσον ο χρόνος για κάθε κύκλο ρολογιού αυξάνεται κατά αυτό το ποσό. Η διάρκεια των πιο κοινών πρόσκαιρων σφαλμάτων είναι σχετικά μικρή σε σύγκριση με την περίοδο ρολογιού, οπότε μπορούμε να επιλέξουμε μία κατάλληλη τιμή  $\Delta t$  για υψηλή κάλυψη σφαλμάτων με σχετικά μικρή επίδραση στην απόδοση.

Μία απλή προσέγγιση για εφαρμογή πολλαπλών δειγματοληψιών των εξόδων είναι η χρήση δύο μανδαλωτών (latch), όπως φαίνεται στο Σχήμα 2.14. Μία εναλλακτική προσέγγιση είναι η χρήση μόνο συνδυαστικής λογικής, με τη βοήθεια ενός ελεγκτή σταθερότητας (stability checker) [11]. Η συγκεκριμένη προσέγγιση χρησιμοποιεί έναν ελεγκτή σταθερότητας, που ενεργοποιείται ύστερα από το τέλος της κανονικής περιόδου ρολογιού, ώστε να ελέγξει μία έξοδο κατά τη διάρκεια της  $\Delta t$  περιόδου και να δώσει μία ένδειξη λάθους εάν αλλάξει η τιμή της (εξ αιτίας μετάβασης σήματος) εντός της χρονικής περιόδου.



Σχήμα 2.14 Πολλαπλή Δειγματοληψία Εξόδων

Ένα παράδειγμα ενός σχεδιασμού ελεγκτή σταθερότητας σε επίπεδο πύλης φαίνεται στο Σχήμα 2.15. Εάν η έξοδος κάνει μία μετάβαση κατά τη διάρκεια της περιόδου ελέγχου σταθερότητας, τότε ένας παλμός, του οποίου το πλάτος ισούται με την καθυστέρηση διάδοσης του αναστροφέα, θα δημιουργηθεί στο σήμα ένδειξης λάθους. Ένας ελεγκτής σταθερότητας απαιτείται για κάθε έξοδο και τα σήματα ένδειξης λάθους μπορούν συγκεντρωθούν με μία OR πύλη σε ένα γενικό σήμα ένδειξης λάθους.



Σχήμα 2.15 Ελεγκτής Σταθερότητας

#### *Ποικιλότροπος Επανυπολογισμός*

Οι καθαρές προσεγγίσεις χρονικού πλεονασμού, όπου χρησιμοποιείται το ίδιο υλικό για να επαναλάβει έναν υπολογισμό κατά τον ίδιο τρόπο, δε μπορούν να ανιχνεύσουν μόνιμα σφάλματα. Εντούτοις, εάν ο υπολογισμός μπορεί να πραγματοποιηθεί διαφορετικά τη δεύτερη φορά ώστε να αξιοποιήσει το κύκλωμα κατά ένα διαφορετικό τρόπο, τότε είναι δυνατό να ανιχνευθούν μόνιμα σφάλματα, με την προϋπόθεση ότι το σφάλμα προκαλεί διαφορά ανάμεσα στους δύο υπολογισμούς. Μία απλή προσέγγιση για αριθμητικές ή λογικές λειτουργίες είναι η μετατόπιση των τελεστών όταν εκτελείται ο υπολογισμός τη δεύτερη φορά, κάτι το οποίο παράγει μία μετατοπισμένη εκδοχή του αποτελέσματος. Εν συνεχεία, η μετατοπισμένη εκδοχή του αποτελέσματος συγκρίνεται με το αποτέλεσμα της πρώτης εκτέλεσης.

Με τη συγκεκριμένη προσέγγιση, θα μπορούσαμε να ανιχνεύσουμε ένα μόνιμο σφάλμα εντός του κυκλώματος, εάν επηρέαζε τους υπολογισμούς με διαφορετικό τρόπο. Μία γενικότερη προσέγγιση είναι να έχουμε δύο διαφορετικές εκδοχές μίας ρουτίνας λογισμικού, η οποία εκτελεί την ίδια λειτουργία με διαφορετικό τρόπο, όποτε ελέγχει διαφορετικά τμήματα του υλικού. Μετά την εκτέλεση και των δύο εκδοχών της ρουτίνας, συγκρίνονται τα αποτελέσματά τους, προσφέροντας έτσι τη δυνατότητα ανίχνευσης μονίμων σφαλμάτων στο υλικό [1].

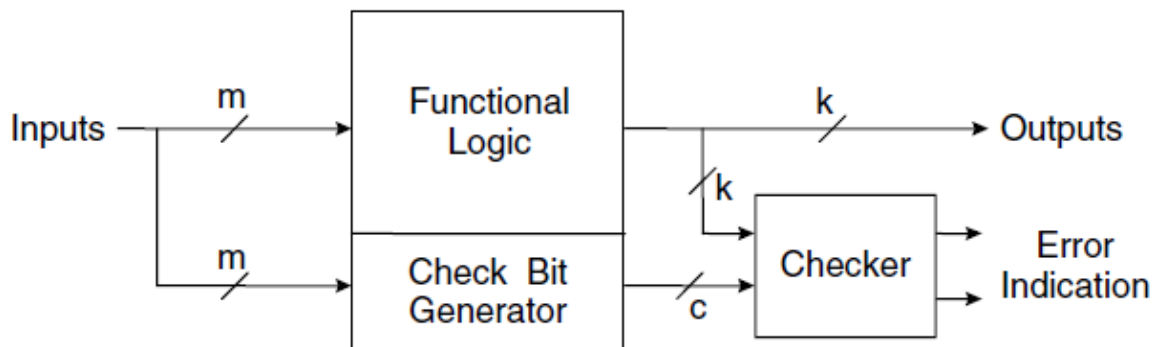
#### 2.4.5. Πλεονασμός Πληροφορίας: Ανίχνευση Λαθών

Ο πλεονασμός πληροφορίας διαθέτει τα πλεονεκτήματα του πλεονασμού υλικού σε ό,τι αφορά την ανίχνευση τόσο πρόσκαιρων όσο και μόνιμων σφαλμάτων με ελάχιστο αντίκτυπο στην απόδοση. Ένα πρόσθετο πλεονέκτημα είναι ότι ο πλεονασμός πληροφορίας μπορεί να εφαρμοσθεί με λιγότερο κόστος υλικού από ότι η χρήση πολλαπλών αντιγράφων ενός τμήματος λογικής. Ο πλεονασμός πληροφορίας βασίζεται στη χρήση κωδικών ανίχνευσης και διόρθωσης λαθών (error detecting and correcting codes). Σε αυτή την ενότητα θα εστιάσουμε σε κώδικες ανίχνευσης λαθών.

Οι κώδικες ανίχνευσης λαθών λειτουργούν ως εξής: Όταν ανιχνευθεί ένα λάθος, τότε το σύστημα χρειάζεται να ολισθήσει σε μία προηγούμενη, γνωστή κατάσταση χωρίς λάθη, ούτως ώστε να προσπαθήσει εκ νέου την εκτέλεση της λειτουργίας. Η ολίσθηση απαιτεί την ενσωμάτωση στοιχείων μνήμης, για να αποθηκευτεί μία προηγούμενη κατάσταση του συστήματος και έτσι το σύστημα να μπορεί να επανεκκινήσει από την αποθηκευμένη κατάσταση. Το ποσό της ολίσθησης που απαιτείται, εξαρτάται από την καθυστέρηση του μηχανισμού ανίχνευσης λαθών. Εάν οποιοδήποτε λάθος ανιχνευθεί στον ίδιο κύκλο ρολογιού κατά τον οποίο συνέβη, τότε επιτυγχάνεται *ανίχνευση λαθών μηδενικής καθυστέρησης* (zero-latency error detection) και η ολίσθηση μπορεί να πραγματοποιηθεί απλώς παρεμποδίζοντας την ενημέρωση της κατάστασης του συστήματος σε αυτόν τον κύκλο ρολογιού. Εάν οποιοδήποτε λάθος ανιχνευθεί ύστερα από  $n$  κύκλους ρολογιού, τότε η ολίσθηση χρειάζεται να επαναφέρει το σύστημα στην κατάσταση που βρισκόταν πριν από τουλάχιστον  $n$  κύκλους ρολογιού.

Συχνά η εκτέλεση διαιρείται σε ένα σύνολο από λειτουργίες, και πριν από κάθε εκτέλεση μίας λειτουργίας δημιουργείται ένα *σημείο ελέγχου* (checkpoint), όπου αποθηκεύεται η κατάσταση του συστήματος. Τότε αν ανιχνευθεί κάποιο λάθος κατά την εκτέλεση μίας λειτουργίας, η κατάσταση του συστήματος ολισθαίνει στο τελευταίο σημείο ελέγχου και η λειτουργία ξαναπροσπαθεί να εκτελεστεί. Εάν έχουμε πολλαπλές προσπάθειες χωρίς να επιτυγχάνεται εκτέλεση χωρίς λάθη, η λειτουργία διακόπτεται και το σύστημα ενημερώνει ότι συνέβη ένα μόνιμο σφάλμα.

Η βασική ιδέα στον πλεονασμό πληροφορίας είναι να κωδικοποιούμε τις εξόδους ενός κυκλώματος με έναν κώδικα ανίχνευσης λαθών και με τη βοήθεια ενός ελεγκτή, να ελέγχουμε αν η κωδικοποιημένη έξοδος είναι η έγκυρη κωδικολέξη (codeword), με βάση τον κώδικα. Η παρουσία μιας μη-κωδικολέξης υποδεικνύει την ύπαρξη ενός λάθους. Οι κώδικες ανίχνευσης λαθών χωρίζονται σε ευδιαχώριστους (separable) και μη-ευδιαχώριστους (nonseparable). Ένας ευδιαχώριστος κώδικας δημιουργεί κάθε κωδικολέξη με την επισύναψη μερικών bits ελέγχου στα bits της κανονικής εξόδου (βλ. Σχήμα 2.16).



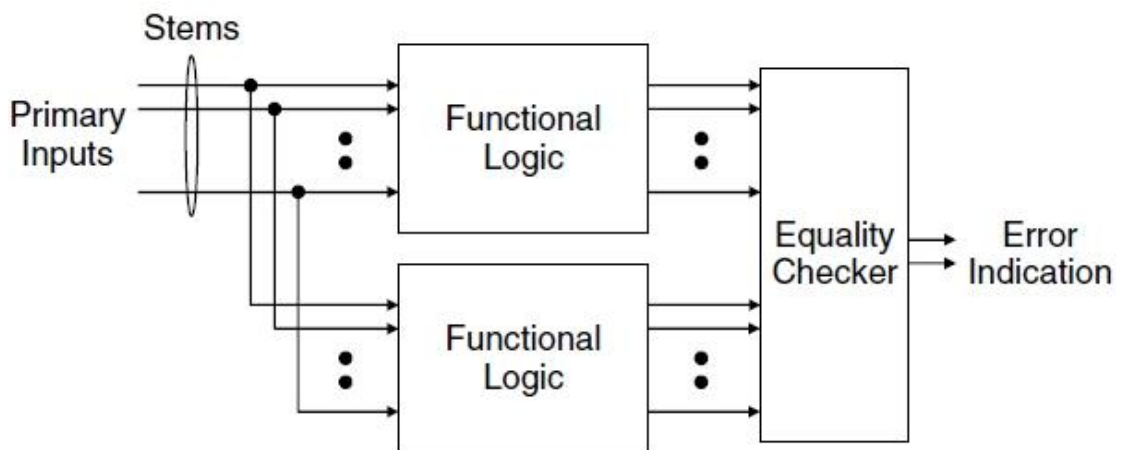
Σχήμα 2.16 Ευδιαχώριστος Κώδικας Ανίχνευσης Λαθών

### *Duplicate-and-Compare*

Ο απλούστερος κώδικας ανίχνευσης λαθών είναι ο κώδικας διπλασιασμού. Ένα αντίγραφο της λειτουργικής λογικής χρησιμοποιείται ως μία γεννήτρια bit ελέγχου (check bit generator), ενώ ένας ελεγκτής ισότητας χρησιμοποιείται για τη σύγκριση των εξόδων των δύο αντιγράφων της λογικής, όπως φαίνεται στο Σχήμα 2.17. Εάν οι εξόδοι διαφέρουν, τότε ο ελεγκτής ισότητας υποδεικνύει την ύπαρξη λάθους. Η

συγκεκριμένη προσέγγιση εγγυάται ότι οποιοδήποτε σφάλμα, που προκαλεί ένα λάθος σε μόνο ένα τμήμα λογικής, θα ανιχνευθεί, διότι η έξοδος του θα διαφέρει με την έξοδο του (αντίγραφου) τμήματος χωρίς λάθη. Ο μόνος τρόπος για τη μη-ανίχνευση ενός λάθους θα ήταν εάν υπήρχε μία *κοινή αποτυχία (common-mode)*, η οποία θα προκαλούσε το ίδιο λάθος στην έξοδο και των δύο τμημάτων λογικής. Μία λύση για να ελαττώσουμε την πιθανότητα μίας common-mode αποτυχίας θα ήταν η χρήση ποικιλομορφίας σχεδιασμού (design diversity), όπου τα διπλά αντίγραφα ενός τμήματος λογικής σχεδιάζονται με διαφορετικό τρόπο [12],[13]. Τα δύο αντίγραφα εκτελούν την ίδια λειτουργία, αλλά με διαφορετικό τρόπο, λόγω του διαφορετικού σχεδιασμού. Κάτι τέτοιο μειώνει την πιθανότητα των δύο αντιγράφων να παράγουν τα ίδια λάθη υπό την παρουσία συνδεδεμένων διαταραχών.

Αξίζει να σημειωθεί ότι μπορούν να ανιχνευθούν μόνο σφάλματα που προκύπτουν μετά από τις διακλαδώσεις των πρωταρχικών εισόδων (stems) ενός κυκλώματος, επειδή αυτά τα σφάλματα θα επηρεάσουν μόνο ένα από τα δύο αντίγραφα. Για την ανίχνευση σφαλμάτων στις πρωταρχικές εισόδους ή στο κύκλωμα που οδηγεί αυτές τις εισόδους, απαιτείται ένας ξεχωριστός ελεγκτής για το συγκεκριμένο κομμάτι του σχεδιασμού. Το κύριο πλεονέκτημα ενός duplicate-and-compare σχεδιασμού είναι η απλότητα υλοποίησης και ότι παρέχει υψηλή κάλυψη σφαλμάτων, αστοχώντας μόνο στις common-mode αποτυχίες. Αντίθετα, το κύριο μειονέκτημα του duplicate-and-compare είναι το υψηλό κόστος υλικού/επιφάνειας που απαιτείται.

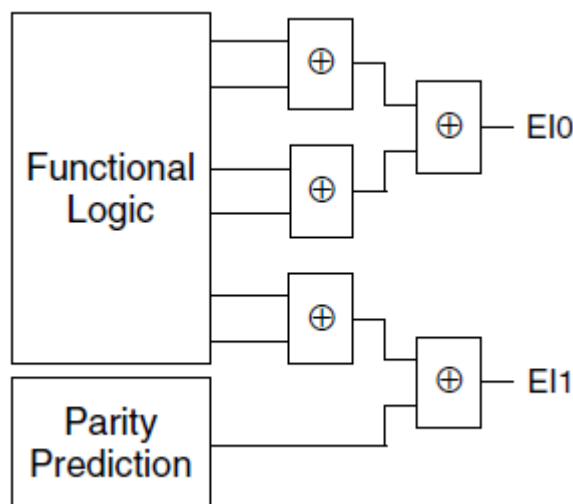


Σχήμα 2.17 Σχεδιασμός Duplicate-and-Compare

### Κώδικες Ισοτιμίας Μοναδικού Bit

Ο κώδικας ισοτιμίας μοναδικού bit (single-bit parity code) είναι ο απλούστερος κώδικας ανίχνευσης λαθών, που χρησιμοποιεί ένα και μοναδικό bit ελέγχου για να υποδείξει την ισοτιμία μεταξύ των bits των εξόδων. Το bit ελέγχου ισοτιμίας ισούται με το αποτέλεσμα της πράξης XOR όλων των bits των εξόδων και υποδεικνύει εάν υπάρχει ένας άρτιος ή περιττός αριθμός από bits των εξόδων που ισούται με 1. Με τη χρήση ισοτιμίας μοναδικού bit, η γεννήτρια των bits ελέγχου προβλέπει την τιμή της ισοτιμίας, ενώ στη συνέχεια ο ελεγκτής αποφασίζει εάν η κωδικολέξη, που αποτελείται από τις κανονικές εξόδους και το bit ισοτιμίας, είναι έγκυρη. Εάν δεν είναι έγκυρη, υποδεικνύεται η ύπαρξη ενός λάθους.

Ο ελεγκτής αποτελείται από ένα δένδρο XOR πύλων. Η τελευταία πύλη του ελεγκτή αφαιρείται, ώστε να υπάρχουν δύο έξοδοι που διαθέτουν αντίθετες τιμές στην περίπτωση χωρίς λάθη (βλ. Σχήμα 2.18), προσφέροντας την ικανότητα αυτοελέγχου στον ελεγκτή. Στο παράδειγμα του Σχήματος 2.18, το λειτουργικό κύκλωμα διαθέτει έξι εξόδους και η λογική πρόβλεψης ισοτιμίας προβλέπει το bit ισοτιμίας ώστε η 7-bit κωδικολέξη να έχει περιττή ισοτιμία (υπάρχει περιττός αριθμός από '1' σε κάθε κωδικολέξη). Αυτό μας διασφαλίζει ότι οι δύο έξοδοι ένδειξης λάθους θα έχουν αντίθετες τιμές για έγκυρες κωδικολέξεις-εισόδους. Εάν μία μη-κωδικολέξη που έχει άρτια ισοτιμία εφαρμοσθεί στον ελεγκτή, οι δύο έξοδοι ένδειξης λάθους θα έχουν ίδιες τιμές, οπότε και θα υποδείξουν την ύπαρξη ενός λάθους.



Σχήμα 2.18 Αυτοελεγχόμενος Ελεγκτής Ισοτιμίας



### Κώδικες Ελέγχου Ισοτιμίας

Η single-bit ισοτιμία αποτελεί στην πραγματικότητα ειδική περίπτωση μίας γενικότερης κλάσης των κωδίκων ελέγχου ισοτιμίας (parity-check codes). Στους κώδικες ελέγχου ισοτιμίας, κάθε bit ελέγχου διεξάγει και έναν έλεγχο ισοτιμίας για κάποια ομάδα από εξόδους, που ονομάζεται ομάδα ισοτιμίας (parity group). Ένας κώδικας ελέγχου ισοτιμίας μπορεί να υλοποιηθεί μέσω ενός πίνακα ελέγχου ισοτιμίας, στον οποίο υπάρχει μία γραμμή για κάθε ομάδα ισοτιμίας και κάθε στήλη αντιστοιχεί σε μία έξοδο ή ένα bit ισοτιμίας. Το Σχήμα 2.19 δείχνει το παράδειγμα ενός πίνακα ελέγχου ισοτιμίας,  $H$ , για ένα κύκλωμα με έξι εξόδους ( $Z_1$ - $Z_6$ ) και τρία bits ισοτιμίας ( $c_1$ - $c_3$ ). Υπάρχουν τρεις ομάδες ισοτιμίας, η καθεμία από τις οποίες περιέχει ένα bit ισοτιμίας και ένα υποσύνολο των εξόδων. Για παράδειγμα, το bit ισοτιμίας  $c_1$  διεξάγει έλεγχο ισοτιμίας για τις εξόδους  $Z_1, Z_4, Z_5$ .

$$\begin{array}{l}
 \text{Parity Group 1} \\
 \text{Parity Group 2} \\
 \text{Parity Group 3}
 \end{array}
 \begin{array}{ccccccccc}
 Z_1 & Z_2 & Z_3 & Z_4 & Z_5 & Z_6 & c_1 & c_2 & c_3 \\
 \left( \begin{array}{ccccccccc}
 1 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\
 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 \\
 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1
 \end{array} \right)
 \end{array}$$

Σχήμα 2.19 Παράδειγμα Πίνακα Ελέγχου Ισοτιμίας (Πίνακας  $H$ )

### Κώδικες Berger

Οι κώδικες Berger προσφέρουν το μικρότερο πλεονασμό οποιουδήποτε ευδιαχώριστου κώδικα για ανίχνευση όλων των λαθών μονής κατεύθυνσης. Εάν υπάρχουν  $k$  bits εξόδου, τότε ένας κώδικας Berger απαιτεί  $\log_2[k + 1]$  bits ισοτιμίας.

### Κώδικες Σταθερού Βάρους

Όλοι οι κώδικες που προαναφέραμε είναι ευδιαχώριστοι κώδικες. Οι κώδικες σταθερού βάρους (constant weight codes) είναι μη-ευδιαχώριστοι κώδικες οι οποίοι προσφέρουν μικρότερο πλεονασμό από τους κώδικες Berger για την ανίχνευση όλων των λαθών μονής κατεύθυνσης. Το βασικό μειονέκτημα των κωδίκων σταθερού

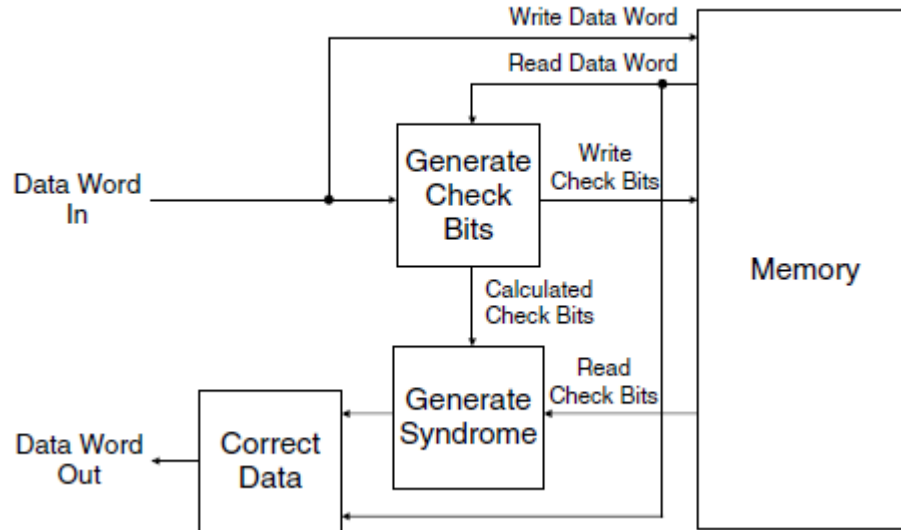
βάρους είναι ότι χρειάζονται κάποιο τμήμα λογικής για αποκωδικοποίηση, ώστε να μετατρέψουν κάθε κωδικολέξη στην αντίστοιχη δυαδική τιμή που είχε μία έξοδος. Παρόλα αυτά, οι κώδικες σταθερού βάρους βρίσκουν εφαρμογή στην κωδικοποίηση της κατάστασης μίας πεπερασμένης μηχανής κατάστασης (finite state machine - FSM). Οι καταστάσεις σε μία τέτοια μηχανή μπορούν να κωδικοποιηθούν με τη βοήθεια ενός κώδικα σταθερού βάρους, συνεπώς δεν υπάρχει ανάγκη για αποκωδικοποίηση όταν παράγεται η επόμενη κατάσταση, και έτσι η επόμενη κατάσταση μπορεί να ελεγχθεί με έναν ελεγκτή του κώδικα σταθερού βάρους [1].

#### *2.4.6. Πλεονασμός Πληροφορίας: Διόρθωση Λαθών*

Ο πλεονασμός πληροφορίας μπορεί επίσης να αξιοποιηθεί για να καλύψει (δηλαδή να διορθώσει) λάθη με τη χρήση ενός κώδικα διόρθωσης λαθών (error-correcting code - ECC). Η χρήση ECC σε κυκλώματα λογικής δεν είναι τόσο ελκυστική όσο είναι η χρήση TMR, διότι η λογική που απαιτείται για την πρόβλεψη των bits ελέγχου είναι γενικά περίπλοκη, ενώ ο αριθμός των bits εξόδου που μπορούν να διορθωθούν είναι περιορισμένος. Εντούτοις, οι ECC κώδικες είναι ευρέως διαδεδομένοι για την προστασία μηνυμάτων [14]. Τα λάθη δε διαδίδονται στις μνήμες όπως στα λογικά κυκλώματα, οπότε οι κώδικες για *διόρθωση-μοναδικού-λάθους και ανίχνευση-διπλού-λάθους* (single-error-correction and double-error-detection – SEC-DED) είναι συνήθως επαρκείς.

Οι μνήμες είναι πυκνές και επιρρεπείς σε λάθη, κυρίως εξαιτίας διαταραχών από ακτινοβολία (single-event upsets – SEUs). Για αυτόν το λόγο είναι αναγκαία η χρήση ECC κωδίκων. Κάθε λέξη στη μνήμη κωδικοποιείται με την πρόσθεση επιπλέον bits ελέγχου, που αποθηκεύονται μαζί με τα δεδομένα. Οι SEC-DED κώδικες συνήθως προτιμώνται για τον έλεγχο μηνυμάτων. Έτσι για μία λέξη 32-bit, οι SEC-DED κώδικες απαιτούν επτά bits ελέγχου, άρα χρειάζεται η αποθήκευση 39 bits ανά λέξη. Για μία λέξη 64-bit, απαιτούνται οκτώ bits ελέγχου και έτσι η μνήμη πρέπει να αποθηκεύσει 72 bits ανά λέξη. Οι SEC-DED κώδικες είναι ικανοί να διορθώσουν λάθη του ενός bit και να ανιχνεύσουν λάθη διπλών bits είτε στα bits δεδομένων είτε στα bits

ελέγχου. Το υλικό που απαιτείται για την εφαρμογή σε μία μνήμη ενός SEC-DED ECC φαίνεται στο Σχήμα 2.20.



Σχήμα 2.20 Αρχιτεκτονική Μνήμης με ECC

Είναι αξιοσημείωτο ότι μία αρχιτεκτονική μνήμης με ECC βοηθά στην αντιμετώπιση των μόνιμων σφαλμάτων, επειδή προσφέρει ανοχή σε ελαττωματικά κελιά της μνήμης μέχρι το άνω όριο της ικανότητας διόρθωσης του κώδικα. Παρόλα αυτά, η ύπαρξη ελαττωματικών κελιών μνήμης αυξάνει την ευπάθεια σε πρόσθετα πρόσκαιρα σφάλματα, καθώς υπάρχει λιγότερος πλεονασμός για να τα διορθώσει. Ένας ECC μπορεί να αξιοποιηθεί για να ταυτοποιήσει ελαττωματικά κελιά μνήμης, καταγράφοντας τα λάθη που συμβαίνουν και ψάχνοντας για οποιοδήποτε κελί μνήμης έχει μία ασυνήθιστα υψηλή συχνότητα λαθών.

## ΚΕΦΑΛΑΙΟ 3. ΕΝ ΛΕΙΤΟΥΡΓΙΑ ΕΛΕΓΧΟΣ

---

### 3.1 Τεχνική Razor

### 3.2 Τεχνική GRAAL

### 3.3 Τεχνική Elastic

### 3.4 Τεχνική EDC

---

Κατά καιρούς, έχουν αναπτυχθεί διάφορες τεχνικές εν λειτουργία ελέγχου, οι οποίες προσφέρουν ανοχή λαθών (error tolerance) με σχετικά χαμηλό πρόσθετο κόστος στην κατανάλωση ισχύος και στην επιφάνεια πυριτίου. Στο παρόν κεφάλαιο θα αναπτύξουμε τέσσερις τεχνικές για εν λειτουργία έλεγχο, με έμφαση στην ανίχνευση και διόρθωση λαθών χρονισμού (timing errors). Οι τεχνικές Razor, Elastic και EDC υποστηρίζουν τεχνικές σχεδίασης που βασίζονται σε Flip-Flop, ενώ η τεχνική GRAAL υποστηρίζει τεχνικές σχεδίασης που βασίζονται σε μανδαλωτές.

### 3.1. Τεχνική Razor

#### 3.1.1. Τεχνικές Δυναμικής Κλιμάκωσης Τροφοδοσίας

Η χαμηλή κατανάλωση αποτελεί ένα σημαντικό ζήτημα για τα σύγχρονα ενσωματωμένα συστήματα. Αυτό διότι η κατανάλωση ισχύος αυξάνεται σε ένα κρίσιμο επίπεδο, λόγω της συνεχώς αυξανόμενης ολοκλήρωσης λειτουργιών σε ένα chip. Εκτός τούτου, πέραν του προβλήματος της χαμηλής κατανάλωσης, υπάρχει η ανάγκη για υψηλότερη ταχύτητα λειτουργίας στα ολοκληρωμένα κυκλώματα (OK). Το διάστημα μεταξύ υψηλής ταχύτητας λειτουργίας και χαμηλής κατανάλωσης μπορεί να γεφυρώσει η *τεχνική Δυναμικής Κλιμάκωσης Τροφοδοσίας (Dynamic Voltage Scaling - DVS)*.

Η Δυναμική Κλιμάκωση Τροφοδοσίας επιτρέπει στην τάση τροφοδοσίας να προσαρμοστεί κατάλληλα ώστε να συναντήσει τις εκάστοτε ανάγκες λειτουργίας για διαφορετικό φόρτο εργασίας. Έτσι η δυναμική κατανάλωση μπορεί να μειωθεί με σχέση τετραγώνου εάν μειωθεί η τάση τροφοδοσίας, σε όποια χρονική στιγμή είναι αυτό δυνατό. Όμως η μείωση της τάσης τροφοδοσίας οδηγεί σε αύξηση της καθυστέρησης διάδοσης (propagation delay) σήματος, περιορίζοντας τελικά την μέγιστη συχνότητα λειτουργίας σε ένα ολοκληρωμένο.

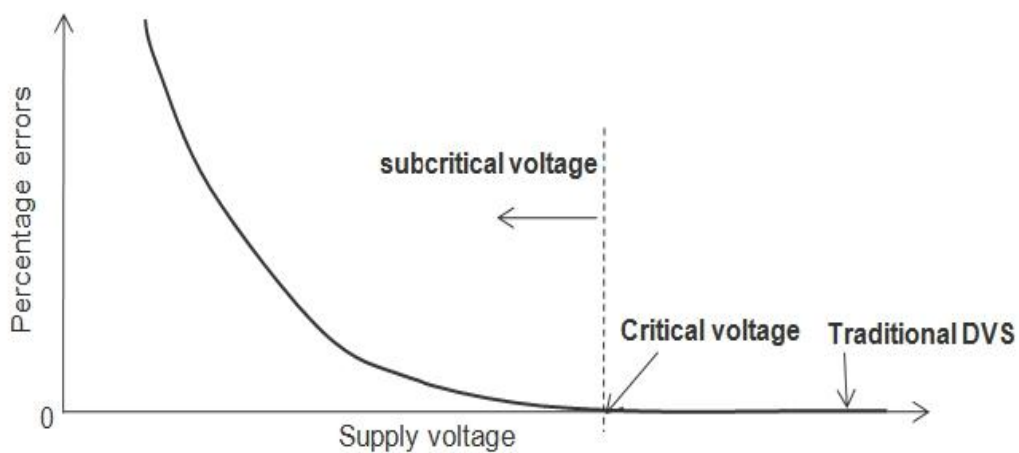
Όταν ένα σύστημα τρέχει σε πολλαπλές συχνότητες και επίπεδα τροφοδοσίας πρέπει πρώτα από όλα να εξασφαλιστεί η ορθή του λειτουργία. Η ελάχιστη δυνατή τάση τροφοδοσίας, που εξασφαλίζει στο σύστημα την ορθή λειτουργία, ονομάζεται κρίσιμη τάση τροφοδοσίας. Πέρα από αυτή την τάση, το σύστημα εμφανίζει λάθη (errors) λόγω καθυστέρησης στη διάδοση των σημάτων. Η κρίσιμη τάση τροφοδοσίας εξαρτάται από έναν αριθμό περιβαλλοντικών παραγόντων και παραμέτρων σχετικών με την επεξεργασία. Αυτές περιλαμβάνουν αυξομειώσεις τάσης στο δίκτυο, διακυμάνσεις θερμοκρασίας και θορύβους αλληλοπαρεμβολής (cross-coupling noise). Κάποιες παράμετροι μπορεί να εξαρτώνται από τα δεδομένα, δηλαδή εμφανίζουν την χειρότερη επίδραση στη λειτουργία του κυκλώματος μόνο κάτω από συγκεκριμένες εντολές και ακολουθίες δεδομένων.

Ακολουθώντας την παραδοσιακή μέθοδο για την εύρεση της κρίσιμης τάσης τροφοδοσίας, μία συντηρητική τάση τροφοδοσίας επιλέγεται με την χρήση ακραίας ανάλυσης (corner-analysis), ενώ περιθώρια προστίθενται στην κρίσιμη τάση για να καλύψουν την αβεβαιότητα σε κυκλωματικά μοντέλα και τον χειρότερο συνδυασμό παραμέτρων. Κάτι τέτοιο αποτελεί μία απαισιόδοξη προσέγγιση εφόσον το χειρότερο δυνατό σενάριο για ένα κύκλωμα (worst-case scenario) είναι σχεδόν απίθανο να συμβεί. Σε αυτό το σημείο έρχεται η τεχνική Razor, η οποία θα αναλυθεί ακολούθως. Η τεχνική Razor συνδράμει τις DVS τεχνικές, και βασίζεται στη δυναμική ανίχνευση και διόρθωση λαθών χρονισμού σε ψηφιακά συστήματα.

### 3.1.2. Χαρακτηριστικά Τεχνικής Razor

Την κεντρική ιδέα της τεχνικής Razor [15] αποτελεί η σκόπιμη λειτουργία του κυκλώματος σε επίπεδα χαμηλότερα της κρίσιμης τάσης τροφοδοσίας. Εκτός τούτου, σημαντικό κομμάτι της τεχνικής Razor είναι η ρύθμιση της τάσης τροφοδοσίας όταν το κύκλωμα βρίσκεται σε λειτουργία, παρατηρώντας το ρυθμό εμφάνισης λαθών. Με αυτόν τον τρόπο μπορούμε να ρυθμίσουμε θετικά την αύξηση της κατανάλωσης ισχύος, που προκύπτει από την διόρθωση σφαλμάτων, και τη μείωση της κατανάλωσης ισχύος, που προέρχεται από την λειτουργία του κυκλώματος σε χαμηλότερη τάση τροφοδοσίας.

Η λειτουργία σε τάσεις κάτω από την κρίσιμη τάση τροφοδοσίας επιφέρει την αποτυχία εκτέλεσης μόνο ενός μικρού αριθμού κρίσιμων εντολών (βλ. Σχήμα 3.1). Εφόσον το ποσοστό λαθών (το οποίο δεν είναι μηδενικό) διατηρείται σε ικανοποιητικά χαμηλά επίπεδα, τότε το κόστος σε ενέργεια, για την διόρθωση αυτών των λαθών, είναι ελάχιστο. Ταυτόχρονα η εξοικονόμηση ενέργειας από την μείωση της τάσης τροφοδοσίας μπορεί να είναι ζωτικής σημασίας.

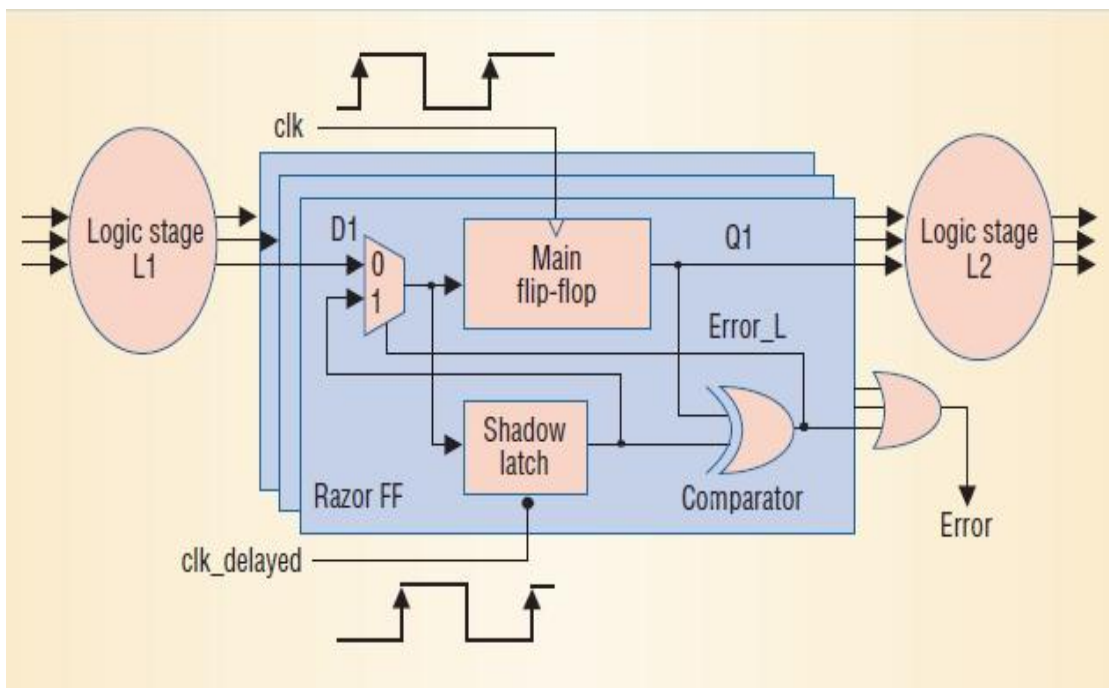


Σχήμα 3.1 Λειτουργία Razor σε Τάσεις Χαμηλότερες από την Κρίσιμη Τάση Τροφοδοσίας

### 3.1.3. Ανίχνευση και Διόρθωση Λαθών

Σε κυκλωματικό επίπεδο, η ανίχνευση ενός σφάλματος επιτυγχάνεται ως εξής: κάθε flip-flop υποβοηθάται από έναν σκιώδη μανδαλωτή (shadow latch), ο οποίος

οδηγείται από ένα ρολόι με κάποια καθυστέρηση, σε σχέση με το ρολόι που οδηγεί το κύριο flip-flop. Εάν η απόκριση της συνδυαστικής λογικής ικανοποιεί τους περιορισμούς του χρόνου αποκατάστασης (setup time) του κύριου flip-flop, τότε το κύριο flip-flop και ο σκιώδης μανδαλωτής θα συλλάβουν την ίδια τιμή. Σε αυτή την περίπτωση το Error\_L σήμα, το οποίο οδηγεί τον πολυπλέκτη πριν από το κύριο flip-flop, παραμένει σε λογικό '0' (βλ. Σχήμα 3.2). Εάν η απόκριση της συνδυαστικής λογικής δεν ικανοποιεί τους περιορισμούς του χρόνου αποκατάστασης, τότε το flip-flop θα αποθηκεύσει μία τιμή που θα διαφέρει από αυτή του σκιώδους μανδαλωτή. Για να διασφαλίσουμε ότι ο σκιώδης μανδαλωτής πάντα θα αποθηκεύει τις σωστές αποκρίσεις, η τάση οριοθετείται έτσι ώστε στην χειρότερη περίπτωση (worst-case scenario), η καθυστέρηση της λογικής να μην υπερβαίνει το χρόνο αποκατάστασης του σκιώδη μανδαλωτή.

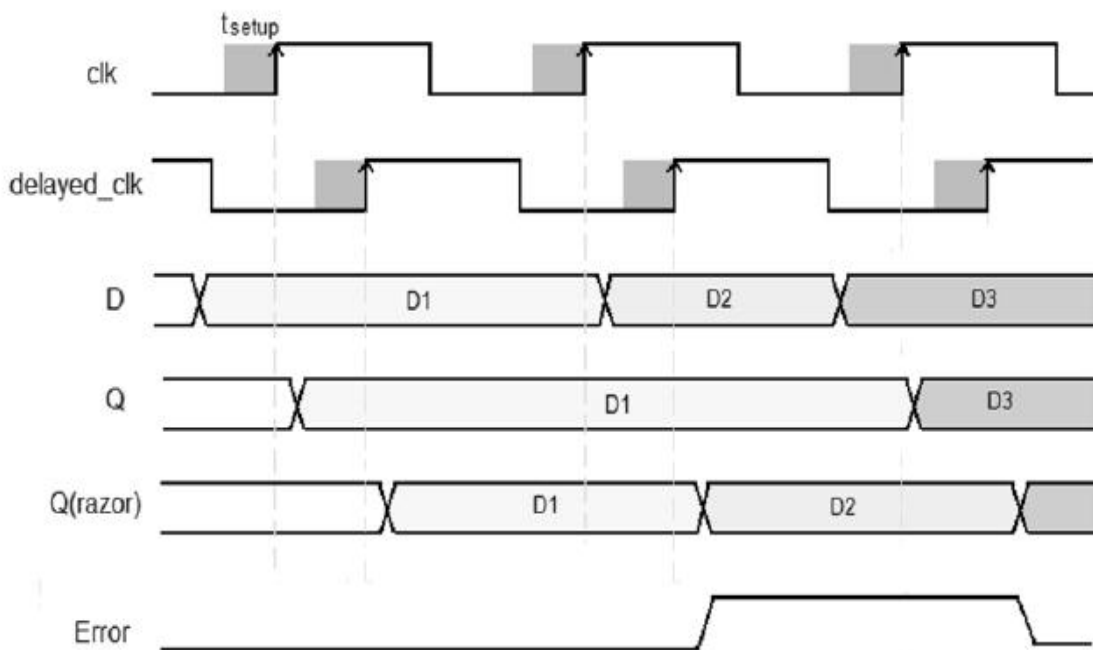


Σχήμα 3.2 Το Razor Flip-Flop

Όπως μπορούμε να παρατηρήσουμε στο Σχήμα 3.3, κατά τον πρώτο κύκλο ρολογιού, η απόκριση D1 του σήματος D ικανοποιεί το χρόνο αποκατάστασης του κύριου flip-flop και του σκιώδη μανδαλωτή, οπότε και τα δύο στοιχεία μνήμης συλλαμβάνουν την τιμή D1. Παρόλα αυτά, κατά τον δεύτερο κύκλο ρολογιού η απόκριση D2 δεν ικανοποιεί τις απαιτήσεις του χρόνου αποκατάστασης του κύριου flip-flop. Το flip-

flip διατηρεί την προηγούμενη τιμή του σήματος D (D1), ενώ ο σκιάδης μανδαλωτής συλλαμβάνει τη σωστή τιμή D2. Αυτό ανιχνεύεται από την XOR πύλη και το σήμα Error\_L ανέρχεται σε λογικό '1'.

Όταν το σήμα Error\_L βρίσκεται σε λογικό '1', εφαρμόζεται στο κύκλωμα η λειτουργία διόρθωσης λαθών, η οποία κατευθύνει τη σωστή τιμή από το σκιάδη μανδαλωτή, μέσω του πολυπλέκτη στο κυρίως flip-flop. Η τιμή αυτή είναι διαθέσιμη στον επόμενο κύκλο του ρολογιού ώστε να οδηγήσει στην επόμενη βαθμίδα της λογικής.



Σχήμα 3.3 Λειτουργία Τεχνικής Razor

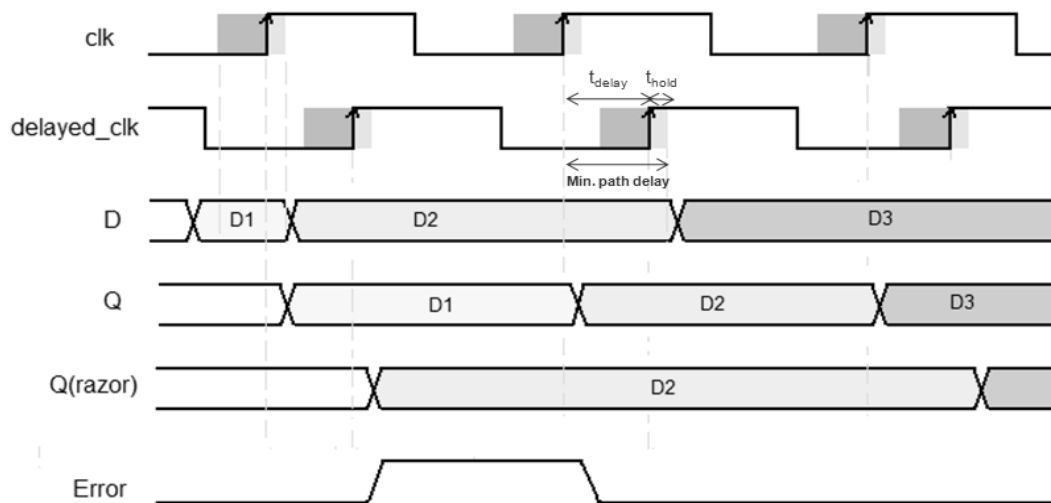
#### 3.1.4. Ζητήματα Εφαρμογής σε Επίπεδο Κυκλώματος

Η επιπρόσθετη κατανάλωση ισχύος, λόγω του κυκλώματος ανίχνευσης και διόρθωσης λαθών, πρέπει να κρατηθεί στο ελάχιστο δυνατό επίπεδο, ούτως ώστε να καρπωθούμε τα οφέλη της Razor προσέγγισης από τη μείωση της τάσης τροφοδοσίας κάτω από την κρίσιμη τιμή. Διαφορετικά τα κέρδη στην ενέργεια, που οφείλονται στην μείωση της τάσης τροφοδοσίας, θα εξουδετερωθούν από αυτή την επιπρόσθετη κατανάλωση ισχύος. Μία λύση, για να μειώσουμε την επιπρόσθετη κατανάλωση ισχύος, είναι η επιλεκτική αντικατάσταση των Flip-Flops με Razor Flip-Flops. Εάν η



μέγιστη καθυστέρηση στην είσοδο ενός Flip-Flop ικανοποιεί τους χρονικούς περιορισμούς, ώστε να περάσει στην έξοδο, τότε το Flip-Flop δε χρειάζεται αντικατάσταση.

Η παρουσία του καθυστερημένου ρολογιού (που οδηγεί το σκιάδη μανδαλωτή) μπορεί να προκαλέσει παραβίαση του χρόνου συγκράτησης (hold time) για σύντομες διαδρομές. Όπως μπορούμε να παρατηρήσουμε στο Σχήμα 3.4, εάν η καθυστέρηση της λογικής για την είσοδο D1 είναι πολύ μικρή (γρήγορη διαδρομή), τότε στην θετική ακμή του καθυστερημένου ρολογιού, το Razor Flip-Flop μπορεί να αποθηκεύσει τα καινούργια εισερχόμενα δεδομένα D2, κάτι που προοριζόταν για τον δεύτερο κύκλο. Αυτό σημαίνει ότι το σήμα εμφάνισης λάθους (error signal) ανέρχεται σε λογικό '1', ακόμα και αν το κύριο Flip-Flop είχε αποθηκεύσει τα σωστά δεδομένα.



Σχήμα 3.4 Περιορισμός Σύντομης Διαδρομής

Κάτι τέτοιο μας οδηγεί σε έναν περιορισμό σύντομης διαδρομής (short path constraint), όπου η ελάχιστη καθυστέρηση διαδρομής  $t_{pd}$  δίνεται από τον τύπο:

$$t_{pd} = t_{delay} + t_{hold} \quad \text{Εξ. 3.1}$$

Το  $t_{delay}$  είναι η καθυστέρηση ανάμεσα στο κύριο και στο καθυστερημένο ρολόι, ενώ το  $t_{hold}$  είναι ο χρόνος συγκράτησης του σκιάδη μανδαλωτή. Καταλαβαίνουμε ότι μια

μεγάλη καθυστέρηση του ρολογιού δεν ευνοεί αυτό τον περιορισμό και παράλληλα αυξάνει την κατανάλωση ισχύος, εξαιτίας της ανάγκης καθυστέρησης των γρήγορων διαδρομών. Από την άλλη, μια μικρή καθυστέρηση ρολογιού ελαττώνει το χρονικό περιθώριο ανάμεσα στο κύριο Flip-Flop και το σκιάδη μανδαλωτή, οπότε μειώνεται η δυνατότητα να θέσουμε την τάση τροφοδοσίας πολύ κάτω από το κρίσιμο σημείο.

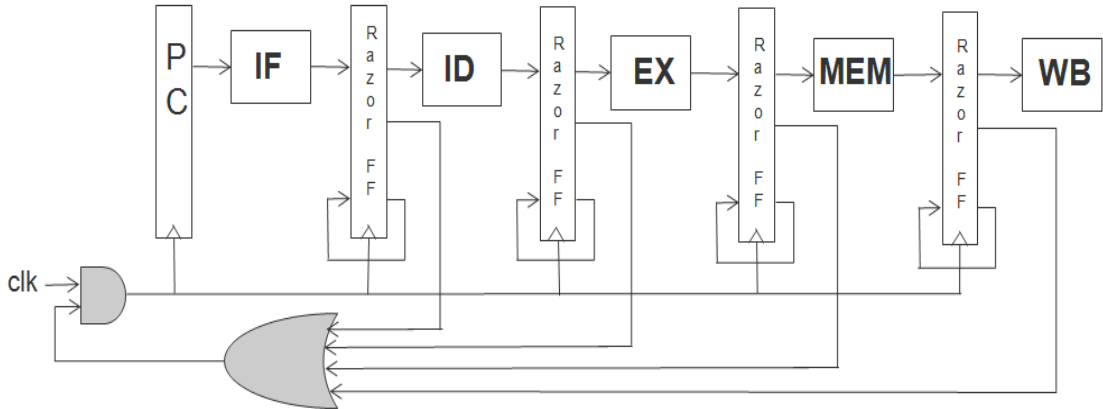
### *3.1.5. Αποκατάσταση Δομής Διοχέτευσης με την Τεχνική Razor*

Μια δομή διοχέτευσης (pipeline) χρησιμοποιείται για να κατατμήσουμε μία μεγάλη διαδρομή λογικής σε διάφορα στάδια, έτσι ώστε να αυξήσουμε τη συχνότητα λειτουργίας. Πιο συγκεκριμένα, θα δώσουμε το παράδειγμα μιας δομής διοχέτευσης ενός μικροεπεξεργαστή πέντε σταδίων. Η δομή αποτελείται από τα εξής στάδια: Instruction Fetch (IF), Instruction Decode (ID), Execute (EX), Memory Access (MEM) και Register Write-Back (WB).

Θα αναλυθούν δύο προσεγγίσεις που εφαρμόζουν τη διόρθωση λαθών σε αυτή τη δομή διοχέτευσης. Η πρώτη προσέγγιση αφορά μία σχετικά απλή αλλά αργή μέθοδο, η οποία βασίζεται στην τεχνική της αναστολής ρολογιού (Clock Gating), ενώ η δεύτερη μέθοδος αποτελεί μία πιο πολύπλοκη τεχνική που βασίζεται στο Counterflow Pipelining.

### *Αποκατάσταση με Αναστολή Ρολογιού*

Εάν κάποιο στάδιο της δομής διοχέτευσης ανιχνεύσει ένα λάθος, τότε ολόκληρη η δομή διοχέτευσης «παγώνει» για έναν κύκλο, εφαρμόζοντας αναστολή ρολογιού με το error σήμα. Κατά τη διάρκεια του επιπρόσθετου κύκλου, κάθε στάδιο υπολογίζει ξανά το αποτέλεσμα του, χρησιμοποιώντας τους σκιάδεις μανδαλωτές ως εισόδους. Εφόσον όλα τα στάδια επαναπροσδιορίζουν το αποτέλεσμα τους, οποιοσδήποτε αριθμός λαθών μπορεί να γίνει ανεκτός και η λειτουργία του κυκλώματος παραμένει αξιόπιστη. Η δομή διοχέτευσης με την τεχνική αναστολής ρολογιού φαίνεται στο Σχήμα 3.5.



Σχήμα 3.5 Μηχανισμός Αναστολής Ρολογιού για Αποκατάσταση Λαθών της Δομής Διοχέτευσης

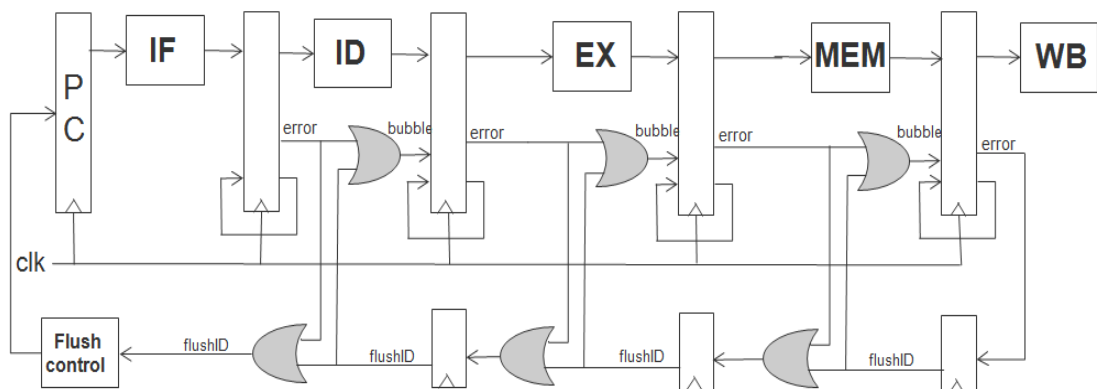
Το χρονικό διάγραμμα της δομής διοχέτευσης, που φαίνεται στο Σχήμα 3.6, δείχνει την αποκατάσταση της δομής για μία εντολή που αποτυγχάνει (π.χ. συμβαίνει κάποιο λάθος στο ID στάδιο). Η δεύτερη εντολή υπολογίζει ένα λανθασμένο αποτέλεσμα στο ID στάδιο της δομής διοχέτευσης. Το λάθος ανιχνεύεται στον 4<sup>ο</sup> κύκλο, αλλά μόνο εφόσον το EX στάδιο έχει υπολογίσει ένα λανθασμένο αποτέλεσμα, που προέρχεται από την λανθασμένη τιμή του ID σταδίου. Αφού ανιχνευθεί το λάθος, το ρολόι «παγώνει» κατά τον 5<sup>ο</sup> κύκλο (με συνέπεια να «παγώνει» ολόκληρη η δομή διοχέτευσης), οπότε και η σωστή τιμή επιλέγεται από τους σκιάδεις μανδαλωτές του ID σταδίου και το EX στάδιο επαναπροσδιορίζει το αποτέλεσμά του. Από τον 6<sup>ο</sup> κύκλο και έπειτα, η δομή διοχέτευσης επιστρέφει στην κανονική της λειτουργία.

Cycle Instr.	1	2	3	4	5	6	7	8	9	10
1	IF	ID	EX	MEM	stall	WB				
2		IF	ID*	EX*	EX	MEM	WB			
3			IF	ID	stall	EX	MEM	WB		
4				IF	stall	ID	EX	MEM	WB	
5					stall	IF	ID	EX	MEM	WB

Σχήμα 3.6 Χρονικό Διάγραμμα της Δομής Διοχέτευσης με Αναστολή Ρολογιού

### Αποκατάσταση με Counterflow Pipelining

Η τεχνική της αναστολής ρολογιού δεν είναι χρήσιμη στην περίπτωση επιθετικών σχεδιασμών που οδηγούνται από ένα ρολόι εξαιτίας της επίδρασής της στον κύκλο εκτέλεσης ενός επεξεργαστή. Παρόλα αυτά, προτείνεται ένας μηχανισμός αποκατάστασης λαθών με δομή διοχέτευσης, ο οποίος βασίζεται στην τεχνική counterflow pipelining. Αυτή η προσέγγιση, την οποία μπορούμε να δούμε στο Σχήμα 3.7, θέτει αμελητέους χρονικούς περιορισμούς στο σχεδιασμό της δομής διοχέτευσης, με μοναδικό κόστος την αποκατάσταση της δομής διοχέτευσης σε μερικούς επιπλέον κύκλους ρολογιού. Όταν ανιχνεύεται ένα λάθος, ένα σήμα bubble ανέρχεται σε λογικό '1', γεγονός που ξεκινά την εκκαθάριση των δεδομένων (flushing) όλων των εντολών στα στάδια της δομής διοχέτευσης οι οποίες ακολουθούν την λανθασμένη εντολή. Με αυτόν τον τρόπο συμβαίνει στο κύκλωμα μία ανάδρομη διάδοση σημάτων flush και ο μετρητής προγράμματος αλλάζει ώστε να δείχνει στην εντολή που ακολουθεί την λανθασμένη εντολή. Παράλληλα, ύστερα από τον υπολογισμό του λανθασμένου σταδίου, η σωστή τιμή που βρίσκεται σε κάθε σκιάδη μανδαλωτή ενός Razor flip-flop, χρησιμοποιείται στον επόμενο κύκλο, επιτρέποντας την λανθασμένη εντολή να συνεχίσει με τις σωστές τιμές. Όμοια με την τεχνική της αναστολής ρολογιού, μπορούμε να παρατηρήσουμε στο Σχήμα 3.8 το χρονικό διάγραμμα της δομής διοχέτευσης με την τεχνική counterflow.



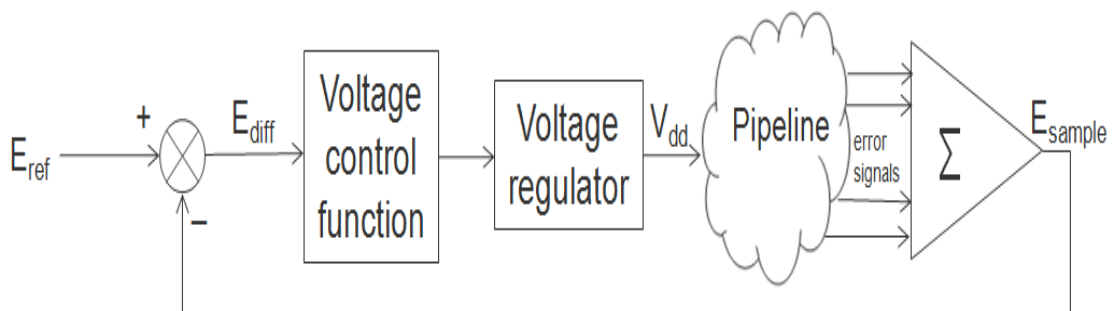
Σχήμα 3.7 Μηχανισμός Counterflow για Αποκατάσταση Λαθών της Δομής Διοχέτευσης

Cycle Instr.	1	2	3	4	5	6	7	8
1	IF	ID	EX	MEM	WB			
2		IF	ID*	EX*	bubble	MEM	WB	
3			IF	ID	flushID	flushIF	IF	ID
4				IF				IF

Σχήμα 3.8 Χρονικό Διάγραμμα της Δομής Διοχέτευσης με Counterflow Pipelining

### 3.1.6. Σύστημα Ελέγχου Τάσης

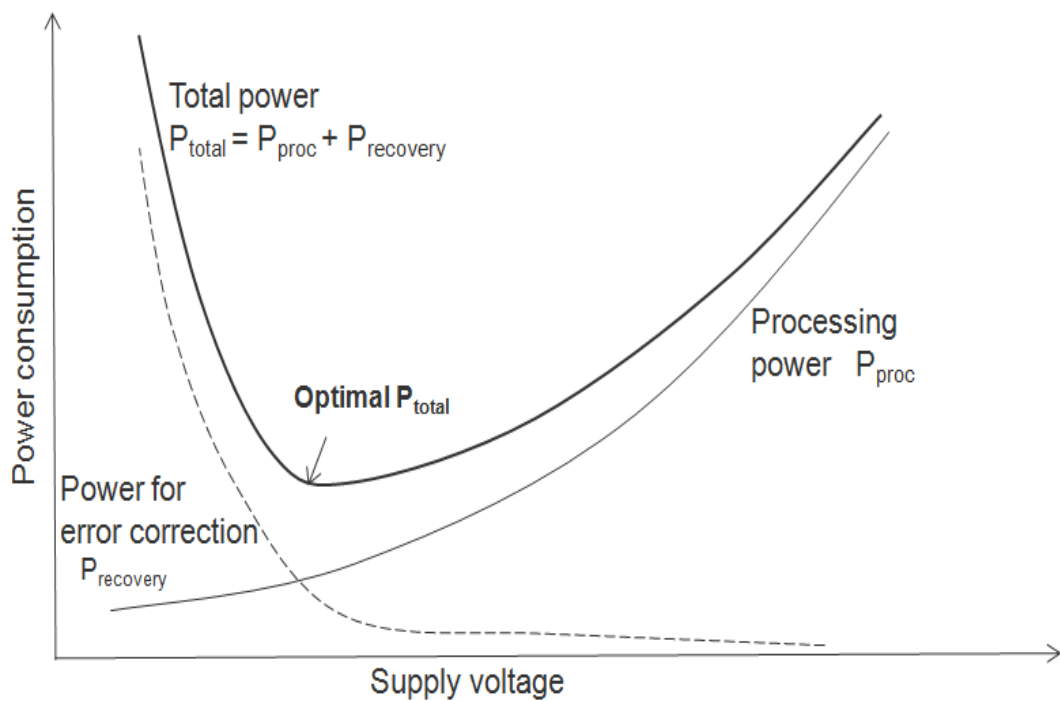
Το σύστημα ελέγχου τάσης προσαρμόζει την τάση τροφοδοσίας βασιζόμενο στον καταγεγραμμένο ρυθμό εμφάνισης λαθών. Το συγκεκριμένο σύστημα χρησιμοποιείται έτσι ώστε να διατηρεί ένα διαρκώς μικρό μη-μηδενικό ποσοστό λαθών. Αυτή η βέλτιστη τιμή της τάσης που επιζητούμε, εξαρτάται από διάφορους παράγοντες, όπως το κόστος της αποκατάστασης λαθών και τις απαιτήσεις απόδοσης του συστήματος. Ανά τακτά χρονικά διαστήματα, διεξάγεται μέτρηση του ρυθμού λαθών. Εάν ο ρυθμός εμφάνισης λαθών είναι χαμηλός, τότε υπάρχει η δυνατότητα να ελαττώσουμε περεταίρω την τάση. Από την άλλη πλευρά, μία αύξηση στο ρυθμό λαθών επιδεικνύει λανθασμένους χρονικούς περιορισμούς, οπότε και η τάση πρέπει να αυξηθεί. Το σύστημα ελέγχου τάσης της Razor τεχνικής φαίνεται στο Σχήμα 3.9. Το  $E_{ref}$  αποτελεί το βέλτιστο ρυθμό εμφάνισης λαθών, με το οποίο συγκρίνεται ο μετρημένος στιγμιαία ρυθμός  $E_{sample}$ . Ο ρυθμιστής τάσης (voltage regulator) προσαρμόζει την τάση τροφοδοσίας ανάλογα με την διαφορά αυτής της σύγκρισης.



Σχήμα 3.9 Σύστημα Ελέγχου Τάσης για την Τεχνική Razor

Διάφορα πειραματικά αποτελέσματα έχουν δείξει ότι τα ενεργειακά κέρδη, που προέρχονται από την μείωση της τάσης τροφοδοσίας σε επίπεδα κάτω από το κρίσιμο σημείο, μπορεί να είναι σημαντικά. Επίσης, η αύξηση του ποσοστού λαθών ταυτόχρονα με την μείωση της τάσης τροφοδοσίας, επιφέρουν αύξηση της κατανάλωσης ισχύος, που απαιτείται για την διόρθωση των λαθών. Κάτω από ένα επίπεδο τροφοδοσίας, η κατανάλωση ενέργειας για διόρθωση μπορεί να είναι μεγαλύτερη από την κατανάλωση ενέργειας για επεξεργασία.

Καταλήγουμε στο συμπέρασμα ότι η βέλτιστη τάση είναι η τάση που οδηγεί σε μία ισορροπία τα ενεργειακά κέρδη από την μειωμένη τάση τροφοδοσίας, με την κατανάλωση ενέργειας για διόρθωση. Το Σχήμα 3.10 δείχνει αυτή τη σχέση μεταξύ της κατανάλωσης ενέργειας με την τάση τροφοδοσίας [15].



Σχήμα 3.10 Ενεργειακά Κέρδη της Τεχνικής Razor

### 3.2. Τεχνική GRAAL

Σε αυτή την ενότητα περιγράφεται η αρχιτεκτονική GRAAL (Global Reliability Architecture Approach for Logic) [16], μία νέα αρχιτεκτονική με ανοχή σε σφάλματα για σχεδιασμούς λογικής που βασίζονται στη χρήση μανδαλωτών. Η αρχιτεκτονική GRAAL έχει ως στόχο να παρέχει στα ολοκληρωμένα κυκλώματα μία συνολική λύση για να μετριάσει την ολοένα και αυξανόμενη κατανάλωση ενέργειας, καθώς και να εξασφαλίσει υψηλή κατασκευαστική απόδοση και αξιοπιστία.

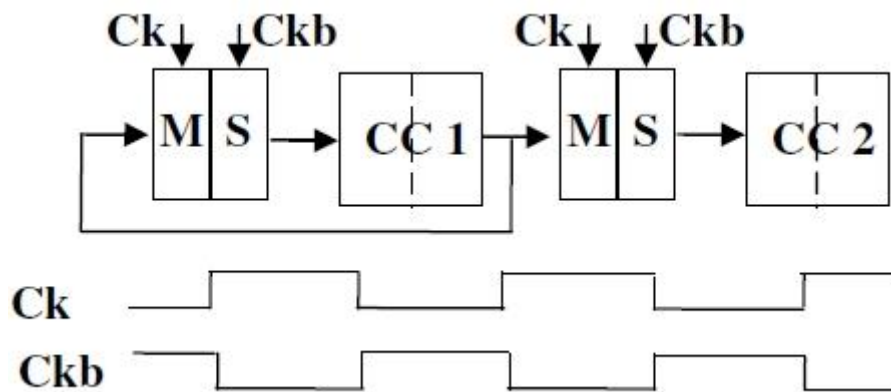
#### 3.2.1. Έρευνα για την Ανοχή Σφαλμάτων

Η έρευνα στον έλεγχο ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων επικεντρώνεται σε αρχιτεκτονικές με ανοχή σε σφάλματα, όπως λάθη χρονισμού ή ήπια λάθη (soft errors) που οφείλονται σε single event-upsets (SEUs) και single event transients (SETs) και επηρεάζουν στοιχεία μνήμης και συνδυαστική λογική αντίστοιχα. Η ιδανική αρχιτεκτονική προστασίας δε θα πρέπει να επιβαρύνει σημαντικά την επιφάνεια του ολοκληρωμένου, την κατανάλωση ενέργειας και την ταχύτητα λειτουργίας. Οι παραδοσιακές αρχιτεκτονικές οι οποίες χρησιμοποιούν πλεόνασμα υλικού για να ανιχνεύσουν λάθη (όπως διπλασιασμό του υλικού), επιφέρουν μεγάλο κόστος σε επιφάνεια πυριτίου και κατανάλωση ισχύος. Επιπλέον, οι παραδοσιακές προσεγγίσεις για ανοχή σφαλμάτων με τη χρήση λογισμικού, οι οποίες επαναλαμβάνουν κάθε λειτουργία (πλεόνασμα χρόνου) ώστε να ανιχνεύσουν παροδικά σφάλματα, επιφέρουν μεγάλη επιβάρυνση σε κατανάλωση ισχύος (η διπλή εκτέλεση μίας λειτουργίας καταναλώνει διπλάσια ενέργεια) και ταχύτητα λειτουργίας (ο ίδιος υπολογισμός απαιτεί διπλάσιο χρόνο).

Η κεντρική ιδέα είναι να αποφύγουμε αυτές τις προσεγγίσεις για ανίχνευση λαθών και αντί αυτού να συγκρίνουμε το αποτέλεσμα από ένα και μοναδικό υπολογισμό σε δύο διαφορετικές χρονικές στιγμές. Από τη στιγμή που ένα τμήμα κυκλώματος (χωρίς διπλότυπο) εκτελεί ένα και μοναδικό υπολογισμό, θεωρητικά η συγκεκριμένη προσέγγιση δε θα απαιτήσει επιπρόσθετο υλικό και ισχύ. Στην πραγματικότητα, χρειάζεται κάποια πρόσθετη επιφάνεια και ενέργεια για να συγκρίνουμε σήματα σε διαφορετικές χρονικές στιγμές, παρόλο που ο σχεδιασμός μπορεί να χρησιμοποιηθεί με τέτοιο τρόπο, ώστε η συνολική ισχύς να έχει χαμηλότερη τιμή από την κανονική

εφαρμογή. Πέραν τούτου, χρειάζεται να παρατηρήσουμε τα σήματα εξόδου σε δύο χρονικές στιγμές οι οποίες απέχουν μεταξύ τους ένα μεγάλο χρονικό διάστημα, για να επιτύχουμε υψηλή ικανότητα για ανοχή σφαλμάτων.

Παρόλα αυτά, κάτι τέτοιο δεν είναι εύκολο να εφαρμοστεί στο παράδειγμα του βασισμένου σε flip-flop σχεδιασμού στο Σχήμα 3.11. Το κύκλωμα αποτελείται από δύο τμήματα συνδυαστικής λογικής (CC1 και CC2) και δύο flip-flops, τα οποία συνθέτονται από μανδαλωτές αφέντη-σκλάβου (master-slave flip-flops). Κατά την θετική ακμή του ρολογιού, οι εξοδοί των CC1 και CC2 συλλαμβάνονται από τους μανδαλωτές-αφέντες, ενώ νέες εισοδοί εφαρμόζονται στα CC1 και CC2. Έτσι αμέσως μετά την θετική ακμή του ρολογιού, οι νέες τιμές των εισόδων αρχίζουν να διαδίδονται στα CC1 και CC2. Οπότε οι εξοδοί των CC1 και CC2 παραμένουν σταθερές για ένα μικρό χρονικό διάστημα (ίσο με τις ελάχιστες καθυστερήσεις των CC1 και CC2). Οπότε κατά τη σύνθεση καθορίζουμε το χρονισμό των CC1 και CC2, ώστε να διασφαλίσουμε ότι τα συντομότερα μονοπάτια έχουν καθυστέρηση μεγαλύτερη από μία συγκεκριμένη τιμή  $\delta$ . Με αυτό τον τρόπο διασφαλίζουμε ότι οι εξοδοί παραμένουν σταθερές για μία περίοδο μεγαλύτερη από  $\delta$ .



Σχήμα 3.11 Σχεδιασμός με Βάση το Flip-Flop

Όμως η τιμή  $\delta$  δεν δύναται να είναι μεγάλη, για να αποφύγουμε πρόσθετη επιφάνεια πυριτίου και κατανάλωση ενέργειας. Επιπλέον, καθώς οι καθυστερήσεις των μονοπατιών επηρεάζονται από διάφορες επεξεργαστικές παραμέτρους και άλλες διακυμάνσεις, οι ελάχιστες καθυστερήσεις των συντομότερων διαδρομών, που υπόκεινται σε αυτές τις παραμέτρους, πρέπει να ληφθούν υπόψη, ώστε να αποφευχθεί



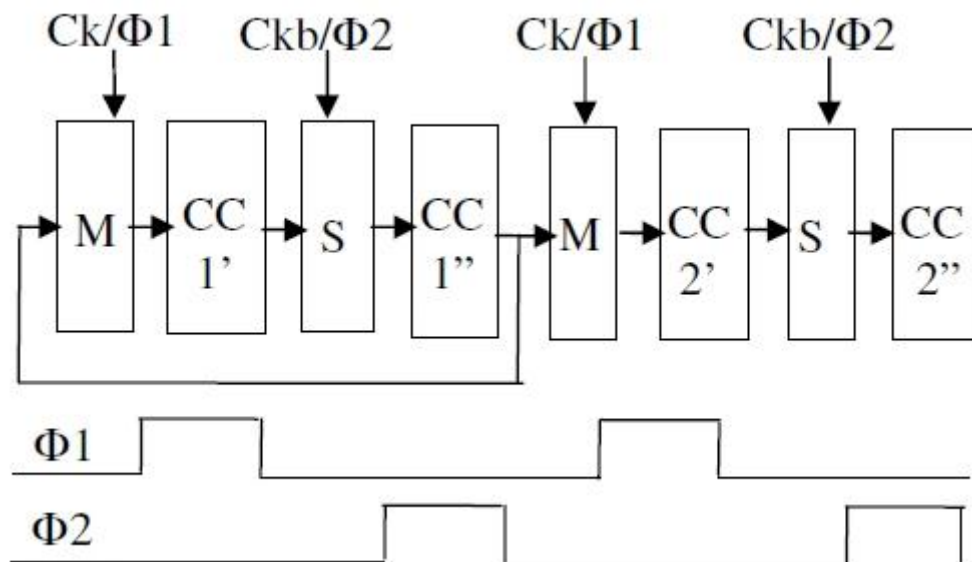
ελαττωματική συμπεριφορά. Κάτι τέτοιο αυξάνει τα κόστη σε επιφάνεια και κατανάλωση ισχύος, τα οποία απαιτούνται για να εγγυηθούμε ότι οι καθυστερήσεις των σύντομων διαδρομών θα υπερβούν μία δεδομένη τιμή  $\delta$ .

Σε προηγούμενη ενότητα αναφέραμε την αρχιτεκτονική Razor, η οποία παρουσιάζει διάφορα προβλήματα. Για παράδειγμα εάν ανιχνευθεί ένα λάθος σε ένα στάδιο της δομής διοχέτευσης, η Razor τεχνική χρησιμοποιεί το σκιάδι μανδαλωτή του ίδιου σταδίου για να διορθώσει το λάθος. Σαν συνέπεια, η διόρθωση λαθών δε λειτουργεί για SEUs, SETs και οποιοδήποτε άλλο σφάλμα ενός μανδαλωτή. Μία λύση στα προβλήματα της Razor τεχνικής είναι η χρήση διαφορετικών χρονικών διαστημάτων για την εκτέλεση των υπολογισμών σε παρακείμενα στάδια της δομής διοχέτευσης. Έτσι όταν ένα στάδιο υπολογίζει, το παρακείμενο στάδιο βρίσκεται σε αδράνεια και οι έξοδοί του παραμένουν σταθερές, επιτρέποντας στην τεχνική να ελέγξει για προσωρινά σφάλματα. Κάτι τέτοιο έρχεται σε σύγκρουση με τον σχεδιασμό με βάση το flip-flop του Σχήματος 3.11, όπου τα δύο παρακείμενα στάδια CC1 και CC2 εκτελούν υπολογισμούς ταυτόχρονα. Παρόλα αυτά, μία πιο προσεκτική ματιά στο Σχήμα 3.11 μας υποδεικνύει ότι οι μανδαλωτές αφέντη και σκλάβου οδηγούνται από τις αντίθετες φάσεις του σήματος ρολογιού, οπότε εκτελούν υπολογισμούς σε διαφορετικά χρονικά διαστήματα. Μπορούμε να εκμεταλλευτούμε αυτό το γεγονός για να τροποποιήσουμε το κύκλωμα του Σχήματος 3.11 και να πετύχουμε το στόχο μας.

Η τροποποίηση μας οδηγεί στον σχεδιασμό του Σχήματος 3.12. Οι μανδαλωτές σκλάβοι μετακινούνται εντός των κυκλωμάτων συνδυαστικής λογικής CC1 και CC2 με τη βοήθεια τεχνικών επαναχρονισμού. Οι μανδαλωτές αφέντες οδηγούνται από ένα σήμα ρολογιού Φ1 και παραμένουν διαφανή όταν το Φ1 βρίσκεται σε λογικό '1'. Οι μανδαλωτές σκλάβοι οδηγούνται από ένα σήμα ρολογιού Φ2 και παραμένουν διαφανή κατά τη διάρκεια που το Φ2 βρίσκεται σε λογικό '1'. Σε μία ιδανική περίπτωση, κάθε κρίσιμη διαδρομή θα διαμεριστεί με τέτοιο τρόπο ώστε το μισό της καθυστέρησής τους θα βρίσκεται στο πρώτο μέρος ενός τμήματος συνδυαστικής λογικής (CC1'), ενώ το δεύτερο μισό της καθυστέρησης θα βρίσκεται στο δεύτερο μέρος του τμήματος λογικής (CC1''). Έτσι η καθυστέρηση του κάθε τμήματος στο

Σχήμα 3.12 δε θα υπερβεί το μισό της καθυστέρησης κάθε τμήματος στο Σχήμα 3.11. Στην χειρότερη περίπτωση, όλα τα τμήματα στο Σχήμα 3.12 θα έχουν καθυστέρηση ίση με το μισό της κρίσιμης καθυστέρησης των τμημάτων του Σχήματος 3.11. Δηλαδή ο χρόνος που διατίθεται σε όλα τα τμήματα  $CCi'$  θα αρχίζει από τη μέση της στάθμης του λογικού '1' του  $\Phi1$  έως τη μέση της στάθμης του λογικού '1' του  $\Phi2$ . Οπότε μπορούμε να χρησιμοποιήσουμε σήματα ρολογιού στο Σχήμα 3.12 με περίοδο ίση με την περίοδο του σήματος ρολογιού στο Σχήμα 3.11.

Παρόλα αυτά, εάν στο Σχήμα 3.11 κάποια τμήματα έχουν καθυστέρηση μικρότερη από την κρίσιμη, στο Σχήμα 3.12 κάποια τμήματα θα έχουν καθυστέρηση μικρότερη από το μισό της κρίσιμης. Σε αυτή την περίπτωση, ένα τμήμα θα μπορούσε να δανειστεί χρόνο υπολογισμού από ένα άλλο τμήμα με αποτέλεσμα το κύκλωμα να λειτουργεί σε μεγαλύτερες συχνότητες. Για παράδειγμα, εάν τα τμήματα  $CC2'$  και  $CC2''$  είναι κρίσιμα και το  $CC1''$  τελειώνει τον υπολογισμό του πριν από το μέσο της στάθμης του λογικού '1' του ρολογιού  $\Phi2$ , το τμήμα  $CC2'$  θα αρχίσει τον υπολογισμό του νωρίτερα και θα μπορούσε να τον τελειώσει νωρίτερα, αφήνοντας με τη σειρά του κάποιο πρόσθετο χρόνο υπολογισμού για το  $CC2''$ .



Σχήμα 3.12 Σχεδιασμός με Βάση το Μανδαλωτή

Πρέπει να μεγιστοποιήσουμε τα χρονικά διαστήματα κατά τα οποία τα σήματα κάθε σταδίου διατηρούν σταθερές τιμές, ώστε να μεγιστοποιήσουμε την ικανότητα για ανοχή του κυκλώματος σε σφάλματα. Για να επιτευχθεί κάτι τέτοιο, θα χρησιμοποιήσουμε δύο σήματα ρολογιού Φ1 και Φ2 με σημαντικά μη-επικαλυπτόμενες περιόδους. Ας υποθέσουμε ότι η υψηλή στάθμη (λογικό '1') των Φ1 και Φ2 αντιπροσωπεύει το 25% της περιόδου ρολογιού, αφήνοντας έτσι 25% μη-επικαλυπτόμενης περιόδου μεταξύ των δύο ρολογιών. Η συγκεκριμένη επιλογή περιορίζει το μέγιστο χρόνο υπολογισμού, τον οποίο ένα τμήμα μπορεί να δανειστεί από ένα άλλο τμήμα, σε 12,5% της περιόδου του ρολογιού (το μισό της υψηλής στάθμης κάθε ρολογιού), αλλά στον αντίποδα επιτρέπει μία υψηλότερη ικανότητα διόρθωσης λαθών και μία καλύτερη ανοχή σε διακυμάνσεις του ρολογιού (clock skews). Σε έναν επιθετικό σχεδιασμό με μικρές μη-επικαλυπτόμενες περιόδους ρολογιού, διαδοχικά στάδια από μανδαλωτές μπορεί να γίνουν ταυτόχρονα διαφανή από μικρές διακυμάνσεις του ρολογιού. Σε αυτό το σημείο, η έρευνα για μία ιδανική αρχιτεκτονική με ανοχή σε σφάλματα μας οδηγεί σε ένα σχεδιασμό με βάση το μανδαλωτή που χρησιμοποιεί μη-επικαλυπτόμενα ρολόγια.

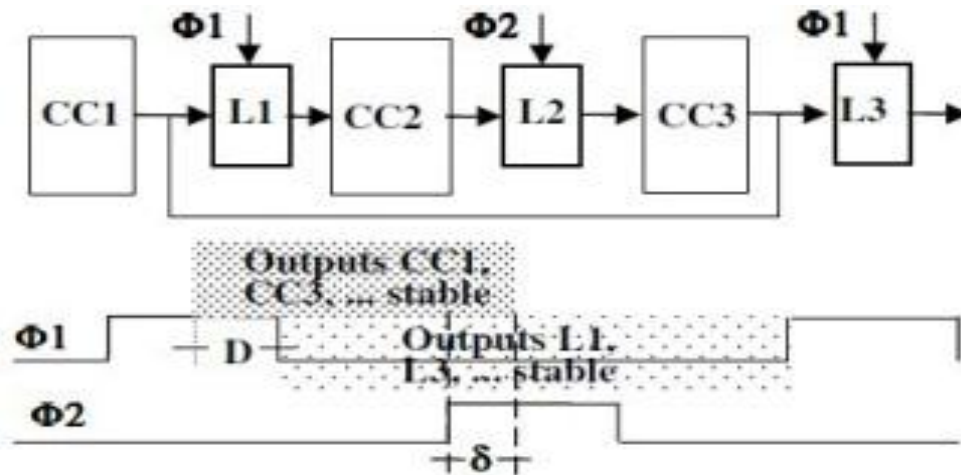
Έπειτα, όσον αφορά τα προβλήματα με την τεχνική Razor, στο Σχήμα 3.11 παρατηρούμε ότι τα περιεχόμενα (δεδομένα) των μανδαλωτών-σκλάβων αποκτώνται από τα περιεχόμενα των μανδαλωτών-αφεντών. Στη συνέχεια, τα περιεχόμενα των μανδαλωτών-αφεντών αποκτώνται από τα περιεχόμενα των μανδαλωτών-σκλάβων ύστερα από την διάδοση μέσα από το συνδυαστικό κύκλωμα. Με αυτό τον τρόπο, όπως βλέπουμε στο τροποποιημένο κύκλωμα του Σχήματος 3.12, τα περιεχόμενα των μανδαλωτών του ενός σταδίου αποκτώνται από τα επεξεργασμένα περιεχόμενα των μανδαλωτών του προηγούμενου σταδίου. Πιο συγκεκριμένα, για την αποκατάσταση των δεδομένων ολόκληρου του κυκλώματος απαιτείται η χρήση των δεδομένων ή μόνο των M μανδαλωτών ή μόνο των S μανδαλωτών. Δηλαδή, όταν ένα λάθος ανιχνεύεται σε έναν M (S) μανδαλωτή, χρησιμοποιούμε τις αποθηκευμένες τιμές στον S (M) μανδαλωτή για να διορθώσουμε το λάθος. Έτσι αποφεύγουμε τη χρήση λανθασμένων δεδομένων για διόρθωση λαθών. Μία τέτοια λύση δε θα μπορούσε να εφαρμοστεί σε έναν σχεδιασμό βασισμένο σε flip-flop, λόγω του ότι τα δεδομένα

όλων των σταδίων αλλάζουν ταυτόχρονα αντικαθιστώντας τα δεδομένα, που χρειάζονται για διόρθωση λαθών, με νέα δεδομένα.

### 3.2.2. Σχεδιασμός GRAAL για Ανοχή Σφαλμάτων

Στο Σχήμα 3.13 βλέπουμε ένα απλό κύκλωμα όπου υλοποιείται ένας σχεδιασμός με χρήση μανδαλωτών καθώς και με τη χρήση μη-επικαλυπτόμενων σημάτων ρολογιού. Η κεντρική ιδέα είναι να εκμεταλλευτούμε τις έμφυτες δυνατότητες αυτού του σχεδιαστικού τρόπου, που παρουσιάσαμε προηγουμένως, ώστε να βελτιστοποιήσουμε την ανοχή σφαλμάτων. Παρατηρούμε ότι διαδοχικά στάδια της δομής διοχέτευσης οδηγούνται από δύο μη-επικαλυπτόμενα ρολόγια (Φ1 και Φ2). Κατά τη διάρκεια της υψηλής στάθμης του ρολογιού Φ1, οι μανδαλωτές των περιττών σταδίων (L1, L3 κτλ.) μένουν σε διαφάνεια και διαδίδουν την τιμή από την είσοδο στην έξοδό τους. Αντίθετα, κατά τη διάρκεια της χαμηλής στάθμης του Φ1, εμποδίζεται η λειτουργία των μανδαλωτών (κατάσταση μνήμης) και αποθηκεύεται η τιμή στην είσοδό τους λίγο πριν από την αρνητική ακμή του Φ1.

Ο σχεδιασμός αυτού του είδους διαθέτει τα ακόλουθα χαρακτηριστικά. Αρχικά, για την ορθή λειτουργία του κυκλώματος, η συχνότητα του ρολογιού πρέπει να είναι τέτοια ώστε η αρνητική ακμή του Φ1 να καταφθάνει ύστερα από τη χρονική στιγμή που τα σήματα εξόδου των περιττών συνδυαστικών τμημάτων (CC1, CC3 κτλ.) βρίσκονται σε μία σταθερή κατάσταση. Στο Σχήμα 3.13 βλέπουμε την καθυστέρηση (D) μεταξύ αυτής της χρονικής στιγμής και της αρνητικής ακμής του Φ1. Πέραν τούτου, οι μανδαλωτές των αρτίων σταδίων (L2, L4 κτλ.) εμποδίζονται κατά τη διάρκεια της χαμηλής στάθμης του Φ2. Με αυτό τον τρόπο οι έξοδοι αυτών των μανδαλωτών σταθεροποιούνται κατά τη διάρκεια της χαμηλής στάθμης του Φ2. Επιπρόσθετα, οι είσοδοι των περιττών συνδυαστικών τμημάτων (CC1, CC3 κτλ.) παραμένουν σταθερές μέχρι την αρνητική ακμή του Φ2. Στη συνέχεια οι έξοδοι των ίδιων συνδυαστικών τμημάτων είναι σταθερές τουλάχιστον μέχρι τη θετική ακμή του Φ2. Όπως μπορούμε να παρατηρήσουμε στο Σχήμα 3.13, οι έξοδοι θα παραμείνουν σταθερές για μία χρονική διάρκεια  $\delta$  ίση με την ελάχιστη καθυστέρηση του τμήματος.

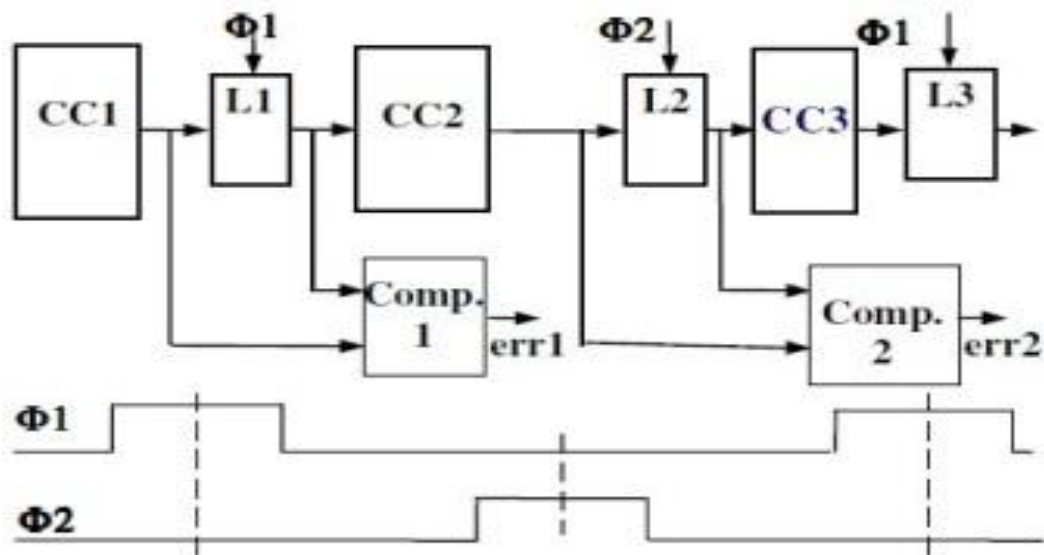


Σχήμα 3.13 Σχεδιασμός με Βάση το Μανδαλωτή

### 3.2.3. Αρχιτεκτονική Ανίχνευσης Λαθών

Στο Σχήμα 3.13 υποθέτουμε ότι η υψηλή στάθμη των σημάτων ρολογιού  $\Phi 1$  και  $\Phi 2$  αντιπροσωπεύει το 25% της περιόδου  $T$ . Έτσι μπορούμε να συγκρίνουμε τις εξόδους των  $CC1$ ,  $CC3$  κτλ. με τις εξόδους των περιττών μανδαλωτών  $L1$ ,  $L3$  κτλ. αντίστοιχα μέχρι μία χρονική περίοδο ίση με  $0,25T + \delta$ , ύστερα από τη χρονική στιγμή όπου οι μανδαλωτές  $L1$ ,  $L3$  κτλ. περνούν σε κατάσταση μνήμης. Κάτι παρόμοιο συμβαίνει και με τα άρτια στάδια.

Έτσι οδηγούμαστε στην εφαρμογή του Σχήματος 3.14. Παρατηρούμε ότι αυτός ο σχεδιασμός για ανίχνευση λαθών διαθέτει σημαντικά πλεονεκτήματα. Πρώτα από όλα έχουμε χαμηλό πρόσθετο κόστος σε επιφάνεια, διότι χρησιμοποιείται μόνο μία πύλη XOR δύο εισόδων ανά έξοδο κυκλώματος και πρόσθετα μία πύλη OR για την συμπίεση των εξόδων όλων των XORs σε ένα και μοναδικό σήμα ανίχνευσης λάθους. Επιπλέον ανιχνεύονται όλα τα σφάλματα χρονισμού και τα παροδικά σφάλματα (SETs) με διάρκεια ίση με  $D + 0,25T + \delta$ , όπου το  $\delta$  είναι η ελάχιστη καθυστέρηση του ελεγχόμενου συνδυαστικού τμήματος, ενώ το  $D$  είναι ο χρόνος που μεσολαβεί μεταξύ της χρονικής στιγμής που τα σήματα εξόδου των περιττών συνδυαστικών τμημάτων ( $CC1$ ,  $CC3$  κτλ.) βρίσκονται σε μία σταθερή κατάσταση και της αρνητικής ακμής του  $\Phi 1$ . Εκτός τούτου, ανιχνεύονται διάφορα σφάλματα που επηρεάζουν τους μανδαλωτές (SEUs και άλλα σφάλματα μανδαλωτή).



Σχήμα 3.14 Σχεδιασμός Ανίχνευσης Λαθών με Βάση το Μανδαλωτή

Η τιμή του  $D$  εξαρτάται από τον τρόπο που οι καθυστερήσεις κατανέμονται στα διαδοχικά στάδια της δομής διοχέτευσης. Η απλούστερη περίπτωση είναι όταν οι καθυστερήσεις κατανέμονται ομοιόμορφα. Εν τω προκειμένω, η καθυστέρηση του κάθε σταδίου θα ισούται με το μισό της περιόδου ρολογιού. Έτσι τα δεδομένα στις εξόδους των περιττών μανδαλωτών είναι έτοιμα στο μέσον της υψηλής στάθμης του  $\Phi 1$  και τα δεδομένα στις εξόδους των άρτιων μανδαλωτών είναι έτοιμα στο μέσον της υψηλής στάθμης του  $\Phi 2$ . Σε αυτή την περίπτωση η τιμή του  $D$  θα είναι  $0.125T$  και ο σχεδιασμός θα ανιχνεύει σφάλματα χρονισμού και παροδικά σφάλματα με διάρκεια ίση με  $0.375T$ .

Στην πραγματικότητα τα περισσότερα στάδια θα έχουν καθυστέρηση που δεν υπερβαίνει την μισή περίοδο ρολογιού. Μερικά στάδια δύναται να έχουν καθυστέρηση που υπερβαίνει το μισή περίοδο ρολογιού. Κάτι τέτοιο συμβαίνει μόνο εάν εκμεταλλευτούμε την αρχή του δανεισμού χρόνου (time borrowing), ώστε να αυξήσουμε τη συχνότητα ρολογιού. Στα προηγούμενα στάδια, η διάρκεια των ανιχνεύσιμων σφαλμάτων θα είναι μεγαλύτερη από  $0.375T$ . Στα επόμενα στάδια, η διάρκεια των ανιχνεύσιμων σφαλμάτων θα είναι μεγαλύτερη από  $0.25T$  και μικρότερη από  $0.375T$ . Σε σχεδιασμούς που χρησιμοποιούν δανεισμό χρόνου, η

καθυστέρηση ίση με 0.375T θα αντιστοιχεί σε στάδια με μέση καθυστέρηση (0.5T). Οπότε αυτή η περίπτωση μπορεί να θεωρηθεί ως τυπική.

Έτσι εξάγουμε τα αποτελέσματα που αφορούν την τυπική περίπτωση ενός σταδίου δομής διοχέτευσης (στάδια με καθύστερηση ίση με 0.5T). Αρχικά επιτυγχάνεται ανοχή σε διακυμάνσεις του ρολογιού, δηλαδή ο σχεδιασμός με βάση το μανδαλωτή μπορεί να ανεχθεί εγγενώς διακυμάνσεις του ρολογιού που είναι ίσες με 12.5% της περιόδου των Φ1 και Φ2. Επιπρόσθετα, επιτυγχάνεται ανίχνευση των διακυμάνσεων του ρολογιού, οι οποίες είναι μεγαλύτερες από 12.5% της περιόδου ρολογιού των σημάτων Φ1 και Φ2. Οι συγκεκριμένες διακυμάνσεις του ρολογιού ανιχνεύονται κάθε φορά που παράγουν λανθασμένες αποκρίσεις. Έπειτα η σύγκριση στα άρτια στάδια εκτελείται κατά τη θετική ακμή του Φ2. Έτσι θα χρησιμοποιήσουμε το σήμα ρολογιού Φ2 για να δειγματοληπτήσει το σήμα  $\text{err}2$ .

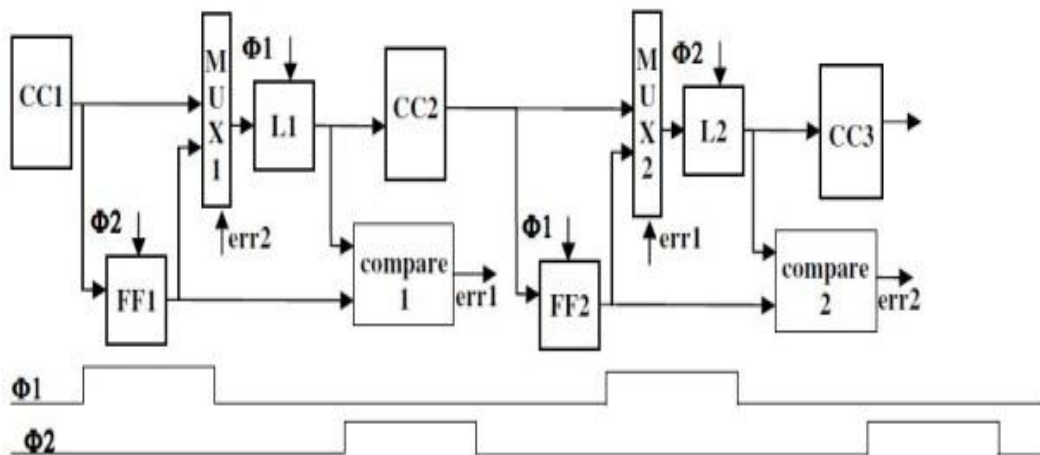
Αυτό μπορεί να επιτευχθεί με την απευθείας χρήση του Φ2 ή με την επιπρόσθετη καθυστέρηση αυτού του σήματος, συνυπολογίζοντας την καθυστέρηση του συγκριτή (comp. 2). Εάν, λόγω ενός skew, η θετική ακμή του σήματος ρολογιού που δειγματοληπτεί το σήμα  $\text{err}2$  καθυστερήσει περισσότερο από D-CC2 (η μικρότερη καθυστέρηση του CC2), οι έξοδοι του CC2 μπορούν να αλλάξουν τιμή και η σύγκριση να οδηγήσει σε μία ανίχνευση λάθους. Εάν αυτή τη θετική ακμή συμβεί νωρίτερα από ότι περιμένουμε, δε θα ανιχνευθεί κανένα λάθος. Σαν συνέπεια έχουμε τη μείωση του χρονικού διαστήματος που είναι διαθέσιμο για τον έλεγχο του σταδίου 2, κάτι που οδηγεί στη μείωση της διάρκειας των ανιχνεύσιμων παροδικών λαθών και λαθών χρονισμού.

#### *3.2.4. Αρχιτεκτονική Ανίχνευσης και Διόρθωσης Λαθών*

Η ανίχνευση λαθών μπορεί να επαρκεί για πολλές εφαρμογές, όπως για παράδειγμα σε κρυπτογραφικά κυκλώματα. Σε άλλες εφαρμογές απαιτείται αποκατάσταση λαθών από το σύστημα. Η αποκατάσταση μπορεί να βασίζεται σε μία απλή επανεκκίνηση του συστήματος. Επιπρόσθετα, μπορούμε να ελέγξουμε την επαναλαμβανόμενη ανίχνευση λαθών και να ελαττώσουμε τη συχνότητα λειτουργίας, ή/και να αυξήσουμε

την τάση τροφοδοσίας, με σκοπό να εξαλείψουμε ενδεχόμενα σφάλματα χρονισμού, τα οποία οδηγούν σε συχνές διακοπές της κανονικής λειτουργίας με μεγάλο χρόνο αποκατάστασης λαθών. Υπάρχουν όμως εφαρμογές όπου απαιτείται η γρήγορη αποκατάσταση λαθών. Σε αυτές τις περιπτώσεις μια αρχιτεκτονική που υποστηρίζει την ανοχή σφαλμάτων (fault-tolerant) θα πρέπει να περιλαμβάνει μηχανισμούς ικανούς να εκτελέσουν γρήγορη διόρθωση λαθών.

Μία λύση είναι να χρησιμοποιήσουμε πρόσθετους μανδαλωτές ή flip-flops για να εφαρμόσουμε τοπική διόρθωση λαθών, παρόμοια με το Razor σχεδιασμό. Στο Σχήμα 3.15 βλέπουμε έναν από τους πιθανούς σχεδιασμούς για ανίχνευση και αποκατάσταση λαθών που σχετίζεται με την προσέγγιση GRAAL. Σε αυτόν το σχεδιασμό η χρήση πρόσθετων flip-flops επιτρέπει την υψηλότερη ικανότητα ανίχνευσης και διόρθωσης λαθών. Εάν απαιτείται χαμηλότερη ικανότητα, χρησιμοποιούμε πρόσθετους μανδαλωτές στη θέση των flip-flops.



Σχήμα 3.15 Σχεδιασμός για Ανίχνευση και Αποκατάσταση Λαθών

Στο Σχήμα 3.15 βλέπουμε ότι οι έξοδοι των περιττών/άρτιων συνδυαστικών κυκλωμάτων αποθηκεύονται από περιττούς/άρτιους μανδαλωτές κατά την αρνητική ακμή των  $\Phi_1/\Phi_2$ . Τα ίδια δεδομένα αποθηκεύονται από περιττά/άρτια flip-flops. Εάν δε χρησιμοποιήσουμε περιορισμούς ελάχιστης διαδρομής κατά τη σύνθεση των συνδυαστικών τμημάτων λογικής, τότε θα ενεργοποιήσουμε την αποθήκευση κατά την επόμενη θετική ακμή των  $\Phi_2/\Phi_1$ , όπως φαίνεται στο Σχήμα 3.15. Επίσης μπορούμε να επιβάλουμε τον περιορισμό όπου η καθυστέρηση των ελάχιστων



διαδρομών ξεπερνά το 0.25T, κατά τη διάρκεια της σύνθεσης. Σε αυτή την περίπτωση θα ενεργοποιήσουμε αυτή την αποθήκευση κατά την επόμενη αρνητική ακμή των  $\Phi_2/\Phi_1$ .

Τα σήματα ένδειξης λάθους  $err1$  και  $err2$  διασταυρώνονται για να ελέγξουν τους πολυπλέκτες, δηλαδή οι πολυπλέκτες των περιττών/άρτιων σταδίων ελέγχονται από τα σήματα ένδειξης λάθους των άρτιων/περιττών σταδίων ( $err2/err1$ ). Σε συνθήκες απουσίας λάθους, αυτά τα σήματα έχουν λογική τιμή '0' και οι έξοδοι των συνδυαστικών κυκλωμάτων συνδέονται στις εισόδους των αντίστοιχων μανδαλωτών. Σε περίπτωση ανίχνευσης λάθους σε ένα άρτιο/περιττό στάδιο, εκτελείται διόρθωση λαθών σύμφωνα με τα ακόλουθα βήματα:

- Η ενεργοποίηση του σήματος ένδειξης λάθους  $err2/err1$  αποτρέπει τα περιττά/άρτια flip-flops να συλλάβουν νέα δεδομένα κατά την επόμενη θετική ακμή των  $\Phi_2/\Phi_1$ . Ο χρόνος που μεσολαβεί μεταξύ της θετικής ακμής των  $\Phi_1/\Phi_2$ , όπου τα άρτια/περιττά flip-flops συλλαμβάνουν δεδομένα, και της θετικής ακμής των  $\Phi_2/\Phi_1$ , όπου τα περιττά/άρτια flip-flops συλλαμβάνουν δεδομένα, είναι ικανός για την εκτέλεση των συγκρίσεων στα άρτια/περιττά στάδια και για την εμπόδιση δειγματοληψίας των περιττών/άρτιων flip-flops (παγώνει το σήμα ρολογιού τους στο '0'). Ο χρόνος αυτός ισούται με το χρόνο που διατίθεται σε κάθε στάδιο της δομής διοχέτευσης για την εκτέλεση των υπολογισμών του.
- Το σήμα ένδειξης λάθους  $err2/err1$  ελέγχει τους περιττούς/άρτιους πολυπλέκτες, για να μεταφέρουν τα περιεχόμενα των περιττών/άρτιων flip-flops στους περιττούς/άρτιους μανδαλωτές. Κατά την αρνητική ακμή των  $\Phi_1/\Phi_2$  που ακολουθεί την «παγωμένη» φάση των  $\Phi_2/\Phi_1$ , τα δεδομένα αποθηκεύονται από τους περιττούς/άρτιους μανδαλωτές. Τα άρτια/περιττά συνδυαστικά κυκλώματα λαμβάνουν αυτά τα δεδομένα για να εκτελέσουν τους υπολογισμούς τους.
- Τα αποτελέσματα των υπολογισμών των άρτιων/περιττών συνδυαστικών κυκλωμάτων συλλαμβάνονται από άρτιους/περιττούς μανδαλωτές κατά την

επόμενη αρνητική ακμή των  $\Phi_2/\Phi_1$ . Σε αυτό το στιγμιότυπο, τα περιεχόμενα όλων των μανδαλωτών (άρτιοι και περιττοί) επαναφέρονται στις σωστές τιμές που έπρεπε να έχουν, κατά τον κύκλο ρολογιού που συνέβη το λάθος. Εφόσον η ανίχνευση λαθών σε ένα περιττό/άρτιο στάδιο χρησιμοποιεί τα δεδομένα των άρτιων/περιττών σταδίων για αποκατάσταση λαθών, αυτός ο σχεδιασμός, εκτός από σφάλματα χρονισμού, ανέχεται και σφάλματα μετάβασης (SEUs) καθώς και άλλα σφάλματα που σχετίζονται με flip-flops και μανδαλωτές.

Με την προϋπόθεση ότι η μισή περίοδος ρολογιού επαρκεί για τον υπολογισμό του περιττού/άρτιου λάθους και για το πάγωμα της κατάστασης των περιττών/άρτιων flip-flops τη στιγμή που πρέπει, όλα τα ανιχνεύσιμα λάθη μπορούν να διορθωθούν, καθώς μη λανθασμένα δεδομένα χρησιμοποιούνται για να εκτελέσουν τη διόρθωση. Η διόρθωση λαθών μπορεί να είναι καθολική, δηλαδή τα σήματα ένδειξης λάθους όλων των περιττών/άρτιων σταδίων συμπίεζονται σε ένα καθολικό σήμα ένδειξης λάθους ERR1/ERR2. Όταν το σήμα ERR1/ERR2 ενεργοποιείται (λογικό '1'), οι πολυπλέκτες όλων των άρτιων/περιττών σταδίων ελέγχονται για να χρησιμοποιήσουν τα περιεχόμενα των flip-flops όλων των άρτιων/περιττών σταδίων, ώστε να επαναυπολογίσουν την κατάσταση ολόκληρου του κυκλώματος.

Εάν ο χρόνος που διατίθεται για τον υπολογισμό του ERR1/ERR2 σήματος και για την εμπόδιση των περιττών/άρτιων flip-flops ολόκληρου του κυκλώματος (μισή περίοδος ρολογιού) δεν επαρκεί, η διόρθωση λαθών μπορεί να εκτελεστεί τοπικά. Τότε η κατάσταση ολόκληρου του κυκλώματος μπορεί να επανέλθει με τη χρήση τεχνικών counterflow pipelining, όπως γίνεται στην τεχνική Razor. Αυτού του είδους η τεχνική μπορεί να εφαρμοστεί σε αρχιτεκτονικές που αφορούν επεξεργαστές [16].

### 3.3. Τεχνική Elastic

Με την εξέλιξη της CMOS τεχνολογίας, η προσπάθεια για αύξηση της απόδοσης επηρεάζεται σημαντικά από το όριο που τίθεται για την καταναλισκόμενη ισχύ. Εκτός τούτου, η μείωση της επιφάνειας των ψηφιακών κυκλωμάτων επιφέρει μεγάλες διακυμάνσεις στην κατασκευαστική διαδικασία, και παρόμοιες διακυμάνσεις παρατηρούνται στην τροφοδοσία και στη θερμοκρασία, κάτι που συνεπάγεται επιπλέον χρονικό και ενεργειακό κόστος.

Αυτές οι διακυμάνσεις δύναται να αντιμετωπιστούν, εισάγοντας καθυστέρηση στο κύκλωμα με κατάλληλα χρονικά περιθώρια ασφάλειας. Εξαιτίας της αβεβαιότητας για αυτές τις διακυμάνσεις, οι σχεδιαστές αναγκάζονται να χρησιμοποιήσουν μεγάλα περιθώρια ασφάλειας, ώστε να εξασφαλίσουν την ορθή λειτουργία των κυκλωμάτων ακόμα και στις χειρότερες συνθήκες (worst case scenario). Τέτοιες κινήσεις οδηγούν σε μία πιο δύσκολη περάτωση του χρονισμού, καθώς και αυξημένη κατανάλωση ενέργειας. Από τη μία πλευρά, η πιθανότητα για ένα σενάριο χειρίστων συνθηκών είναι πολύ μικρή. Από την άλλη, καταναλώνουμε συνεχώς επιπλέον ενέργεια, η οποία απαιτείται για τη διατήρηση των περιθωρίων ασφαλείας. Προφανώς, δε θα ήταν θεμιτή η κατανάλωση μεγάλης ποσότητας ενέργειας. Πρόσφατα, έχουν αναπτυχθεί διάφορες στατιστικές μέθοδοι για να αποφευχθεί αυτή η υπερβολή στα περιθώρια ασφαλείας. Παρόλα αυτά, μεγάλα τμήματα των περιθωρίων ασφαλείας διατηρούνται, ούτως ώστε να προφυλαχθεί το κύκλωμα τουλάχιστον από άσχημες διακυμάνσεις της κατασκευαστικής διαδικασίας, της τροφοδοσίας και της θερμοκρασίας.

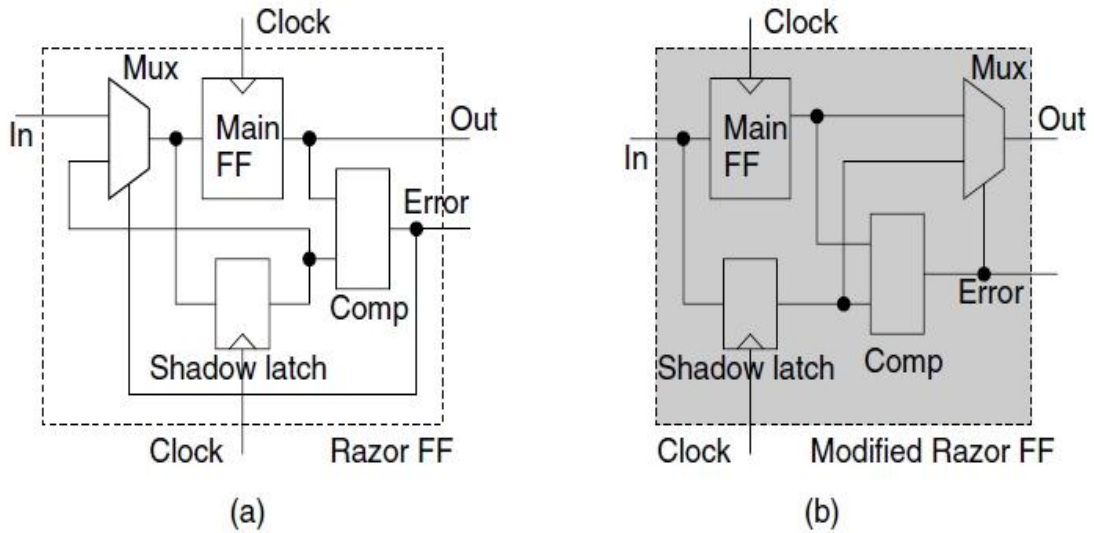
Η τεχνική Razor αποτελεί μία σημαντική λύση, η οποία, όπως έχει περιγραφεί σε προηγούμενη ενότητα, μειώνει δραστικά την κατανάλωση ενέργειας σε προσεγγίσεις με χρονικά περιθώρια ασφαλείας. Σε πραγματικά συστήματα, παρόλα αυτά, οι πρόσθετες καθυστερήσεις της δομής διοχέτευσης (pipeline) πρέπει να αποφεύγονται όσο το δυνατό περισσότερο. Σε αυτή την ενότητα προτείνεται ο Elastic σχεδιασμός χρονισμού (elastic timing scheme) [17], ο οποίος δύναται να διορθώσει τα διάφορα λάθη χρονισμού, χωρίς να υπάρχει πρόσθετη καθυστέρηση ή εκκαθάριση (flushing) των δεδομένων της δομής διοχέτευσης.

Το βασικό κλειδί αυτού του σχεδιασμού είναι η δυναμική ώθηση της ταχύτητας λειτουργίας (dynamic speed boosting). Στην κανονική λειτουργία του συστήματος, το κύκλωμα λειτουργεί με σχετικά χαμηλή κατανάλωση ενέργειας. Όταν ανιχνευθεί ένα λάθος χρονισμού, μερικά τμήματα του κυκλώματος λειτουργούν προσωρινά σε υψηλότερες ταχύτητες, ώστε το χρονικό έλλειμμα λόγω του λάθους να αντισταθμιστεί. Για να ελαχιστοποιηθεί η αύξηση της κατανάλωσης εξαιτίας της ώθησης της ταχύτητας λειτουργίας, ενσωματώνεται η τεχνική της μετατόπισης της άφιξης ρολογιού (clock skew shifting) στον Elastic σχεδιασμό χρονισμού. Ο σχεδιασμός αυτός έχει τη δυνατότητα να ανεχθεί πολλαπλά ταυτόχρονα λάθη χρονισμού.

### 3.3.1. Σχεδιασμός Elastic για Διόρθωση Λαθών Χρονισμού

Ο στόχος αυτού του σχεδιασμού είναι να ξεπεραστούν οι περιορισμοί που θέτει η Razor τεχνική, ούτως ώστε να υπάρξει χρήση των πλεονεκτημάτων της τεχνικής γενικότερα σε όλα τα ακολουθιακά κυκλώματα ή σε κυκλώματα με δομές διοχέτευσης. Αξίζει να σημειωθεί ότι η ανίχνευση ενός λάθους χρονισμού λειτουργεί παρόμοια με την τεχνική Razor. Η κεντρική ιδέα του Elastic σχεδιασμού χρονισμού είναι ότι αφήνεται το σωστό σήμα να «κυνηγήσει» και να ανταγωνιστεί το λανθασμένο σήμα, χωρίς να χρειάζεται η δομή διοχέτευσης αναστολή της λειτουργίας της ή εκκαθάριση. Για να συμβεί κάτι τέτοιο, τροποποιήθηκε η δομή του Razor Flip-Flop, όπως φαίνεται στο Σχήμα 3.16(β).

Σύμφωνα με το τροποποιημένο Razor Flip-Flop, ύστερα από την ανίχνευση του λάθους, το σωστό σήμα της λογικής αποστέλλεται ξανά στην έξοδο του flip-flop, σε αντίθεση με την Razor τεχνική, όπου το σωστό σήμα αποστέλλόταν στην είσοδο του flip-flop. Εν συνεχεία, το σωστό σήμα της λογικής θα διαδοθεί στο επόμενο στάδιο της συνδυαστικής λογικής στον ίδιο κύκλο ρολογιού, που το λανθασμένο σήμα προκάλεσε το λάθος χρονισμού. Η πρόθεση αυτού του σχεδιασμού είναι τελικά η επικάλυψη του λανθασμένου σήματος από το σωστό. Με αυτόν τον τρόπο η αναστολή λειτουργίας της δομής διοχέτευσης (pipeline stall) πλέον δεν απαιτείται.

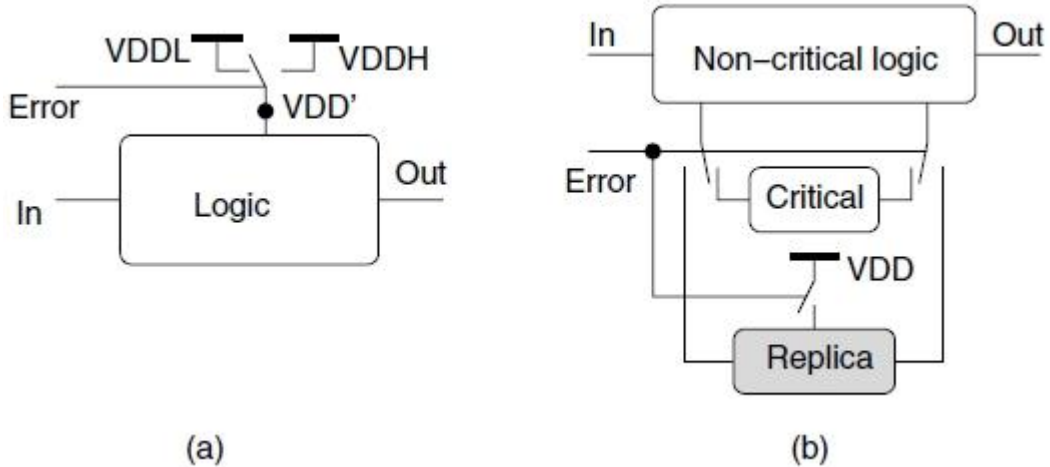


Σχήμα 3.16 (α) Razor Flip-Flop. (β) Τροποποιημένο Razor Flip-Flop

### 3.3.2. Δυναμική Ώθηση Ταχύτητας Λειτουργίας (Dynamic Speed Boosting)

Στον προτεινόμενο σχεδιασμό για διόρθωση λαθών χρονισμού, ισχύει ότι ο χρόνος εκκίνησης (launch time) του διορθωμένου λογικού σήματος συμβαίνει αργότερα σε σχέση με την τυπική λειτουργία, λόγω του ότι το σήμα καταφθάνει στο σκιώδη μανδαλωτή αργότερα από την ενεργή ακμή ρολογιού του κύριου flip-flop. Ένας ακόμα λόγος για τον καθυστερημένο χρόνο εκκίνησης είναι ότι το σήμα αποστέλλεται στην έξοδο του πολυπλέκτη, ύστερα από την καθυστέρηση του συγκριτή. Με αυτό τον τρόπο ο χρόνος διάδοσης στην επόμενη βαθμίδα και άφιξης του σωστού σήματος στο επόμενο flip-flop μπορεί να καθυστερήσει τόσο ώστε να μην μπορεί να συλληφθεί.

Ένας τρόπος αντιμετώπισης του προβλήματος είναι η στιγμιαία ώθηση στην ταχύτητα της συνδυαστικής λογικής, ώστε να αντισταθμιστεί η καθυστέρηση του χρόνου εκκίνησης. Εφόσον δεν χρησιμοποιούνται χρονικά περιθώρια ασφάλειας, η εξοικονόμηση του χρόνου επιτρέπει στο κύκλωμα να τρέχει σε μειωμένη ταχύτητα και με χαμηλή κατανάλωση ενέργειας, κατά την κανονική λειτουργία του. Οπότε η ταχύτητα λειτουργίας του κυκλώματος μπορεί να επιταχυνθεί σε περιπτώσεις χρονικού λάθους. Μπορούμε να διακρίνουμε δύο είδη ώθησης της ταχύτητας λειτουργίας, με δυναμική χρήση διπλής τροφοδοσίας (dynamic dual- $V_{DD}$ ) και με δυναμική χρήση γρήγορων διαδρομών (dynamic fast lane).



Σχήμα 3.17 (α) Δυναμική Χρήση Διπλής Τροφοδοσίας (β) Δυναμική Χρήση Γρήγορων Διαδρομών

#### *Δυναμική Χρήση Διπλής Τροφοδοσίας*

Σε αυτήν την περίπτωση, το κύκλωμα υποστηρίζεται από μία χαμηλή τάση τροφοδοσίας  $V_{DD}$  σε κανονική λειτουργία, ενώ τροφοδοτείται από μία υψηλή  $V_{DD}$  όταν προκύπτει ένα λάθος χρονισμού (βλ. Σχήμα 3.17(α)). Συμβατικοί σχεδιασμοί διπλής τροφοδοσίας εφαρμόζουν διαφορετικά επίπεδα τάσης τροφοδοσίας σε διαφορετικά τμήματα του κυκλώματος (circuit blocks) κατά ένα στατικό τρόπο. Όσο το χαμηλό επίπεδο τάσεως τροφοδοσίας παραμένει σημαντικά υψηλότερο από το επίπεδο της τάσης κατωφλίου των τμημάτων που απαιτούν υψηλή τάση, η λειτουργικότητα του κυκλώματος δεν επηρεάζεται όταν ένα χαμηλής τάσης τμήμα του κυκλώματος οδηγεί ένα υψηλής τάσης τμήμα. Παρόλα αυτά μία χαμηλή τάση κατωφλίου σε υψηλής τάσης τμήματα λογικής μπορεί να προκαλέσει μεγάλο ρεύμα διαρροής.

Για αυτόν ακριβώς το λόγο, γενικά χρησιμοποιείται μία σχετικά υψηλή τάση κατωφλίου για τμήματα κυκλώματος που χρειάζονται υψηλή τάση τροφοδοσίας, ενώ εισάγεται ένας μετατροπέας επιπέδου τάσης (μεταξύ υψηλής και χαμηλής τάσης), ώστε να μειωθεί το ρεύμα διαρροής. Εν τω προκειμένω, ο μετατροπέας επιπέδου τάσης παραλείπεται, διότι πρώτον προκαλεί μία καθυστέρηση που υποβαθμίζει την αποτελεσματικότητα της τεχνικής της ώθησης ταχύτητας, και δεύτερον η

επιπρόσθετη ενέργεια που χρησιμοποιείται σε υψηλή  $V_{DD}$  είναι πολύ περιορισμένη, εξαιτίας της χαμηλής πιθανότητας ύπαρξης λάθους. Το ρόλο των διακοπών μεταξύ του δικτύου τροφοδοσίας και του κυκλώματος μπορεί να παίξουν κάποια τρανζίστορ απομόνωσης (sleep transistors), όπως συμβαίνει και στις τεχνικές διακοπής τροφοδοσίας (power gating).

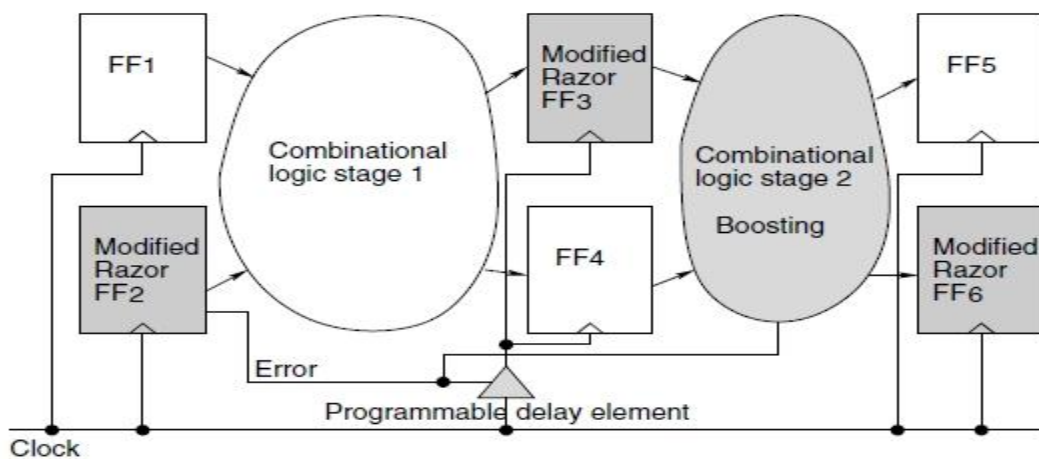
#### *Δυναμική Χρήση Γρήγορων Διαδρομών*

Όταν εφαρμόζεται η τεχνική δυναμικής χρήσης γρήγορων διαδρομών στο κύκλωμα, οποιοδήποτε χρονικά κρίσιμο τμήμα του κυκλώματος αντιγράφεται μία φορά έτσι ώστε το αντίγραφο (replica) να μπορεί να λειτουργήσει σε σημαντικά μεγαλύτερη ταχύτητα σε σχέση με το αρχικό κύκλωμα (βλ. Σχήμα 3.17(β)). Εάν ανιχνευθεί ένα χρονικό λάθος, ο υπολογισμός της λογικής γίνεται από το αντίγραφο και όχι από το αρχικό κύκλωμα. Ύστερα από τη διόρθωση του λάθους, ο υπολογισμός της λογικής επαναφέρεται στο αρχικό κύκλωμα. Υπάρχουν διάφορες τεχνικές, ώστε να διασφαλιστεί υψηλή ταχύτητα για το αντίγραφο: υψηλή τάση τροφοδοσίας ( $V_{DD}$ ), χαμηλή τάση κατωφλίου ( $V_{th}$ ) των τρανζίστορ, κατάλληλη πόλωση του υποστρώματος του τρανζίστορ (forward body bias), πύλες μεγαλύτερου μεγέθους, ή ένας συνδυασμός όλων αυτών.

Σε κανονική λειτουργία, το αντίγραφο είναι αδρανές και δεν καταναλώνει δυναμική ενέργεια. Η διαρροή ενέργειας του αντιγράφου μπορεί να περιοριστεί χρησιμοποιώντας τεχνικές διακοπής τροφοδοσίας. Όμως η αφύπνιση του αντιγράφου, όταν χρησιμοποιούνται τεχνικές διακοπής τροφοδοσίας, παίρνει κάποια ώρα, συχνά δύο με τρεις κύκλους ρολογιού. Οπότε μόνο ρηχός τρόπος λειτουργίας ύπνου (shallow sleep mode) μπορεί να εφαρμοστεί, ώστε να υλοποιείται η τεχνική διακοπής τροφοδοσίας χωρίς μεγάλο χρόνο αφύπνισης. Επιπροσθέτως, η δομή του αντιγράφου θα πρέπει να βρίσκεται σε κάποια απόσταση από το σημείο όπου ανιχνεύεται το λάθος, για να αφυπνιστεί πριν από την άφιξη του διορθωμένου σήματος. Παρόλο που φαίνεται ότι το κόστος σε επιφάνεια του αντιγράφου είναι πολύ υψηλό, ο γενικός αντίκτυπος σε ολόκληρη την επιφάνεια του ολοκληρωμένου μπορεί να είναι μικρός, εφόσον η εφαρμογή της τεχνικής περιοριστεί σε λίγα εξαιρετικά κρίσιμα σημεία του κυκλώματος.

3.3.3. *Τεχνική Διαμοιραζόμενης Ώθησης Μέσω Δυναμικής Μετατόπισης του Ρολογιού*  
 Προτείνεται επιπρόσθετα μία τεχνική για την ελαχιστοποίηση της επιφάνειας και της κατανάλωσης ενέργειας που απαιτεί η δυναμική ώθηση της ταχύτητας λειτουργίας. Η παρατήρηση-κλειδί στην περίπτωση μας είναι ότι δε χρειάζεται να υλοποιήσουμε την τεχνική ώθησης της ταχύτητας σε κάθε στάδιο της λογικής ακόμα και αν κάθε στάδιο λογικής έχει μικρό χρονικό περιθώριο (timing slack). Η τεχνική της ώθησης της ταχύτητας μπορεί να διαμοιραστεί σε πολλαπλά στάδια λογικής, λόγω του ότι δεν είναι απαραίτητο ένα οποιοδήποτε λάθος να διορθωθεί αμέσως μετά την ανίχνευσή του. Όσο υπάρχει η δυνατότητα διόρθωσης του λάθους πριν την διάδοσή του σε μία κύρια έξοδο του κυκλώματος, η λειτουργικότητα του κυκλώματος (ή ενός τμήματός του) και το κόστος σε χρόνο μένουν ανεπηρέαστα.

Για την επίτευξη της τεχνικής διαμοιραζόμενης ώθησης (shared boosting) συνδυάζεται η τεχνική της ώθησης της ταχύτητας με μετατόπιση της άφιξης του ρολογιού (clock skew shifting), ούτως ώστε το χρονικό έλλειμμα, που προκύπτει από το λάθος χρονισμού, να μπορεί να μεταφερθεί ανάμεσα σε διαφορετικά στάδια λογικής. Όπως φαίνεται στο Σχήμα 3.18, εάν ένα λάθος χρονισμού ανιχνευθεί στο flip-flop FF2, τότε η άφιξη του σήματος ρολογιού στα flip-flops FF3, FF4 μετατοπίζεται σε αργότερο χρόνο. Εν συνεχεία, οι αργοί χρόνοι εκκίνησης στις εξόδους των FF3, FF4 αντισταθμίζονται με την εφαρμογή ώθησης στο στάδιο λογικής 2.



Σχήμα 3.18 Υλοποίηση Τεχνικής Ώθησης της Ταχύτητας Λειτουργίας με Μετατόπιση της Άφιξης του Ρολογιού

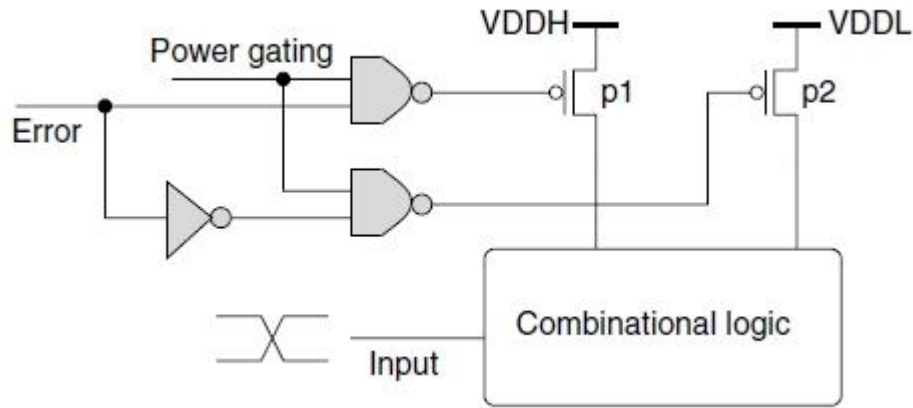


Η τεχνική μετατόπισης της άφιξης ρολογιού υλοποιείται με την χρήση προγραμματιζόμενων στοιχείων καθυστέρησης, όπου φορτίο συγκεκριμένης χωρητικότητας μπορεί να συνδεθεί ή να αποσυνδεθεί δυναμικά από τις διαδρομές του σήματος ρολογιού μέσω τρανζίστορ διέλευσης (pass transistors). Τα τρανζίστορ διέλευσης ελέγχονται από τα σήματα λάθους, για να συνδέονται ή να αποσυνδέονται σε πραγματικό χρόνο εκτέλεσης. Παρόλο που η συγκεκριμένη τεχνική μειώνει το κόστος της ώθησης ταχύτητας, ανεβάζει το κόστος επιφάνειας λόγω της μετατόπισης της άφιξης ρολογιού (προγραμματιζόμενα στοιχεία καθυστέρησης, διασυνδέσεις ελέγχου), κάτι που θα πρέπει να συνυπολογίσουμε. Επίσης επηρεάζει την ασάφεια του ρολογιού (clock skew) στην κανονική λειτουργία.

#### *3.3.4. Έλεγχος Χρονισμού*

Όταν εφαρμόζουμε Elastic σχεδιασμό χρονισμού, χρειάζεται να διαχειριστούμε κατάλληλα τη χρονική αλληλεπίδραση μεταξύ των λογικών σημάτων, του σήματος λάθους (error signal) και τις εναλλαγές με την ώθηση ταχύτητας. Η συγκεκριμένη διαχείριση χρονισμού δε θα πρέπει να είναι περισσότερο περίπλοκη από τη διαχείριση της αλληλεπίδρασης μεταξύ των λογικών σημάτων και του σήματος ρολογιού, σε συμβατικούς σχεδιασμούς.

Αρχικά παρατηρούμε την περίπτωση της ώθησης ταχύτητας με δυναμική χρήση διπλής τροφοδοσίας, που εφαρμόζεται με την βοήθεια δύο τρανζίστορ απομόνωσης (p1 και p2, βλ. Σχήμα 3.19). Σε αυτήν την περίπτωση, έχουμε τις εναλλαγές μεταξύ των p1, p2 και του κυκλώματος συνδυαστικής λογικής. Οπότε η διαχείριση χρονισμού εξαρτάται από την κατεύθυνση της αλλαγής μεταξύ των τρόπων λειτουργίας του κυκλώματος, δηλαδή από κανονική λειτουργία σε λειτουργία ώθησης, ή από λειτουργία ώθησης σε κανονική.



Σχήμα 3.19 Υλοποίηση Δυναμικής Χρήσης Διπλής Τροφοδοσίας με Τεχνικές Διακοπής Τροφοδοσίας

Έστω ότι οι χρόνοι άφιξης του σήματος λάθους στα p1 και p2 τρανζίστορ ορίζονται ως  $d_1$  και  $d_2$  αντίστοιχα. Ας υποθέσουμε ότι το κύκλωμα λογικής εναλλάσσει την λειτουργία του από κανονική σε λειτουργία ώθησης. Εάν ισχύει  $d_1 < d_2$ , δηλαδή εάν το p1 ενεργοποιείται πριν από την απενεργοποίηση του p2, υπάρχει μία μικρή χρονική διάρκεια όπου και τα δύο τρανζίστορ είναι ενεργά. Με αυτό τον τρόπο δημιουργείται ένα βραχυκύκλωμα μεταξύ της τάσης  $V_{DD,H}$  και της  $V_{DD,L}$ . Εάν ισχύει  $d_1 > d_2$ , τότε υπάρχει μία χρονική περίοδος όπου και τα δύο τρανζίστορ είναι ανενεργά. Όταν το κύκλωμα λογικής δεν εναλλάσσεται από λειτουργία ώθησης σε κανονική κατά την διάρκεια αυτής της περιόδου, τα λογικά σήματα διατηρούν τα επίπεδα τροφοδοσίας τους, όπως γίνεται σε ένα δυναμικό κύκλωμα. Οι περιπτώσεις εναλλαγής από λειτουργία ώθησης σε κανονική λειτουργία είναι παρόμοιες. Μπορούμε να παρατηρήσουμε την επίδραση των διάφορων σεναρίων στον Πίνακα 3.1.

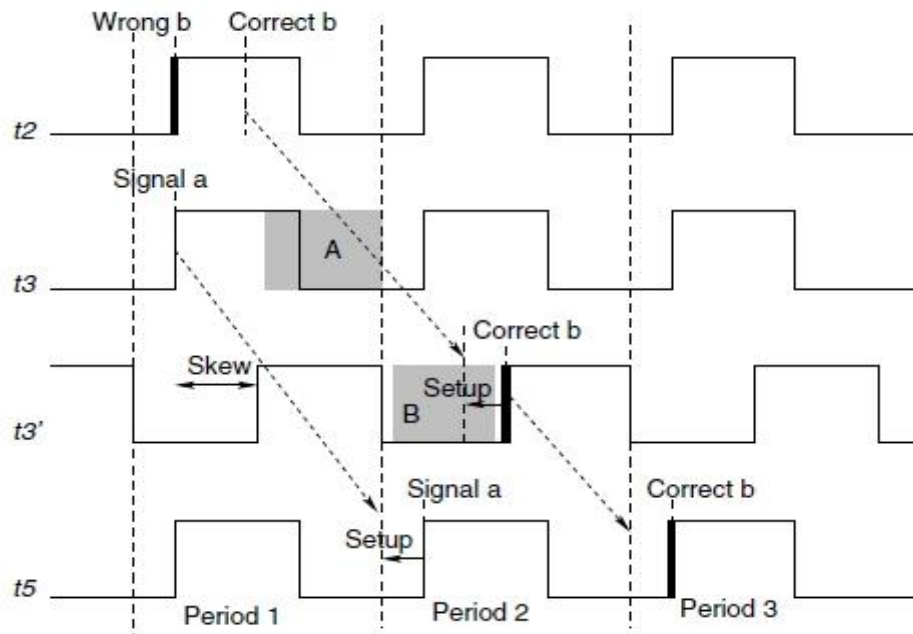
Πίνακας 3.1 Χρονισμός των Τρανζίστορ Απομόνωσης στην Τεχνική Ώθησης με Δυναμική Χρήση Διπλής Τροφοδοσίας

Mode change	Logic switches		No logic switching	
	$d_1 < d_2$	$d_1 > d_2$	$d_1 < d_2$	$d_1 > d_2$
Norm $\rightsquigarrow$ boost	$V_{DD}$ fight	Extra delay	$V_{DD}$ fight	No effect
Boost $\rightsquigarrow$ norm	Extra delay	$V_{DD}$ fight	No effect	$V_{DD}$ fight

Μία λύση για να ελαχιστοποιήσουμε το βραχυκύκλωμα μεταξύ των δύο τροφοδοσιών  $V_{DD}$  αποτελεί η ελαχιστοποίηση του χρονικού διαστήματος όπου και τα δύο τρανζίστορ  $p1$  και  $p2$  είναι ενεργά. Αυτό μπορεί να επιτευχθεί με την προσεκτική τοποθέτηση των  $p1/p2$  και την δρομολόγηση του σήματος λάθους στα  $p1/p2$ . Επιπλέον τα δύο τρανζίστορ απομόνωσης δε θα πρέπει να βρίσκονται σε μεγάλη απόσταση μεταξύ τους. Η δρομολόγηση του σήματος λάθους σε αυτά χρειάζεται να εφαρμοσθεί παρόμοια με την δρομολόγηση ρολογιού, με σκοπό την ελαχιστοποίηση του μεγέθους  $|d1 - d2|$ . Εάν το  $|d1 - d2|$  είναι μικρότερο από μερικά picoseconds και το μέγεθος  $V_{DD,H} - V_{DD,L}$  δεν είναι μεγάλο, η μάχη μεταξύ των τάσεων τροφοδοσίας καθίσταται ασήμαντη. Εάν τα  $p1$  και  $p2$  βρίσκονται σε κοντινή απόσταση μεταξύ τους, δεν είναι δύσκολο να φέρουμε το μέγεθος  $|d1 - d2|$  εντός μερικών picoseconds. Τέλος εάν το  $|d1 - d2|$  είναι μικρό, το χρονικό διάστημα, όπου και τα δύο τρανζίστορ απομόνωσης είναι ανενεργά, είναι επίσης μικρό. Οπότε η προκύπτουσα πρόσθετη καθυστέρηση στις εναλλαγές λειτουργίας της λογικής είναι μικρή και μπορεί να παραβλεφθεί.

Οι απαιτήσεις για τον χρονισμό του σήματος λάθους μπορούν να εξηγηθούν με το παρακάτω παράδειγμα. Ας υποθέσουμε το παράδειγμα του Σχήματος 3.18, του οποίου το χρονικό διάγραμμα φαίνεται στο Σχήμα 3.20. Ο χρόνος άφιξης του σήματος ρολογιού σε ένα flip-flop  $i$  κατά την κανονική λειτουργία ορίζεται ως  $t_i$ . Ο αντίστοιχος χρόνος ύστερα από τη μετατόπιση της άφιξης του ρολογιού ορίζεται ως  $t'_i$ . Έστω ότι ένα λάθος χρονισμού ανιχνεύεται την στιγμή που το FF2 προσπαθεί να συλλάβει το λογικό σήμα  $b$ . Με άλλα λόγια, ένα λανθασμένο σήμα για το  $b$  συλλαμβάνεται από το FF2 κατά την ενεργή ακμή του ρολογιού, κάτι που φαίνεται από την έντονη θετική ακμή για το  $t_2$  στο Σχήμα 3.20. Ταυτόχρονα, το λογικό σήμα  $a$  συλλαμβάνεται ορθώς από το FF3. Το σωστό σήμα  $b$  αποστέλλεται από το FF2 σε μεταγενέστερο χρόνο. Τότε το σήμα λάθους πρέπει να μετατοπίσει τον χρόνο άφιξης του ρολογιού  $t_3$  σε  $t'_3$ . Το σήμα λάθους καταφθάνει στο FF3 εντός ενός χρονικού διαστήματος που φαίνεται στην σκιασμένη περιοχή  $A$  του Σχήματος 3.20. Εκτός τούτου, το σήμα λάθους αλλάζει την κατάσταση του σταδίου λογικής 2 σε λειτουργία ώθησης. Αυτό συμβαίνει ύστερα από την σύλληψη του λογικού σήματος  $a$  από το επόμενο στάδιο, στη συγκεκριμένη περίπτωση από το FF5 στο Σχήμα 3.18. Οι

εναλλαγές στη λειτουργία πρέπει να εφαρμοστούν πριν την άφιξη του διορθωμένου σήματος b στο λογικό στάδιο 2.



Σχήμα 3.20 Χρονικό Διάγραμμα για την Δομή Διοχέτευσης του Σχήματος 3.18

Με αυτό τον τρόπο, το επιτρεπτό χρονικό διάστημα για την άφιξη του σήματος λάθους στο λογικό στάδιο 2 αποτελεί η σκιασμένη περιοχή B του Σχήματος 3.20. Παρατηρώντας την δεύτερη περίοδο ρολογιού, το σήμα λάθους εξαφανίζεται από την έξοδο του FF2. Σαν συνέπεια, έχουμε ότι το  $t_3'$  επιστρέφει σε  $t_3$  και το λογικό στάδιο 2 επανέρχεται σε κανονική λειτουργία. Εάν υπάρχει ένα ακόμα λάθος χρονισμού που ακολουθεί το σήμα b, η τεχνική της μετατόπισης της άφιξης του ρολογιού και η λειτουργία ώθησης διατηρείται. Μπορούμε να παρατηρήσουμε ότι υπάρχουν συγκεκριμένοι περιορισμοί για το χρονισμό του σήματος λάθους, οι οποίοι δεν είναι απαραίτητα αυστηροί [17].

### 3.3.5. Ελαχιστοποίηση του Κόστους

Όταν υλοποιείται ο Elastic σχεδιασμός χρονισμού, χρειάζεται να γνωρίζουμε το μέρος που θα τοποθετηθούν τα τροποποιημένα Razor flip-flops (MRFF). Εάν ένα συνδυαστικό μονοπάτι έχει μεγάλο χρονικό περιθώριο (timing slack) ακόμα και κάτω από συνθήκες χαμηλής κατανάλωσης (χαμηλή τάση τροφοδοσίας, υψηλή τάση

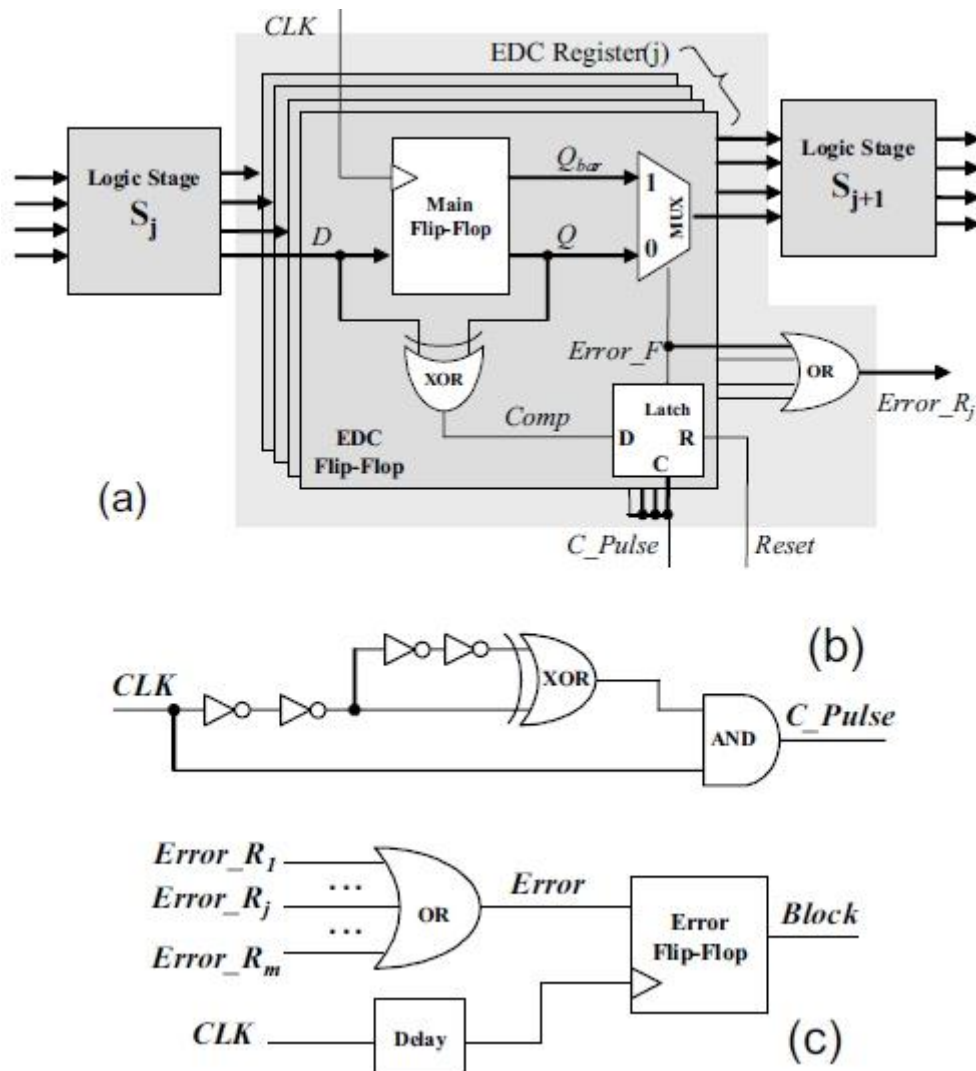
κατωφλίου, μικρό μέγεθος πυλών), τότε τα MRFF δεν χρειάζονται. Συνεπώς, τα MRFF τοποθετούνται στο τέλος ενός μονοπατιού, μόνο εφόσον το χρονικό περιθώριο είναι σχετικά μικρό. Εν συνεχεία, χρειάζεται να αποφασίσουμε σε ποια στάδια της λογικής θα εφαρμόζεται ώθηση της ταχύτητας και μετατόπιση της άφιξης ρολογιού. Φυσικά επιθυμούμε την ελαχιστοποίηση του κόστους για την ώθηση της ταχύτητας και τη μετατόπιση της άφιξης ρολογιού, που υπόκεινται σε χρονικούς περιορισμούς.

### 3.4. Τεχνική EDC

Σε αυτή την ενότητα παρουσιάζεται ένας σχεδιασμός χαμηλού κόστους για ανίχνευση και διόρθωση λαθών χρονισμού. Ο σχεδιασμός αυτός βασίζεται σε μία νέα τοπολογία Flip-Flop. Επιπλέον αναλύεται ο τρόπος λειτουργίας μίας αρχιτεκτονικής με δομή διοχέτευσης (pipeline) στην οποία εφαρμόζεται η νέα τεχνική, ώστε να διασφαλιστεί η ανοχή σε λάθη χρονισμού.

#### 3.4.1. Error Detection and Correction Flip-Flop

Ο μηχανισμός ανίχνευσης και διόρθωσης λαθών χρονισμού αυτής της ενότητας βασίζεται στο Error-Correction-Detection Flip-Flop (EDC Flip-Flop) [18], το οποίο μπορούμε να παρατηρήσουμε στο Σχήμα 3.21(α). Εκτός από το αρχικό Flip-Flop (Main Flip-Flop), αποτελείται από μία πύλη XOR, ένα μανδαλωτή και έναν πολυπλέκτη (MUX). Η πύλη XOR συγκρίνει την είσοδο D με την έξοδο Q του κύριου Flip-Flop και παρέχει το αποτέλεσμα της σύγκρισης στο μανδαλωτή. Ο μανδαλωτής οδηγεί το σήμα επιλογής του πολυπλέκτη, που έχει ως εισόδους τις εξόδους Q και  $Q_{\text{bar}}$  του κύριου Flip-Flop. Ανάλογα με το αποτέλεσμα της σύγκρισης μέσα σε ένα συγκεκριμένο χρονικό διάστημα, περνάει είτε το Q είτε το  $Q_{\text{bar}}$  σήμα του κύριου Flip-Flop στην έξοδο του πολυπλέκτη. Εξ' ορισμού, το σήμα Q τροφοδοτεί το επόμενο στάδιο της λογικής.



Σχήμα 3.21 (α) Το EDC Flip-Flop, (β) Η Γεννήτρια Παλμού και (γ) Δημιουργία Σήματος Μπλοκαρίσματος Ρολογιού

Εν συντομία, η συγκεκριμένη τεχνική για ανίχνευση και διόρθωση λαθών χρονισμού λειτουργεί ως εξής. Ας υποθέσουμε ότι ένα λάθος χρονισμού ανιχνεύεται σε μία ή περισσότερες εισόδους του σταδίου συνδυαστικής λογικής  $S_{j+1}$ , εξαιτίας μίας καθυστερημένης απάντησης του προηγούμενου σταδίου  $S_j$ . Έτσι το αποτέλεσμα στην είσοδο ή τις εισόδους του  $S_{j+1}$  θα είναι λανθασμένο και πρέπει να διορθωθεί. Για να επιτευχθεί η διόρθωση του λάθους, ο χρόνος υπολογισμού του κυκλώματος παρατείνεται κατά έναν κύκλο ρολογιού και το στάδιο  $S_{j+1}$  τροφοδοτείται με τις έγκυρες συμπληρωματικές τιμές στις εισόδους όπου έχει ανιχνευθεί το λάθος χρονισμού.

Αρχικά η έξοδος Error\_F του μανδαλωτή επαναρρυθμίζεται στο λογικό '0', ώστε εξ' ορισμού η έξοδος Q του κύριου Flip-Flop να τροφοδοτεί το επόμενο στάδιο λογικής. Στην περίπτωση που δεν υπάρχει λάθος (error free case), το αποτέλεσμα της σύγκρισης είναι μία χαμηλή τιμή στην έξοδο της πύλης XOR ύστερα από την ενεργή ακμή του σήματος ρολογιού CLK. Αυτή η τιμή συλλαμβάνεται από το μανδαλωτή, ο οποίος διατηρεί την επιλογή της εξόδου Q του κύριου Flip-Flop και η οποία κατέχει τη σωστή τιμή, ώστε να περάσει στον πολυπλέκτη MUX και να τροφοδοτήσει το επόμενο λογικό στάδιο  $S_{j+1}$ . Παρόλα αυτά, υπό την παρουσία ενός σφάλματος χρονισμού στο λογικό στάδιο  $S_j$ , ένα καθυστερημένο σήμα καταφθάνει στην είσοδο D του κύριου Flip-Flop ύστερα από την ενεργή ακμή του σήματος ρολογιού CLK.

Σε αυτή την περίπτωση, ένα λάθος χρονισμού συλλαμβάνεται από την έξοδο Q του κύριου Flip-Flop και λανθασμένα δεδομένα μεταφέρονται στο επόμενο λογικό στάδιο  $S_{j+1}$ . Επιπλέον, η τιμή της Q εξόδου διαφέρει από την τιμή της D εισόδου. Η πύλη XOR ανιχνεύει αυτή την διαφορά και θέτει την έξοδό της Comp σε λογικό '1'. Ο μανδαλωτής συλλαμβάνει και κρατά αυτή την τιμή επιλέγοντας την  $Q_{\text{bar}}$  έξοδο του κύριου Flip-Flop, η οποία τώρα διαθέτει την σωστή τιμή, ώστε να περάσει από τον πολυπλέκτη και να τροφοδοτήσει το επόμενο λογικό στάδιο  $S_{j+1}$ . Με αυτό τον τρόπο το λάθος χρονισμού διορθώνεται.

Ένας παλμός ρολογιού C\_Pulse χρησιμοποιείται για να συλλάβει στο μανδαλωτή το αποτέλεσμα σύγκρισης της πύλης XOR (κατάσταση μνήμης όταν το C\_Pulse έχει χαμηλή στάθμη). Ο παλμός αυτός μπορεί να δημιουργηθεί τοπικά σε κάθε καταχωρητή από το σήμα CLK με την χρήση μίας Γεννήτριας Παλμού, όπως αυτή που φαίνεται στο Σχήμα 3.21(β). Έτσι δεν επιβαρύνεται η σχεδίαση με το επιπλέον κόστος δρομολόγησης ενός πρόσθετου σήματος ρολογιού. Η πύλη AND του Σχήματος 3.21(β) εξασφαλίζει ότι θα δημιουργηθεί ένας και μοναδικός παλμός και μόνο κατά την πρώτη φάση σε κάθε κύκλο ρολογιού.

Το χρονικό διάστημα μεταξύ της ενεργής ακμής του CLK και της απενεργοποίησης του παλμού αποτελεί την μέγιστη ανιχνεύσιμη καθυστέρηση σήματος. Επιπλέον, το πλάτος παλμού ισούται με τον χρόνο που απαιτείται από το μανδαλωτή για να

συλλάβει το αποτέλεσμα της σύγκρισης. Κάθε μετάβαση σήματος στην είσοδο D του EDC Flip-Flop, που συμβαίνει ανάμεσα στην ενεργή ακμή του CLK και την καθοδική ακμή του C\_Pulse, θεωρείται ως καθυστερημένη απόκριση. Οπότε ο σχεδιασμός του κυκλώματος πρέπει να διασφαλίσει ότι δεν θα υπάρξουν μεταβάσεις σήματος στις εισόδους των EDC Flip-Flops εντός αυτού του χρονικού διαστήματος, ώστε το κύκλωμα να μπορεί να προσφέρει ανοχή σε λάθη χρονισμού.

Παρόλα αυτά, χρειάζεται πρόσθετος χρόνος από το λογικό στάδιο  $S_{j+1}$ , ώστε μετά τη διόρθωση των λαθών στις εισόδους του να προλάβει να εκτελέσει τον υπολογισμό του. Για αυτό το λόγο το σήμα ένδειξης λάθους Error\_F χρησιμοποιείται προκειμένου να εμποδίσει το σήμα ρολογιού να διαδοθεί στη λογική (με τη βοήθεια της τεχνικής της καθολικής αναστολής ρολογιού) κατά τη διάρκεια του επόμενου κύκλου μετά τον κύκλο ρολογιού όπου ανιχνεύθηκε το λάθος. Δηλαδή παρέχεται ένας επιπλέον κύκλος ρολογιού για την αποκατάσταση του κυκλώματος.

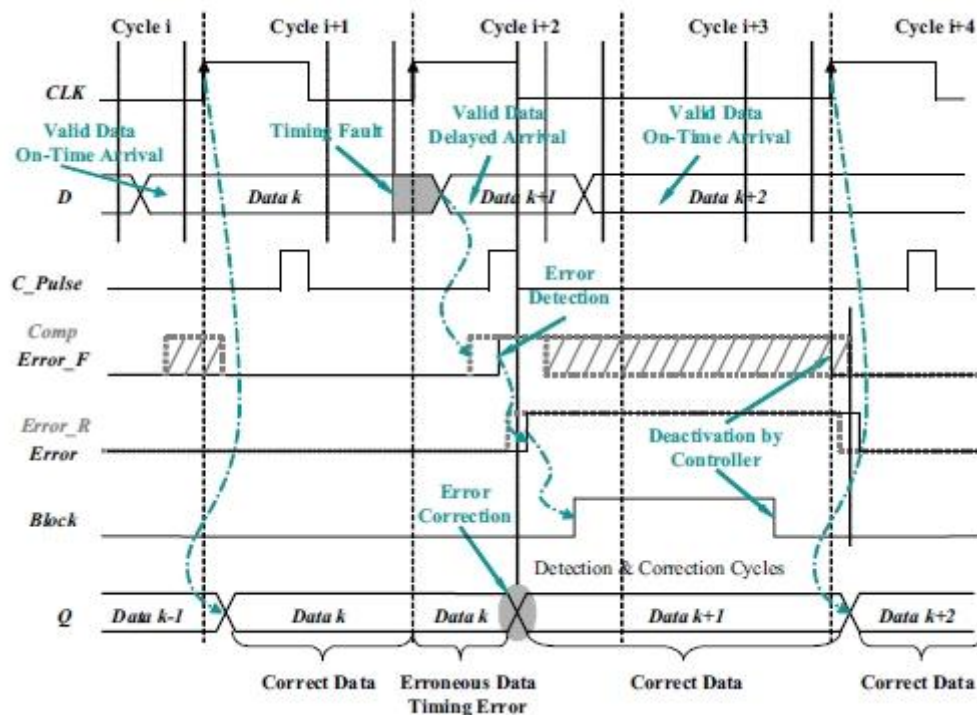
Η τεχνική της καθολικής αναστολής ρολογιού (*global clock gating*) επιτυγχάνεται ως εξής: τα σήματα Error\_F των EDC Flip-Flops που υπάρχουν σε έναν καταχωρητή  $j$  δημιουργούν ένα σήμα ένδειξης λάθους για τον καταχωρητή, το Error\_R $_j$ , μέσω μίας πύλης OR. Στη συνέχεια, τα σήματα Error\_R $_j$  όλων των καταχωρητών συγκεντρώνονται σε μία δεύτερη πύλη OR και παράγεται ένα ολικό σήμα ένδειξης λάθους, το Error, όπως φαίνεται στο Σχήμα 3.21(γ). Το σήμα Error συλλαμβάνεται από το Error Flip-Flop και το σήμα εξόδου Block αυτού του Flip-Flop χρησιμοποιείται για αναστολή του ρολογιού. Το Error Flip-Flop οδηγείται από ένα καθυστερημένο αντίγραφο του σήματος ρολογιού CLK. Η καθυστέρηση αυτή ισούται με το χρόνο που απαιτείται για την δημιουργία του σήματος Error\_F και τη διάδοσή του μέσα από το ζευγάρι των OR πυλών στο Error Flip-Flop.

#### 3.4.2. Λειτουργία του Κυκλώματος

Στο Σχήμα 3.22 μπορούμε να παρατηρήσουμε τα διαγράμματα χρονισμού για την λειτουργία του EDC Flip-Flop. Κατά τον κύκλο ρολογιού (i) η απόκριση του λογικού σταδίου  $S_j$  βρίσκεται εντός των χρονικών προδιαγραφών του κυκλώματος (περίπτωση απουσίας σφάλματος). Αυτό σημαίνει ότι ύστερα από την ενεργή ακμή του ρολογιού



CLK, η είσοδος D και η έξοδος Q του κύριου Flip-Flop διαθέτουν τις ίδιες τιμές. Έτσι το σήμα Comp της πύλης XOR βρίσκεται σε λογικό '0' και το ίδιο συμβαίνει και για τα δύο σήματα Error\_F και Error\_R; ύστερα από τον παλμό ρολογιού C\_Pulse. Συνεπώς, ο πολυπλέκτης διατηρεί την προκαθορισμένη επιλογή του σήματος Q για την τροφοδοσία του επόμενου σταδίου λογικής  $S_{j+1}$  με σωστά δεδομένα. Σε αυτή την περίπτωση η λειτουργία του κυκλώματος παραμένει αμετάβλητη.



Σχήμα 3.22 Διαγράμματα Χρονισμού

Κατά τον επόμενο κύκλο (i+1) ένα σφάλμα χρονισμού προκύπτει λόγω της αποτυχίας χρονισμού στο στάδιο  $S_j$ . Τα δεδομένα που συλλαμβάνονται από το κύριο Flip-Flop είναι λανθασμένα και ένα λάθος χρονισμού εμφανίζεται στην έξοδο Q. Οπότε η απάντηση του σταδίου  $S_{j+1}$  κατά τον επόμενο κύκλο (i+2) θα είναι επίσης λανθασμένη. Επιπλέον, εξαιτίας του σφάλματος συμβαίνει μία μετάβαση στην είσοδο D του κύριου Flip-Flop, κατά την διάρκεια του (i+2) κύκλου, ακριβώς κατόπιν της ενεργής ακμής του ρολογιού CLK και πριν την ενεργοποίηση του παλμού ρολογιού C\_Pulse.

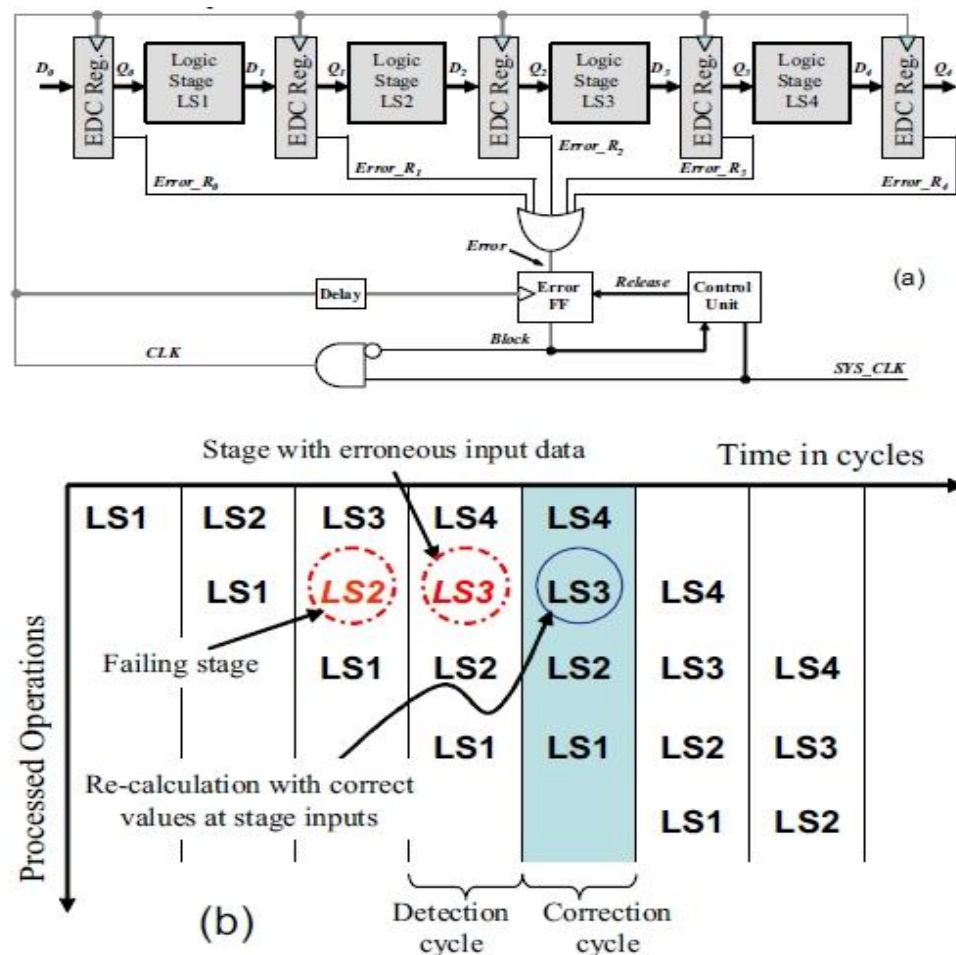
Η πύλη XOR ανιχνεύει την διαφορά μεταξύ των τιμών των σημάτων D και Q και θέτει την έξοδο Comp σε λογικό '1'. Στη συνέχεια, ύστερα από τον παλμό ρολογιού C\_Pulse, ο μανδαλωτής συλλαμβάνει αυτή την τιμή, θέτοντας το σήμα Error\_F σε λογικό '1'. Κατά συνέπεια, το σήμα  $Q_{\text{bar}}$  επιλέγεται για να περάσει από τον πολυπλέκτη και τροφοδοτεί με σωστά δεδομένα το επόμενο στάδιο λογικής  $S_{j+1}$ . Με αυτόν τον τρόπο, το λάθος διορθώνεται στη συγκεκριμένη είσοδο του επόμενου σταδίου. Το ίδιο ισχύει και για κάθε άλλη είσοδο όπου ανιχνεύεται ένα λάθος. Οι υπόλοιπες είσοδοι με σωστά δεδομένα παραμένουν αμετάβλητες. Αξίζει να σημειωθεί ότι η διόρθωση του λάθους επιτυγχάνεται χωρίς να χρειάζεται ο επαναυπολογισμός της απόκρισης του σταδίου  $S_j$  που απέτυχε.

Παράλληλα το σήμα Error\_F ενεργοποιεί το σήμα ένδειξης λάθους του καταχωρητή, Error\_R<sub>j</sub>, μέσω της πύλης OR, η οποία συλλέγει όλα τα σήματα ένδειξης λάθους των Flip-Flops. Εν τέλει, το Error\_R<sub>j</sub> σήμα ενεργοποιεί το ολικό σήμα ένδειξης λάθους Error (βλ. Σχήμα 3.21(γ)), το οποίο συλλαμβάνεται από το Error Flip-Flop και θέτει το Block σήμα σε λογικό '1'. Οπότε το σήμα ρολογιού CLK εμποδίζεται (σε αυτή την περίπτωση παραμένει σε λογικό '0') για ένα κύκλο (i+3), ώστε να παρέχει τον απαιτούμενο χρόνο για τον υπολογισμό των σωστών δεδομένων από το στάδιο λογικής  $S_{j+1}$ . Αυτό αποτελεί ποινή ενός κύκλου ρολογιού για την διόρθωση του λάθους. Στο τέλος του κύκλου διόρθωσης (i+3), ένα κύκλωμα ελέγχου (control logic) αρχικοποιεί το Error Flip-Flop, θέτοντας το σήμα Block σε λογικό '0' και απελευθερώνει το σήμα ρολογιού CLK. Επιπρόσθετα, ο μανδαλωτής εσωτερικά του EDC Flip-Flop αρχικοποιείται επίσης στο λογικό 0 και το σύστημα επιστρέφει σε κανονική λειτουργία για τον επόμενο κύκλο (i+4) και μέχρι την επόμενη ανίχνευση λάθους.

### 3.4.3. Αποκατάσταση της Δομής Διοχέτευσης

Κάθε ανίχνευση λάθους ακολουθείται από μία ενέργεια αποκατάστασης της δομής διοχέτευσης (pipeline recovery). Όπως μπορούμε να παρατηρήσουμε στο Σχήμα 3.23(α), χρησιμοποιείται η τεχνική της αναστολής ρολογιού για την αποκατάσταση της δομής διοχέτευσης. Στην περίπτωση που υπάρχουν ένα ή περισσότερα λάθη

χρονισμού, το σήμα ρολογιού εμποδίζεται κατά τον επόμενο κύκλο ρολογιού με την βοήθεια του Block σήματος του Error Flip-Flop. Στη συνέχεια, τα λογικά στάδια (όπως το LS3 στο Σχήμα 3.23(β)) τα οποία αρχικά είχαν συλλάβει λανθασμένα δεδομένα στις εισόδους τους, εξαιτίας ενός σφάλματος χρονισμού σε προηγούμενο στάδιο (LS2), επαναυπολογίζουν τις αποκρίσεις τους με τα διορθωμένα δεδομένα στις εισόδους τους, κατά την διάρκεια του πρόσθετου κύκλου ρολογιού (κύκλος διόρθωσης).



Σχήμα 3.23 Αποκατάσταση Δομής Διοχέτευσης, (α) Αρχιτεκτονική και (β) Λειτουργία

Τα υπόλοιπα λογικά στάδια παραμένουν ανενεργά, ενώ διατηρούν στις εξόδους τους τις σωστές αποκρίσεις. Αξίζει να σημειωθεί ότι δεν υπάρχει ανάγκη για το στάδιο LS2 που αποτυγχάνει, να επαναυπολογίσει την απόκρισή του, από τη στιγμή που η διορθωμένη απόκριση ανακτάται αυτόματα από το EDC Flip-Flop. Μία απλή μονάδα

ελέγχου μετράει ένα κύκλο ρολογιού και έπειτα απελευθερώνει το σήμα CLK με την ενεργοποίηση του σήματος Release, το οποίο αρχικοποιεί με λογικό '0' το Error Flip-Flop. Εκτός τούτου, το σήμα Release χρησιμοποιείται επίσης για τη δημιουργία του σήματος Reset, το οποίο αρχικοποιεί στο λογικό 0 τους μανδαλωτές, εσωτερικά των EDC Flip-Flops, στο τέλος του κύκλου διόρθωσης.

Η συγκεκριμένη αρχιτεκτονική δομής διοχέτευσης με ανίχνευση και διόρθωση λαθών χρονισμού μπορεί να ανεχθεί οποιοδήποτε αριθμό λαθών σε οποιοδήποτε στάδιο εντός ενός κύκλου ρολογιού, εφόσον όλα τα στάδια είναι ικανά να επαναυπολογίσουν τις αποκρίσεις με σωστά δεδομένα στις εισόδους τους, κατά την διάρκεια του πρόσθετου κύκλου. Σε περίπτωση που ένα ή περισσότερα στάδια αποτύχει σε κάθε κύκλο ρολογιού, η δομή διοχέτευσης θα συνεχίσει να λειτουργεί με τη μισή ταχύτητα από ότι στην κανονική λειτουργία [18].

## ΚΕΦΑΛΑΙΟ 4. ΣΧΕΔΙΑΣΜΟΣ ΜΕ ΒΑΣΗ ΤΟΝ ΠΑΛΜΙΚΟ ΜΑΝΔΑΛΩΤΗ

- 
- 4.1 Pulsed-Latch Κυκλώματα
  - 4.2 Σχεδιασμός Pulsed-Latch Κυκλωμάτων
  - 4.3 Βελτιστοποίηση Χρονισμού
  - 4.4 Σύγκριση Ακολουθιακών Μεθόδων
- 

Ένας συμβατικός ASIC σχεδιασμός χρησιμοποιεί κυρίως το ακμοπυροδότητο flip-flop ως ακολουθιακό στοιχείο εξαιτίας της απλότητας του χρονικού του μοντέλου. Πιο συγκεκριμένα, το ποσοστό του χρόνου, που παρέχεται σε ένα κομμάτι συνδυαστικής λογικής ανάμεσα σε δύο flip-flops, είναι σταθερό. Παρόλα αυτά, ένα αξιοσέβαστο ποσοστό της περιόδου του ρολογιού, καθώς και μεγάλο μέρος της κατανάλωσης ενέργειας και της επιφάνειας αφορούν τη λειτουργία των flip-flops. Εκτός τούτου, η διανομή του ρολογιού στο κύκλωμα, συμπεριλαμβανομένων και των flip-flops, συχνά δαπανούν πάνω από το 50% της συνολικής κατανάλωσης ενέργειας.

Οι σχεδιασμοί υψηλής απόδοσης στα κυκλώματα συχνά χρησιμοποιούν τον μανδαλωτή (level-sensitive latch) ως ακολουθιακό στοιχείο. Τέτοιοι σχεδιασμοί διαθέτουν κάποιου είδους «ανοσία» σε φαινόμενα ασάφειας του ρολογιού (clock skew και clock jitter), κάτι που το οφείλουν στη διαφάνεια του μανδαλωτή (σε αντίθεση με σχεδιασμούς βασισμένους στο flip-flop). Εντούτοις, το χρονικό μοντέλο είναι περισσότερο περίπλοκο, γεγονός που σε συνδυασμό με την περιορισμένη υποστήριξη των CAD εργαλείων, καθιστούν τη χρησιμοποίηση των μανδαλωτών σε ASIC σχεδιασμούς δύσκολη. Επιπλέον, τα δεδομένα πρέπει να «κρατηθούν» για

μεγαλύτερη χρονική περίοδο και αυτό συμβάλλει στην αύξηση της πιθανότητας εμφάνισης παραβιάσεων του χρόνου συγκράτησης.

Ο παλμικός μανδαλωτής (pulsed latch) είναι ένας μανδαλωτής ο οποίος οδηγείται από ένα μικρό παλμό ρολογιού. Το ποσοστό του χρόνου, που είναι διαθέσιμο για τον υπολογισμό ενός τμήματος συνδυαστικής λογικής, μεταβάλλεται, όμως το ποσοστό της μεταβλητότητας είναι σημαντικά μικρότερο από ότι στα κυκλώματα που χρησιμοποιούν τυπικό μανδαλωτή. Επίσης, μειώνονται και οι παραβιάσεις του χρόνου συγκράτησης. Κάτι τέτοιο καθιστά τον παλμικό μανδαλωτή ως ένα ιδανικό ακολουθιακό στοιχείο για ASIC σχεδιασμούς υψηλής απόδοσης και χαμηλής κατανάλωσης, όπως και για παραδοσιακούς υψηλής απόδοσης σχεδιασμούς για μικροεπεξεργαστές.

Ένας παλμικός μανδαλωτής μπορεί να ειπωθεί ως ένα γρηγορότερο flip-flop, δεδομένης της ομοιότητας του χρονικού μοντέλου και στις δύο περιπτώσεις. Αυτό επιτρέπει μία απλή μετατροπή ενός κυκλώματος, βασισμένο σε flip-flop, σε μία εκδοχή με παλμικούς μανδαλωτές, αντικαθιστώντας κάποια ή όλα τα ακολουθιακά στοιχεία. Με αυτόν τον τρόπο επωφελούμαστε και σε χρόνο περιόδου ρολογιού αλλά και σε κατανάλωση ενέργειας.

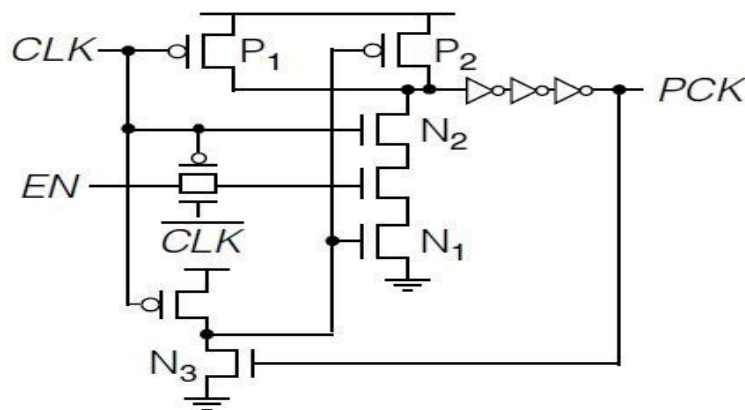
Εκτός από την pulsed-latch εκδοχή, χρειάζονται και κάποιες επιπρόσθετες τεχνικές ώστε να πετύχουμε υψηλή απόδοση και χαμηλή κατανάλωση ισχύος. Αυτές οι επιπλέον τεχνικές είναι οι εξής:

- Φυσικός σχεδιασμός, συμπεριλαμβανομένης της εισαγωγής γεννητριών παλμών (pulse generators) καθώς και κατάλληλων αλγορίθμων τοποθέτησης.
- Χρονική ανάλυση και βελτιστοποίηση (timing analysis and optimization), κάτι που περιλαμβάνει την εισαγωγή buffers για την επίλυση των παραβιάσεων του χρόνου συγκράτησης, την τεχνική δανεισμού χρόνου μέσω διαφορετικού μεγέθους παλμών, όπως και ένα σχεδιασμό δανεισμού χρόνου με ακολουθιακή βελτιστοποίηση.
- Σχεδιασμός χαμηλής κατανάλωσης, που εκφράζεται με την τεχνική της αναστολής ρολογιού στα pulsed-latch κυκλώματα [19].

#### 4.1. Pulsed-Latch Κυκλώματα

Εσωτερικά σε ένα pulsed-latch κύκλωμα, το σήμα ρολογιού διανέμεται από μία πηγή ρολογιού σε πολλαπλές γεννήτριες παλμών (*pulsers*), οι οποίες τοποθετούνται σε κατάλληλες περιοχές. Στη συνέχεια, η κάθε γεννήτρια παλμών διανέμει έναν παλμό σε παραπάνω από ένα γειτονικούς μανδαλωτές, διότι ένας παλμός μπορεί εύκολα να παραμορφωθεί όταν διανύει μεγάλη απόσταση.

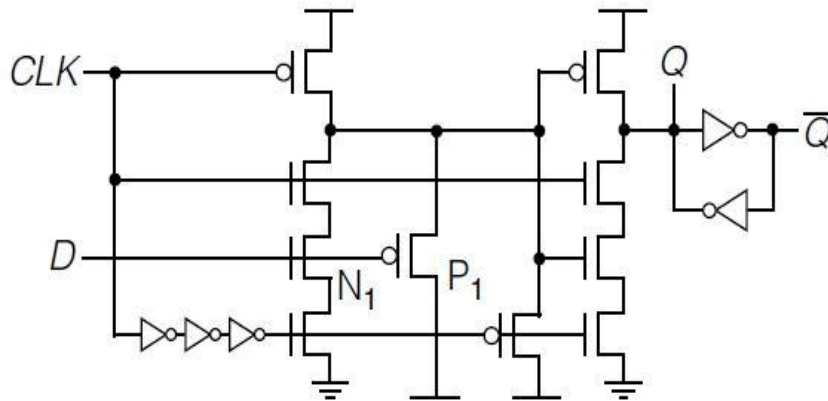
Πολλοί ερευνητές έχουν προτείνει διάφορες εφαρμογές των γεννητριών παλμών. Για παράδειγμα, όταν μία γεννήτρια παλμών, που φαίνεται στο Σχήμα 4.1, κατασκευάζεται σε μία τεχνολογία 45nm, καταναλώνει σχεδόν πέντε φορές περισσότερη ενέργεια από έναν πρότυπο μανδαλωτή εξαιτίας του μεγάλου αριθμού τρανζίστορ οδηγούμενων από το ρολόι (*clocked transistors*), παρόλο που καταλαμβάνει μόνο 30% περισσότερη επιφάνεια. Οπότε η μείωση του αριθμού των γεννητριών παλμών είναι σημαντική για την κατανάλωση ενέργειας.



Σχήμα 4.1 Παράδειγμα Γεννήτριας Παλμών (Pulser)

Μία γεννήτρια παλμών μπορεί να ενσωματωθεί σε ένα μανδαλωτή, και το κύκλωμα είναι γνωστό ως *παλμικό flip-flop (pulsed flip-flop)*, με στόχο να αποφύγει την παραμόρφωση του παλμού. Στο Σχήμα 4.2 φαίνεται το παράδειγμα ενός τέτοιου κυκλωματικού στοιχείου. Ο παλμός δεν παράγεται με ένα συγκεκριμένο πλάτος στο κύκλωμα, αλλά η καθυστέρηση της αλυσίδας των αντιστροφών αποφασίζει το χρονικό διάστημα που τα δεδομένα μπορούν να αποθηκευτούν. Αυτή η περίοδος του

χρόνου είναι ισόποση με το πλάτος του παλμού. Η κατασκευή μίας γεννήτριας παλμών μαζί με ένα μανδαλωτή προφανώς κοστίζει περισσότερο σε επιφάνεια και κατανάλωση ενέργειας από ότι μία κοινή εξωτερική γεννήτρια παλμών, ενώ τα πλεονεκτήματα του παλμικού μανδαλωτή περιλαμβάνουν ένα απλό χρονικό μοντέλο και ένα μικρό ποσοστό δανεισμού χρόνου (time borrowing).



Σχήμα 4.2 Παράδειγμα Παλμικού Flip-Flop

Μπορούμε να εκμεταλλευτούμε τόσο τον παλμικό μανδαλωτή (κοινή γεννήτρια παλμών), όσο και το παλμικό flip-flop (καμία παραμόρφωση του σχήματος του παλμού), κατασκευάζοντας παραπάνω από έναν μανδαλωτές με μία μοναδική γεννήτρια παλμών. Κάτι τέτοιο μας οδηγεί στην κατασκευή ενός *παλμικού καταχωρητή (pulsed register)*, ο οποίος μπορεί να χρησιμοποιηθεί σε ολοκληρωμένα κυκλώματα [19].

#### 4.2. Σχεδιασμός Pulsed-Latch Κυκλωμάτων

Ένας παλμικός μανδαλωτής προσομοιώνεται στην απλούστερη μορφή του ως ένα γρηγορότερο flip-flop, το οποίο έχει μεγαλύτερο χρόνο συγκράτησης. Μπορούμε να τροποποιήσουμε ένα συμβατικό ASIC σχεδιασμό, που υλοποιείται με flip-flops, σε μία pulsed-latch εκδοχή αντικαθιστώντας απλά όλα τα flip-flops με μανδαλωτές. Οπότε προκύπτει και το ζήτημα της ορθής τοποθέτησης ενός αναγκαίου αριθμού γεννητριών παλμών, ώστε να εγγυηθούμε την ακεραιότητα του σήματος του παλμού.



Επιπλέον, πρέπει να χρησιμοποιήσουμε χρονική ανάλυση, για να διαπιστώσουμε την πιθανή αύξηση των παραβιάσεων του χρόνου συγκράτησης και να τις αποφύγουμε με την εισαγωγή buffers για καθυστέρηση.

Ο παλμικός μανδαλωτής μπορεί να χρησιμοποιηθεί προοδευτικά στους διάφορους σχεδιασμούς εάν το πλάτος του παλμού διαμορφώνεται κατάλληλα ανά περίπτωση, υπονοώντας την ύπαρξη γεννητριών παλμών, οι οποίοι παράγουν περισσότερα του ενός πλάτη παλμού. Η διαφορά μεταξύ των διαφόρων πλατών του παλμού ανάμεσα στους μανδαλωτές έναρξης και στους μανδαλωτές σύλληψης μπορεί να χρησιμοποιηθεί για δανεισμό χρόνου. Αυτό το πρόβλημα ανάθεσης ενός συγκεκριμένου πλάτους παλμού για κάθε μανδαλωτή καλείται *ανάθεση πλάτους παλμού (pulse width allocation - PWA)* [19].

Όταν ένα pulsed-latch κύκλωμα χρησιμοποιείται σε εφαρμογές χαμηλής κατανάλωσης, η εφαρμογή της τεχνικής της αναστολής ρολογιού μπορεί να είναι ευεργετική. Για παράδειγμα εάν η τεχνική της αναστολής ρολογιού εφαρμοστεί σε κάθε γεννήτρια παλμών του Σχήματος 4.1, τότε μία γεννήτρια παλμών θα πρέπει να διασυνδεθεί με μανδαλωτές που χρησιμοποιούν το ίδιο σήμα επίτρεψης για την αναστολή ρολογιού. Επίσης θα πρέπει να συνυπολογίσουμε και το πλάτος του παλμού που χρειάζεται κάθε μανδαλωτής. Με άλλα λόγια, η εισαγωγή κάθε γεννήτριας παλμών θα επιτευχθεί, αφού εξεταστεί η λειτουργικότητα των μανδαλωτών, όπως και η απόσταση του κάθε μανδαλωτή από μία γεννήτρια παλμών.

### **4.3. Βελτιστοποίηση Χρονισμού**

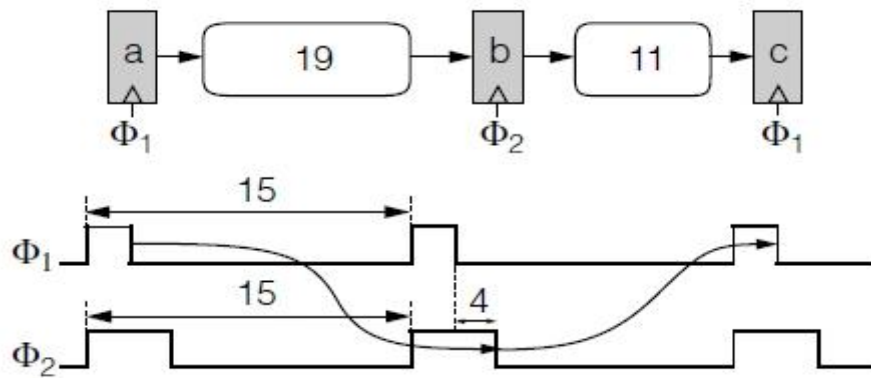
Ο χρονισμός των pulsed-latch κυκλωμάτων μπορεί να βελτιστοποιηθεί ακόμα περισσότερο εάν διαμορφώσουμε κατάλληλα τα διάφορα πλάτη του παλμού (π.χ. με PWA). Ο συνδυασμός PWA μαζί με μία συμβατική ακολουθιακή τεχνική βελτιστοποίησης συμβάλλει σε μεγαλύτερη μείωση της περιόδου του ρολογιού. Παρόλα αυτά πρέπει να ληφθούν υπόψη οι τυχόν παραβιάσεις του χρόνου συγκράτησης και οι διακυμάνσεις στα πλάτη του παλμού.

Όπως έχουμε προαναφέρει, τα pulsed-latch κυκλώματα ενέχουν τον κίνδυνο παραβιάσεων του χρόνου συγκράτησης. Τα δεδομένα που προωθούνται κατά την θετική ακμή του παλμού πρέπει να καταφθάσουν στον επόμενο μανδαλωτή αφότου περάσει ο χρόνος συγκράτησης του οποίου το πέρας βρίσκεται μετά από την αρνητική ακμή. Οπότε μία αύξηση στο πλάτος του παλμού είναι πιθανό να δημιουργήσει παραβιάσεις του χρόνου συγκράτησης. Μπορούμε να διορθώσουμε αυτές τις παραβιάσεις, εισάγοντας στο κύκλωμα buffers για καθυστέρηση, π.χ. με τη χρήση επανασύνθεσης (resynthesis), ώστε να αυξήσουμε την καθυστέρηση των σύντομων διαδρομών.

Μολονότι ο παλμός είναι πολύ μικρός, η τεχνική δανεισμού χρόνου δύναται να δώσει ένα μικρό ποσοστό του χρόνου στα pulsed-latch κυκλώματα. Αυτή η δυνατότητα θα μπορούσε σκόπιμα να αγνοηθεί σε έναν ASIC σχεδιασμό, ώστε να απλοποιήσουμε το μοντέλο χρονισμού. Πιο συγκεκριμένα, εάν η θετική ακμή του ρολογιού θεωρείται ως ο χρόνος που τα δεδομένα προωθούνται στο επόμενο στάδιο, η ίδια ακμή τίθεται ως ο χρόνος που τα δεδομένα δεσμεύονται.

Όπως παρατηρούμε στο Σχήμα 4.3, εάν χρησιμοποιήσουμε παραπάνω από ένα πλάτη παλμού, προκύπτει ένα διαφορετικό είδος δανεισμού χρόνου. Στο παράδειγμα του Σχήματος 4.3, η συνδυαστική λογική, που βρίσκεται ανάμεσα στον καταχωρητή a και στον καταχωρητή b, δανείζεται αποτελεσματικά 4 μονάδες χρόνου από την λογική ανάμεσα στους καταχωρητές b και c, λειτουργώντας έτσι σωστά, παρόλο που η καθυστέρηση είναι μεγαλύτερη από την περίοδο του ρολογιού. Ας σημειωθεί ότι στο παράδειγμά μας η περίοδος ρολογιού πρέπει να τεθεί σε 19 μονάδες χρόνου, εάν το ρολόι Φ1 εφαρμοστεί και στους τρεις καταχωρητές.

Αυτή η προσέγγιση μπορεί να γενικευθεί σε πρόβλημα όπου το πλάτος παλμού στους μανδαλωτές διαμορφώνεται (ύστερα από PWA) με σκοπό την ελαχιστοποίηση της περιόδου ρολογιού. Μία λίστα από πλάτη παλμού προσδιορίζεται για τους διαθέσιμους μανδαλωτές. Σε αυτήν την περίπτωση το μέγιστο πλάτος παλμού πρέπει να περιοριστεί αναγκαία, υπό τον κίνδυνο παραβιάσεων του χρόνου συγκράτησης [19].

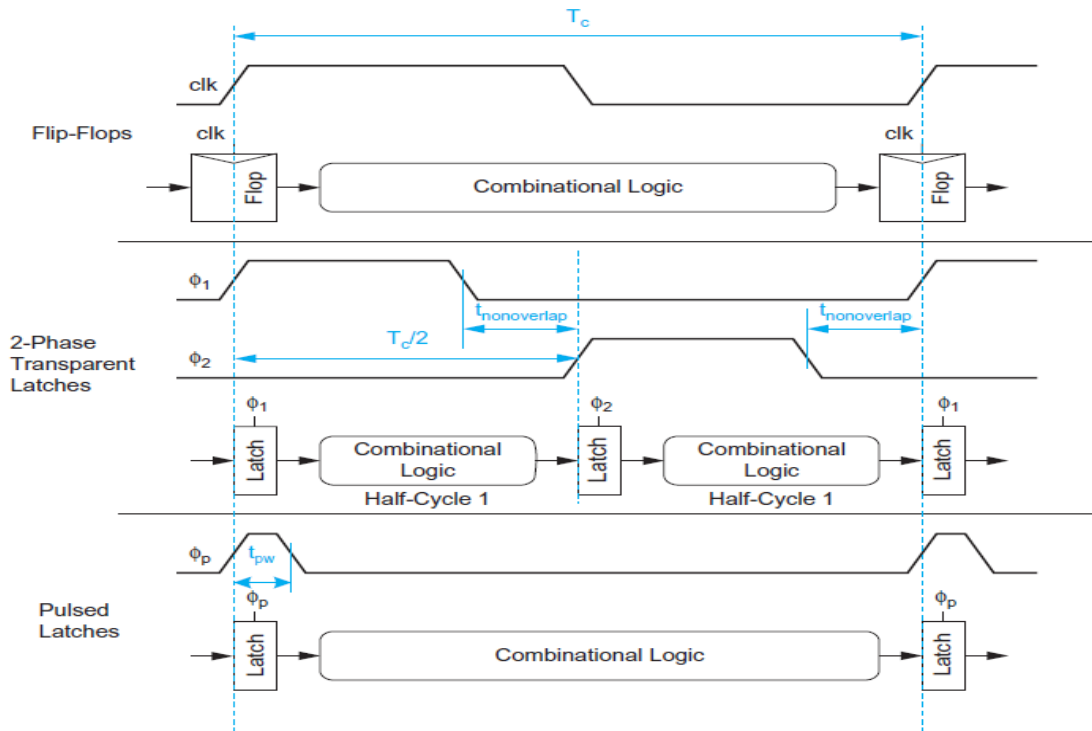


Σχήμα 4.3 Δανεισμός Χρόνου με Πολλαπλά Πλάτη Παλμού

#### 4.4. Σύγκριση Ακολουθιακών Μεθόδων

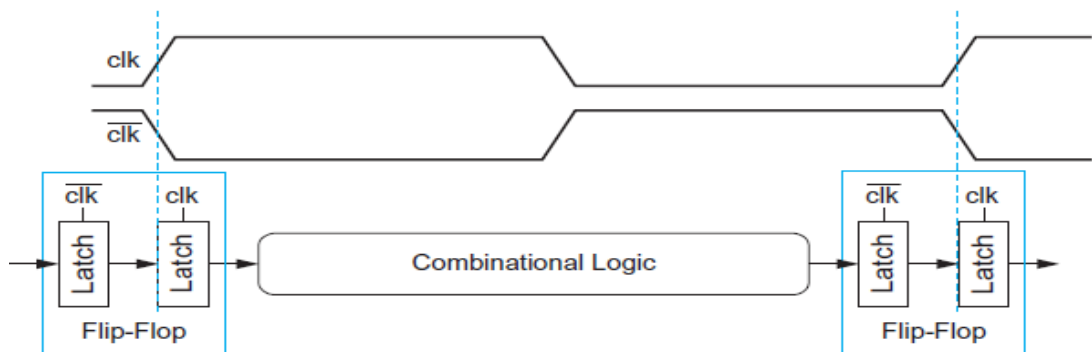
Στο Σχήμα 4.4 διακρίνουμε τρία είδη ακολουθιακών στοιχείων: flip-flops, διαφανείς μανδαλωτές δύο φάσεων και παλμικοί μανδαλωτές. Η περίοδος ρολογιού ενός flip-flop ορίζεται ως  $T_c$ . Σε ένα σύστημα δύο φάσεων, οι φάσεις του ρολογιού διαχωρίζονται με ένα χρόνο μη-επικάλυψης  $t_{nonoverlap}$ . Σε ένα σύστημα με παλμικούς μανδαλωτές, το πλάτος του παλμού ορίζεται ως  $t_{pw}$ .

Τα συστήματα που βασίζονται σε flip-flops χρησιμοποιούν ένα flip-flop σε κάθε όριο ενός κύκλου ρολογιού (cycle boundary). Τα διάφορα τμήματα δεδομένων προχωρούν από τον έναν κύκλο ρολογιού στον επόμενο κατά τη θετική ακμή του ρολογιού. Εάν ένα τμήμα δεδομένων καταφθάσει πολύ νωρίς, περιμένει στο flip-flop μέχρι τον επόμενο κύκλο. Καλό θα ήταν να θυμηθούμε ότι το flip-flop μπορεί να αντιμετωπισθεί και ως ένα ζευγάρι από μανδαλωτές με συμπληρωματικά ρολόγια, όπως φαίνεται στο Σχήμα 4.5. Εάν διαχωρίσουμε τους μανδαλωτές, μπορούμε να διαιρέσουμε ολόκληρο τον κύκλο της συνδυαστικής λογικής σε δύο φάσεις, που ορίζονται και ως ημιπερίοδοι. Τα δύο σήματα ρολογιού των μανδαλωτών ονομάζονται  $\Phi_1$  και  $\Phi_2$ . Τα  $\Phi_1$  και  $\Phi_2$  δύναται να είναι συμπληρωματικά ( $clk$  και  $clk'$ ) ή μη-επικαλυπτόμενα ( $t_{nonoverlap} > 0$ ). Σε οποιαδήποτε χρονική στιγμή, τουλάχιστον ένα σήμα ρολογιού βρίσκεται σε χαμηλή στάθμη (λογικό '0') και ο αντίστοιχος μανδαλωτής είναι αδιαφανής, αποτρέποντας έτσι ένα τμήμα δεδομένων να προφθάσει ένα άλλο.



Σχήμα 4.4 Είδη Ακολουθιακών Μεθόδων

Τα συστήματα που χρησιμοποιούν παλμικούς μανδαλωτές απομακρύνουν έναν από τους δύο μανδαλωτές του flip-flop και εφαρμόζουν ένα μικρό παλμό στον εναπομείναντα μανδαλωτή. Εάν ο παλμός είναι μικρότερος από την καθυστέρηση μέσα στη συνδυαστική λογική, μπορούμε να εξασφαλίσουμε και πάλι ότι ένα τμήμα δεδομένων θα προχωράει κάθε φορά στο επόμενο στάδιο σε κάθε παλμό [20].



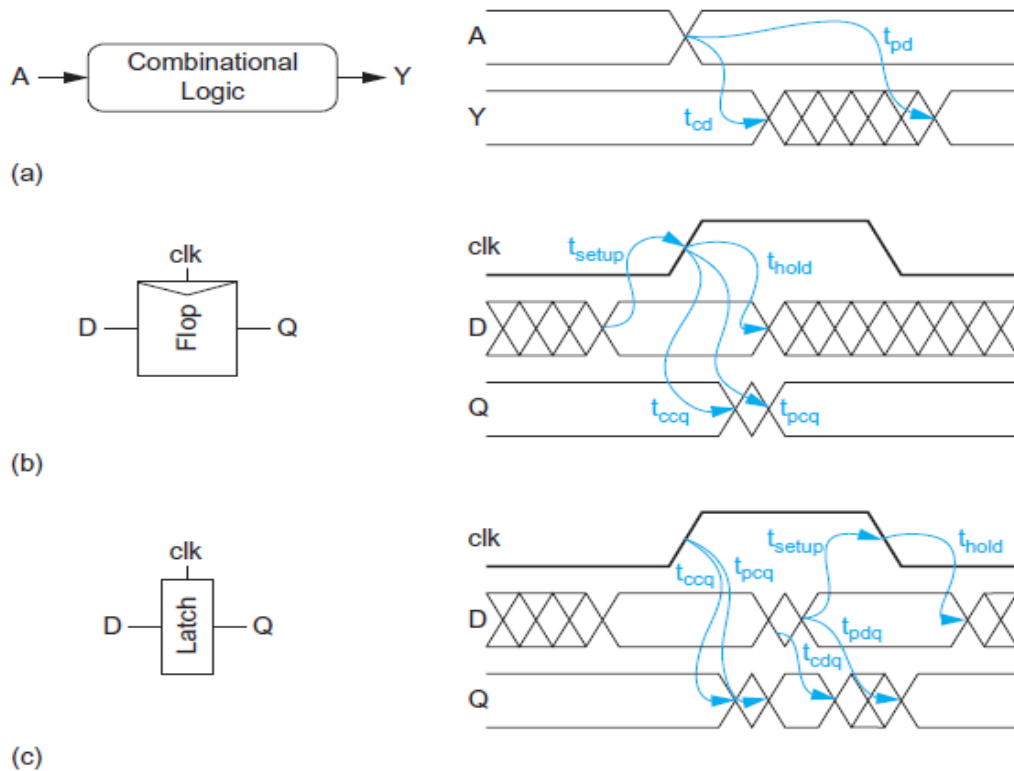
Σχήμα 4.5 Το Flip-Flop ως Ένα Ζεύγος από Μανδαλωτές

Στον Πίνακα 4.1 ορίζονται οι καθυστερήσεις και οι χρονικοί περιορισμοί της συνδυαστικής λογικής και των διαφόρων ακολουθιακών στοιχείων. Το Σχήμα 4.6

απεικονίζει αυτές τις καθυστερήσεις σε ένα χρονικό διάγραμμα, κάτι που θα μας βοηθήσει στη συνέχεια στη σύγκριση μεταξύ των ακολουθιακών μεθόδων.

Πίνακας 4.1 Χρονισμός Ακολουθιακών Στοιχείων

Term	Name
$t_{pd}$	Logic Propagation Delay
$t_{cd}$	Logic Contamination Delay
$t_{pcq}$	Latch/Flop Clock-to-Q Propagation Delay
$t_{ccq}$	Latch/Flop Clock-to-Q Contamination Delay
$t_{pdq}$	Latch D-to-Q Propagation Delay
$t_{cdq}$	Latch D-to-Q Contamination Delay
$t_{setup}$	Latch/Flop Setup Time
$t_{hold}$	Latch/Flop Hold Time



Σχήμα 4.6 Χρονικά Διαγράμματα

#### 4.4.1. Περιορισμοί Μέγιστης Καθυστέρησης (Max-Delay Constraints)

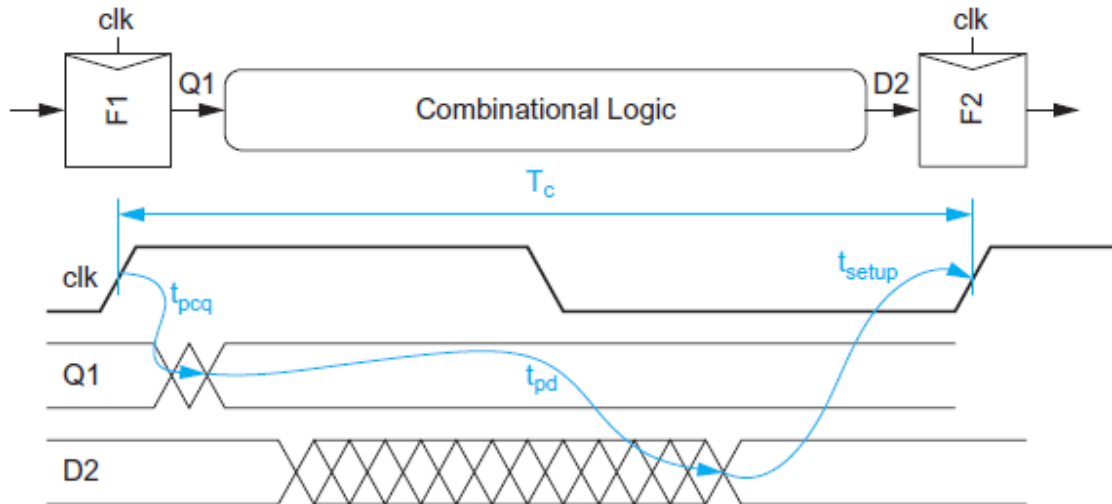
Σε ιδανικές συνθήκες, ολόκληρος ο κύκλος ρολογιού θα ήταν διαθέσιμος για υπολογισμούς στη συνδυαστική λογική. Φυσικά το χρονικό κόστος των μανδαλωτών ή των flip-flops ελαττώνει το διαθέσιμο χρόνο για υπολογισμούς. Εάν η καθυστέρηση της συνδυαστικής λογικής είναι πολύ υψηλή, το ακολουθιακό στοιχείο που θα συλλάβει τα δεδομένα, θα χάσει το χρόνο αποκατάστασης και θα αποθηκεύσει μία λανθασμένη τιμή. Το φαινόμενο αυτό ονομάζεται *αποτυχία του χρόνου αποκατάστασης (setup time failure)* ή *αποτυχία μέγιστης καθυστέρησης (max-delay failure)*. Η αποτυχία μέγιστης καθυστέρησης μπορεί να επιλυθεί με επανασχεδιασμό της λογικής, ώστε να είναι γρηγορότερη, ή με αύξηση του κύκλου ρολογιού. Σε αυτή την ενότητα, θα υπολογίσουμε τον πραγματικό διαθέσιμο χρόνο για υπολογισμό της λογικής, καθώς και τα χρονικά κόστη για τα τρία είδη ακολουθιακών στοιχείων: flip-flops, μανδαλωτές δύο φάσεων και παλμικούς μανδαλωτές.

Στο Σχήμα 4.7 παρατηρούμε τους χρονικούς περιορισμούς μέγιστης καθυστέρησης σε μία διαδρομή από ένα flip-flop στο επόμενο, με την υπόθεση ότι το σήμα ρολογιού δε διαθέτει καθόλου skew. Η διαδρομή ξεκινά με τη θετική ακμή του ρολογιού στο flip-flop F1. Τα δεδομένα πρέπει να διαδοθούν στην έξοδο του flip-flop Q1 και μέσω της συνδυαστικής λογικής στη γραμμή D2, καταφτάνοντας στο F2 πριν από την επόμενη θετική ακμή του ρολογιού. Αυτό προϋποθέτει ότι η περίοδος ρολογιού πρέπει να είναι τουλάχιστον:

$$T_c \geq t_{pq} + t_{pd} + t_{\text{setup}} \quad \text{Εξ. 4.1}$$

Εναλλακτικά, μπορούμε να επιλύσουμε το πρόβλημα της μέγιστης επιτρεπτής καθυστέρησης της λογικής, που είναι απλώς η διαφορά της περιόδου του ρολογιού μείον το χρονικό κόστος του flip-flop:

$$t_{pd} \leq T_c - (t_{\text{setup}} + t_{pq}) \quad \text{Εξ. 4.2}$$



Σχήμα 4.7 Περιορισμός Μέγιστης Καθυστέρησης για τα Flip-Flops

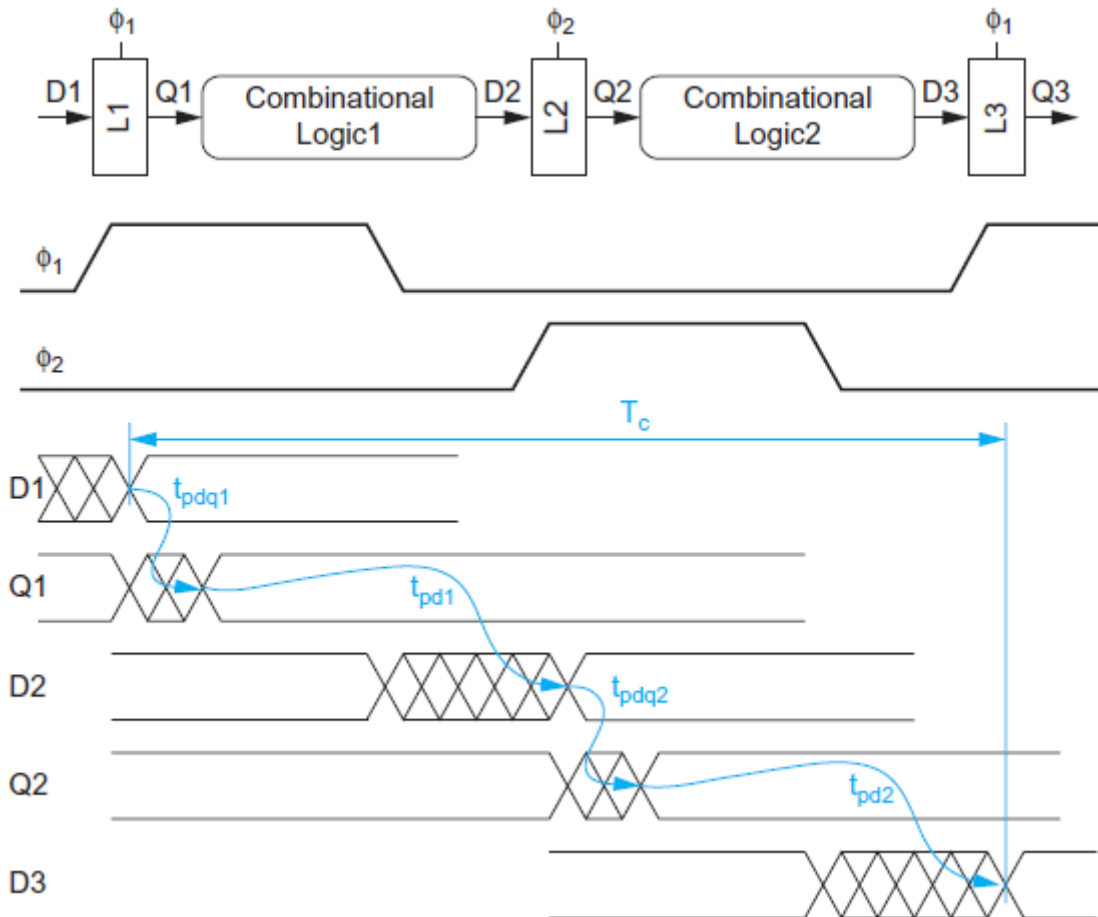
Το Σχήμα 4.8 μας υποδεικνύει τους περιορισμούς, όμοια με το flip-flop, σε μία διαδρομή, χρησιμοποιώντας μανδαλωτές δύο φάσεων. Ας υποθέσουμε ότι τα δεδομένα D1 καταφθάνουν στο μανδαλωτή L1 όσο ο μανδαλωτής βρίσκεται σε διαφάνεια (Φ1 σε υψηλή στάθμη). Τα δεδομένα διαδίδονται μέσω του L1, του πρώτου τμήματος λογικής, του L2 και του δεύτερου τμήματος λογικής. Τεχνικά, τα δεδομένα D3 θα μπορούσαν να καταφτάσουν τόσο αργά όσο ο χρόνος αποκατάστασης πριν από την αρνητική ακμή του Φ1, και να συλληφθούν σωστά από το L3. Ουσιαστικά, τα δεδομένα D3 καταφθάνουν όχι περισσότερο από μία περίοδο ρολογιού μετά τα δεδομένα D1, διότι είναι αδύνατο για καθεμία διαδρομή ενός κύκλου σε κάποιο σχεδιασμό να καταναλώνει περισσότερο από μία περίοδο ρολογιού. Κάποιες διαδρομές θα χρειάζονται λιγότερο και κάποιες περισσότερο χρόνο για υπολογισμό. Έτσι, υποθέτοντας ότι η διαδρομή δε χρειάζεται περισσότερο από έναν κύκλο, η περίοδος του ρολογιού πρέπει να παίρνει τιμές:

$$T_c \geq t_{pdq1} + t_{pd1} + t_{pdq2} + t_{pd2} \quad \text{Εξ. 4.3}$$

Όμοια με τα flip-flops, μπορούμε να υπολογίσουμε τη μέγιστη καθυστέρηση της λογικής, η οποία θα ισούται με το άθροισμα των καθυστερήσεων της λογικής κατά τη διάρκεια των δύο φάσεων. Το ακολουθιακό χρονικό κόστος αποτελείται από τις

καθυστερήσεις διάδοσης των δύο μανδαλωτών. Οπότε παρόμοια με την Εξ. 4.2, η μέγιστη επιτρεπτή καθυστέρηση της λογικής θα ισούται με:

$$t_{pd} = t_{pd1} + t_{pd2} \leq T_c - (2t_{pdq}) \quad \text{Εξ. 4.4}$$



Σχήμα 4.8 Περιορισμός Μέγιστης Καθυστέρησης για τους Μανδαλωτές Δύο Φάσεων

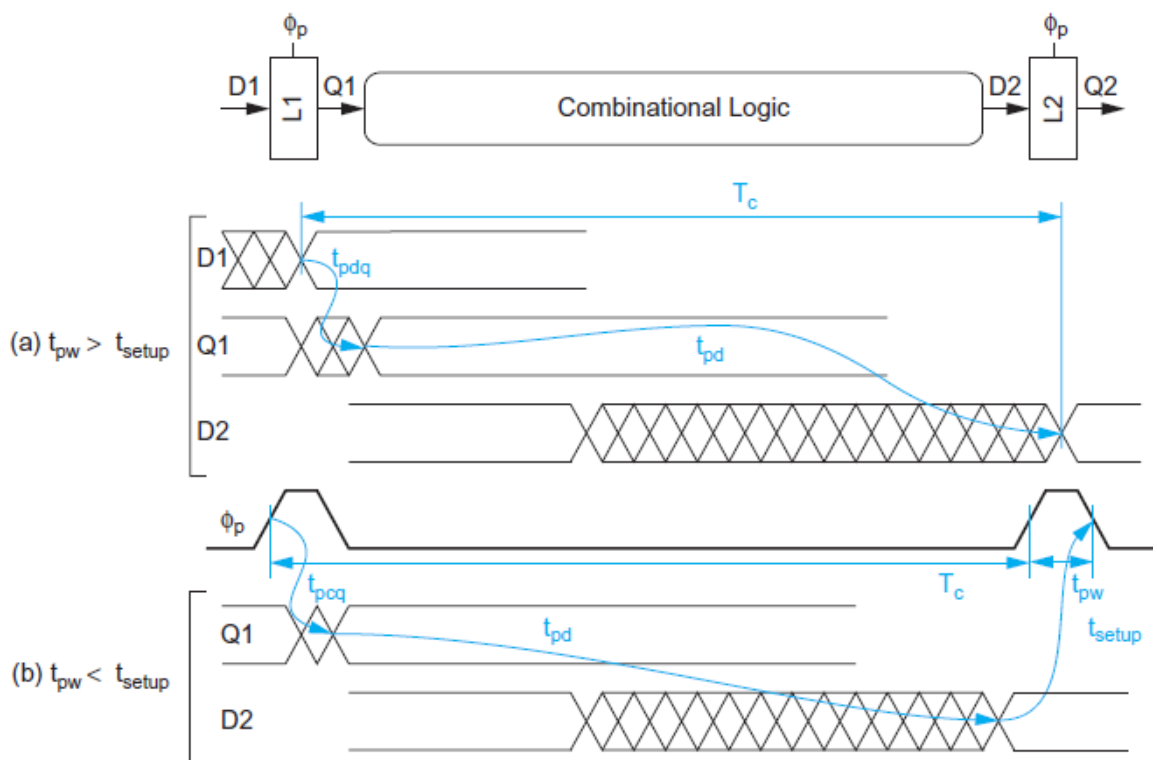
Ο περιορισμός μέγιστης καθυστέρησης για συστήματα που βασίζονται σε παλμικούς μανδαλωτές είναι παρόμοιος με τον αντίστοιχο των μανδαλωτών δύο φάσεων, εκτός από το γεγονός ότι μόνο ένας μανδαλωτής βρίσκεται σε κρίσιμη διαδρομή, όπως φαίνεται στο Σχήμα 4.9(α). Παρόλα αυτά, εάν ο παλμός είναι μικρότερος από το χρόνο αποκατάστασης, τα δεδομένα πρέπει να είναι σταθεροποιημένα πριν από την ακμή του παλμού, όπως φαίνεται στο Σχήμα 4.9(β). Συνδυάζουμε αυτές τις δύο περιπτώσεις και έχουμε ότι:



$$T_c \geq \max(t_{pdq} + t_{pd}, t_{pcq} + t_{pd} + t_{setup} - t_{pw}) \quad \text{Εξ. 4.5}$$

Όσον αφορά τη μέγιστη καθυστέρηση της λογικής, το ακολουθιακό χρονικό κόστος ισούται με την καθυστέρηση ενός και μόνο μανδαλωτή, εφόσον ο παλμός είναι πλατύς αρκετά ώστε να καλύψει το χρόνο αποκατάστασης [20].

$$t_{pd} \leq T_c - \max(t_{pdq}, t_{pcq} + t_{setup} - t_{pw}) \quad \text{Εξ. 4.6}$$



Σχήμα 4.9 Περιορισμός Μέγιστης Καθυστέρησης για Παλμικούς Μανδαλωτές

#### 4.4.2. Περιορισμοί Ελάχιστης Καθυστέρησης (Min-Delay Constraints)

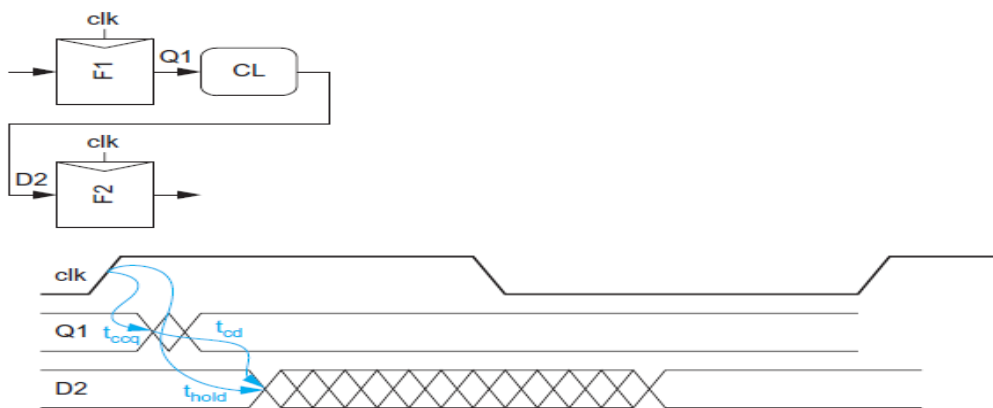
Σε αυτό το σημείο, καλό θα ήταν να ορίσουμε σαν έννοια το *χρόνο μόλυνσης* (*contamination time*). Ο χρόνος μόλυνσης ορίζεται ως ο ελάχιστος χρόνος που απαιτείται ώστε η έξοδος ενός ακολουθιακού στοιχείου να συγχρονιστεί με την είσοδό του. Σε ιδανικές συνθήκες, τα ακολουθιακά κυκλώματα μπορούν να τοποθετηθούν σε κοντινές μεταξύ τους αποστάσεις, χωρίς να παρεμβαίνει συνδυαστική λογική και πάλι να λειτουργήσουν σωστά. Για παράδειγμα, μία δομή

διοχέτευσης μπορεί να χρησιμοποιεί τους καταχωρητές δίπλα-δίπλα, για να αποθηκεύσει τον κωδικό μίας εντολής χωρίς να τον τροποποιήσει. Εντούτοις, εάν ο χρόνος συγκράτησης είναι μεγάλος και ο χρόνος μόλυνσης είναι μικρός, τα δεδομένα μπορούν να διαδοθούν λανθασμένα μέσα από δύο διαδοχικά ακολουθιακά στοιχεία κατά τη διάρκεια μίας ακμής ρολογιού, με συνέπεια την αλλοίωση της κατάστασης του συστήματος. Το φαινόμενο αυτό αποκαλείται *κατάσταση ανταγωνισμού* (*race condition*), *αποτυχία χρόνου συγκράτησης* (*hold-time failure*) ή *αποτυχία ελάχιστης καθυστέρησης* (*min-delay failure*). Το συγκεκριμένο πρόβλημα μπορεί να επιλυθεί μόνο με επανασχεδιασμό της λογικής και όχι με επιβράδυνση της συχνότητας του σήματος ρολογιού.

Στο Σχήμα 4.10 παρατηρούμε τους χρονικούς περιορισμούς ελάχιστης καθυστέρησης σε μία διαδρομή από ένα flip-flop στο επόμενο, με την υπόθεση ότι το σήμα ρολογιού δε διαθέτει καθόλου skew. Η διαδρομή ξεκινά με τη θετική ακμή του ρολογιού στο flip-flop F1. Τα δεδομένα μπορεί να αρχίσουν να αλλάζουν στην έξοδο Q1, ύστερα από ένα clk-to-Q χρόνο μόλυνσης, και στην είσοδο D2, ύστερα από ακόμα ένα χρόνο μόλυνσης της λογικής. Παρόλα αυτά, τα δεδομένα δεν πρέπει να καταφτάσουν στη D2 μέχρι τουλάχιστον το χρόνο συγκράτησης  $t_{hold}$  ύστερα από την ακμή του ρολογιού, για να μην αλλοιώσει τα περιεχόμενα του F2. Οπότε, ο ελάχιστος χρόνος μόλυνσης της λογικής θα είναι:

$$t_{ad} \geq t_{hold} - t_{cq}$$

Εξ. 4.7

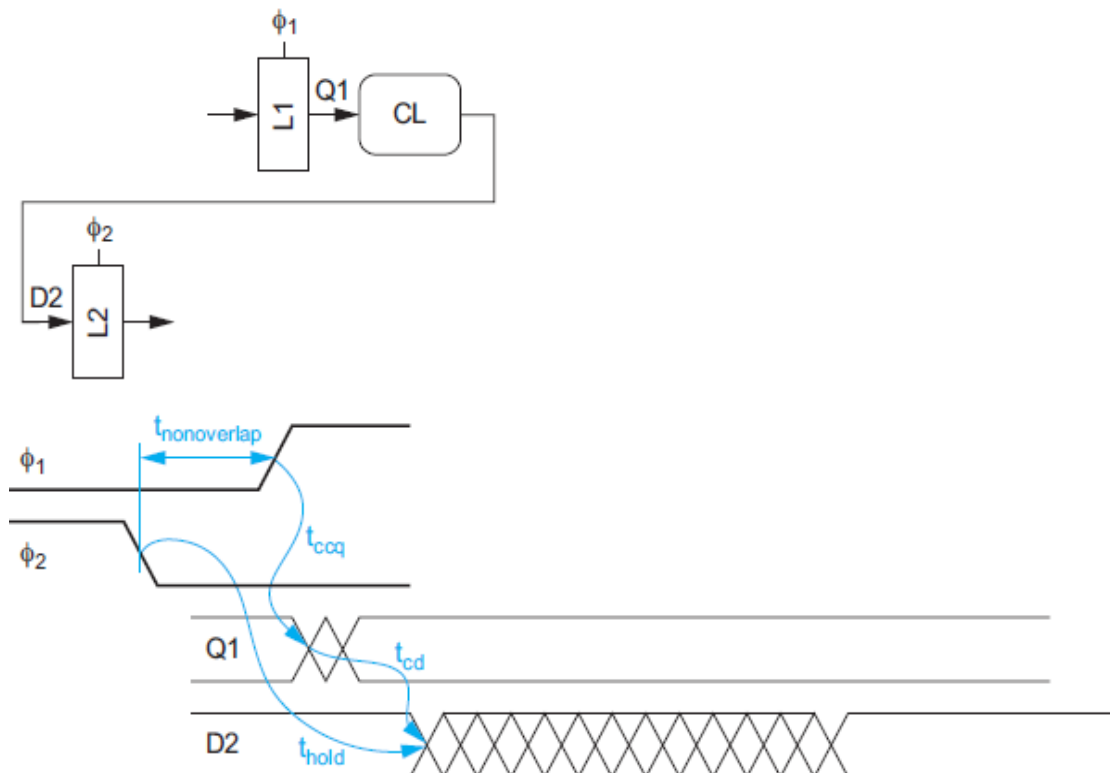


Σχήμα 4.10 Περιορισμός Ελάχιστης Καθυστέρησης για τα Flip-Flops

Εάν ο χρόνος μόλυνσης μέσω του flip-flop ξεπερνά το χρόνο συγκράτησης, μπορούμε να χρησιμοποιήσουμε ασφαλώς flip-flops δίπλα δίπλα. Διαφορετικά, θα πρέπει να προσθέσουμε καθυστέρηση ανάμεσα στα flip-flops ή να χρησιμοποιήσουμε ειδικά αργά flip-flops με χρόνο μόλυνσης μεγαλύτερο από το φυσιολογικό, σε διαδρομές που απαιτούν διαδοχικά flip-flops.

Το Σχήμα 4.11 μας υποδεικνύει τους χρονικούς περιορισμούς ελάχιστης καθυστέρησης σε μία διαδρομή, χρησιμοποιώντας μανδαλωτές δύο φάσεων. Η διαδρομή αρχίζει με το πέρασμα των δεδομένων από το μανδαλωτή L1 κατά τη θετική ακμή του  $\Phi_1$ . Τα δεδομένα δεν πρέπει να καταφτάσουν στο L2 μέχρι το χρόνο συγκράτησης ύστερα από την προηγούμενη καθοδική ακμή του  $\Phi_2$ , διότι το L2 θα πρέπει να έχει γίνει αδιαφανές, πριν το L1 γίνει διαφανές. Καθώς οι ακμές διαχωρίζονται από ένα χρόνο  $t_{\text{nonoverlap}}$ , ο ελάχιστος χρόνος μόλυνσης της λογικής μέσα από κάθε φάση της λογικής είναι:

$$t_{ad1}, t_{ad2} \geq t_{\text{hold}} - t_{\text{cq}} - t_{\text{nonoverlap}} \quad \text{Εξ. 4.8}$$



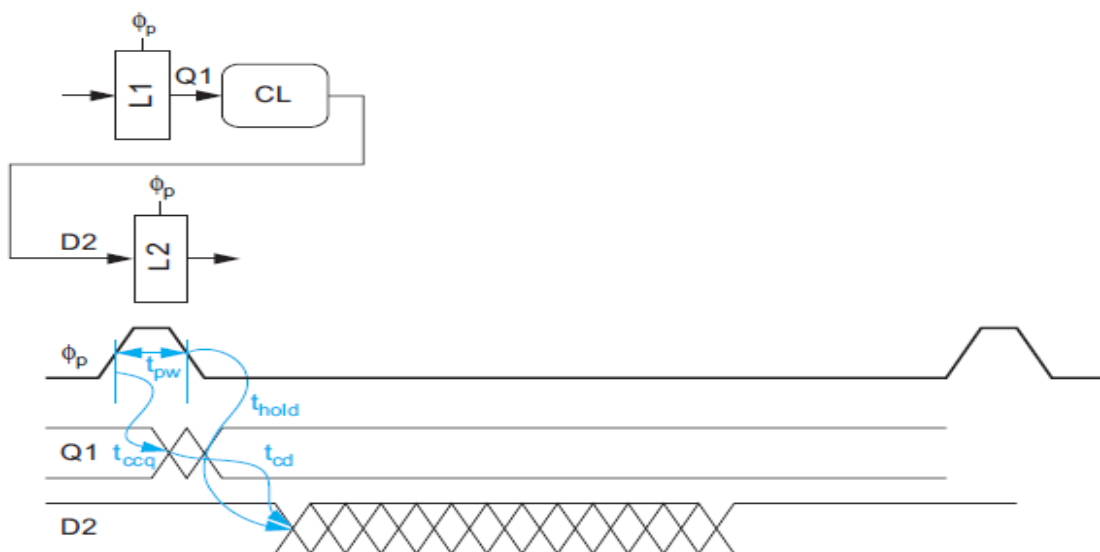
Σχήμα 4.11 Περιορισμός Ελάχιστης Καθυστέρησης για Μανδαλωτές Δύο Φάσεων

Αυτό το αποτέλεσμα μας δείχνει ότι με τη δημιουργία ενός επαρκώς μεγάλου χρόνου μη-επικάλυψης, η αποτυχία του χρόνου συγκράτησης μπορεί να αποφευχθεί ολοκληρωτικά. Το παράδοξο της υπόθεσης είναι ότι ο περιορισμός του χρόνου μόλυνσης εφαρμόζεται σε κάθε φάση λογικής για συστήματα που βασίζονται σε μανδαλωτές, ενώ εφαρμόζεται σε ολόκληρο τον κύκλο λογικής για συστήματα που βασίζονται σε flip-flops. Επομένως, φαίνεται ότι οι μανδαλωτές απαιτούν διπλάσιο χρόνο μόλυνσης της λογικής σε σχέση με τα flip-flops. Όμως τα flip-flops υλοποιούνται και με ζεύγη από μανδαλωτές. Το παράδοξο επιλύεται με την παρατήρηση ότι ένα flip-flop διαθέτει μία εσωτερική κατάσταση ανταγωνισμού μεταξύ των δύο μανδαλωτών. Οπότε το flip-flop πρέπει να σχεδιαστεί με τέτοιο τρόπο ώστε να λειτουργεί αξιόπιστα.

Στο Σχήμα 4.12 παρατηρούμε τους χρονικούς περιορισμούς ελάχιστης καθυστέρησης σε μία διαδρομή από έναν παλμικό μανδαλωτή στον επόμενο. Σε αυτήν την περίπτωση τα δεδομένα αναχωρούν κατά τη θετική ακμή του παλμού αλλά πρέπει να κρατηθούν σταθερά μέχρι την αρνητική ακμή του παλμού [20].

$$t_{ad} \geq t_{\text{hold}} - t_{\text{cq}} + t_{\text{pw}}$$

Εξ. 4.9



Σχήμα 4.12 Περιορισμός Ελάχιστης Καθυστέρησης για Παλμικούς Μανδαλωτές

## ΚΕΦΑΛΑΙΟ 5. Η ΠΡΟΤΕΙΝΟΜΕΝΗ ΤΕΧΝΙΚΗ ΑΝΙΧΝΕΥΣΗΣ ΚΑΙ ΔΙΟΡΘΩΣΗΣ ΛΑΘΩΝ ΧΡΟΝΙΣΜΟΥ

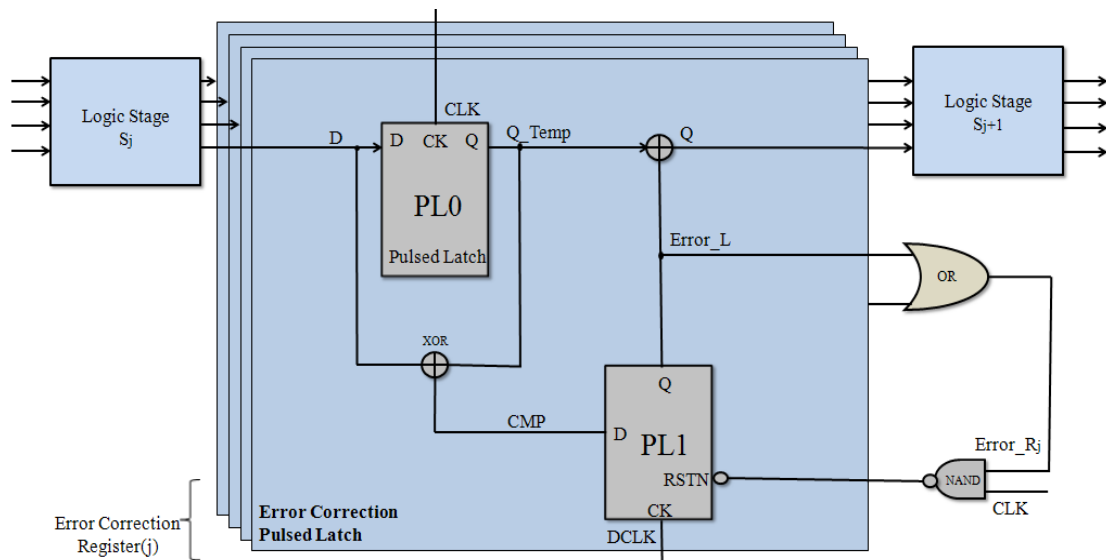
- 
- 5.1 Ο Προτεινόμενος Παλμικός Μανδαλωτής με Δυνατότητα Διόρθωσης Λαθών
  - 5.2 Λειτουργία Κυκλώματος
  - 5.3 Αποκατάσταση Δομής Διοχέτευσης
  - 5.4 Πειραματικές Διατάξεις
  - 5.5 Εισαγωγή Λαθών Χρονισμού στα Κυκλώματα
  - 5.6 Πειραματικά Αποτελέσματα της Προτεινόμενης Τεχνικής
  - 5.7 Σύγκριση της Προτεινόμενης Τεχνικής με Υπάρχουσες Τεχνικές
- 

Σε αυτό το κεφάλαιο θα παρουσιάσουμε την προτεινόμενη τεχνική ανίχνευσης και διόρθωσης λαθών χρονισμού η οποία εφαρμόζεται σε σχεδιασμούς που χρησιμοποιούν παλμικούς μανδαλωτές (pulsed-latches) ως στοιχεία μνήμης.

### **5.1. Ο Προτεινόμενος Παλμικός Μανδαλωτής με Δυνατότητα Διόρθωσης Λαθών**

Ο προτεινόμενος μηχανισμός ανίχνευσης και διόρθωσης λαθών χρονισμού βασίζεται σε έναν νέο παλμικό μανδαλωτή με δυνατότητα ανίχνευσης και διόρθωσης λαθών (Error detection and Correction Pulsed Latch – ECPL), το οποίο παρουσιάζουμε στο Σχήμα 5.1. Το ECPL αποτελείται από τον κύριο παλμικό μανδαλωτή (PL0), δύο πύλες XOR καθώς και ένα δεύτερο παλμικό μανδαλωτή (PL1). Το PL0 χρονίζεται από το παλμικό ρολόι CLK, ενώ το PL1 από ένα κατάλληλα καθυστερημένο αντίγραφο παλμικού ρολογιού, το DCLK. Πρέπει να σημειωθεί ότι το PL1 διαθέτει δυνατότητα ασύγχρονου μηδενισμού. Να αναφερθεί ότι οι παλμοί ρολογιού CLK και DCLK παράγονται από το σήμα ρολογιού του συστήματος SCLK.

Η μία πύλη XOR συγκρίνει την είσοδο D με την έξοδο Q\_Temp του κύριου παλμικού μανδαλωτή και εμφανίζει το αποτέλεσμα της σύγκρισης στο σήμα CMP (λογικό 1 σε περίπτωση διαφωνίας). Το PL1 αποθηκεύει την τιμή της σύγκρισης και οδηγεί το σήμα τοπικής ένδειξης λάθους Error\_L στη μία είσοδο της δεύτερης XOR. Ανάλογα με το αποτέλεσμα της σύγκρισης, μέσα σε ένα συγκεκριμένο χρονικό διάστημα, το σήμα Q\_Temp περνάει είτε αντεστραμμένο (διόρθωση λάθους) είτε αυτούσιο στην έξοδο Q της πύλης XOR.



Σχήμα 5.1 Ο Προτεινόμενος Παλμικός Μανδαλωτής με Δυνατότητα Διόρθωσης Λαθών

Αρχικά η έξοδος Error\_L του PL1 τοποθετείται σε λογικό '0', ώστε εξ' ορισμού η τιμή της εξόδου Q\_Temp του κύριου παλμικού μανδαλωτή να τροφοδοτεί το επόμενο στάδιο λογικής. Στην περίπτωση που δεν υπάρχει λάθος (error free case), το αποτέλεσμα της σύγκρισης (σήμα CMP) είναι λογικό '0' στην έξοδο της πρώτης πύλης XOR, ύστερα από την υψηλή στάθμη του παλμού ρολογιού CLK. Αυτή η τιμή συλλαμβάνεται από το PL1 κατά την υψηλή στάθμη του παλμού ρολογιού DCLK, και στη συνέχεια περνάει στην έξοδο Error\_L. Η έξοδος Error\_L οδηγεί με λογικό '0' τη μία είσοδο της δεύτερης XOR, με αποτέλεσμα η τιμή της εξόδου Q\_Temp του PL0 να περάσει αυτούσια στην έξοδο Q και να τροφοδοτήσει το επόμενο λογικό στάδιο S<sub>j+1</sub>.

Υπό την παρουσία ενός σφάλματος χρονισμού στο λογικό στάδιο  $S_j$ , ένα καθυστερημένο σήμα φθάνει στην είσοδο D του κύριου παλμικού μανδαλωτή PL1, ύστερα από την υψηλή στάθμη του παλμού ρολογιού CLK. Σε αυτή την περίπτωση, ένα λάθος χρονισμού συμβαίνει στην έξοδο Q\_Temp του κύριου παλμικού μανδαλωτή και λανθασμένα δεδομένα μεταφέρονται στο επόμενο λογικό στάδιο  $S_{j+1}$ . Επιπλέον, η τιμή της Q\_Temp εξόδου διαφέρει από την σωστή/αναμενόμενη τιμή της D εισόδου. Η πρώτη πύλη XOR ανιχνεύει αυτή τη διαφορά και θέτει την έξοδο της CMP σε λογικό '1'.

Το PL1 συλλαμβάνει την τιμή του σήματος CMP και τη μεταφέρει στην έξοδο Error\_L. Η έξοδος Error\_L οδηγεί με λογικό '1' τη σχετική είσοδο της δεύτερης XOR, με αποτέλεσμα η τιμή της εξόδου Q\_Temp του PL0 να εμφανιστεί αντεστραμμένη στην έξοδο Q και να τροφοδοτήσει με τα σωστά πλέον δεδομένα το επόμενο λογικό στάδιο  $S_{j+1}$ . Με αυτόν τον τρόπο το λάθος χρονισμού διορθώνεται στην έξοδο του ECPL (είσοδο του επόμενου λογικού σταδίου). Εξ'ορισμού, το σήμα Q τροφοδοτεί το επόμενο στάδιο της λογικής καθώς η έξοδος του PL1 αρχικοποιείται πάντα στο λογικό μηδέν.

Εν συντομία, η προτεινόμενη τεχνική για ανίχνευση και διόρθωση λαθών χρονισμού λειτουργεί ως εξής. Ας υποθέσουμε ότι ένα λάθος χρονισμού ανιχνεύεται σε μία ή περισσότερες εισόδους του σταδίου συνδυαστικής λογικής  $S_{j+1}$ , εξαιτίας μίας καθυστερημένης απάντησης του προηγούμενου σταδίου  $S_j$ . Συνεπώς, το αποτέλεσμα στην είσοδο ή τις εισόδους του  $S_{j+1}$  θα είναι λανθασμένο και πρέπει να διορθωθεί. Τώρα διακρίνουμε δύο περιπτώσεις, την περίπτωση όπου το λογικό στάδιο  $S_{j+1}$  είναι βαθύ (έχει μεγάλη καθυστέρηση διάδοσης σήματος) και την περίπτωση όπου το λογικό στάδιο  $S_{j+1}$  είναι ρηχό (έχει συνολικά μικρή καθυστέρηση διάδοσης σήματος).

Εάν το στάδιο λογικής  $S_{j+1}$  είναι *βαθύ*, αυτό σημαίνει ότι διαθέτει μεγάλες και αργές διαδρομές σήματος και απαιτεί μεγάλο μέρος της περιόδου ρολογιού για το σχετικό υπολογισμό. Τότε, για να επιτευχθεί η ανάκαμψη από το λάθος, ο χρόνος υπολογισμού του κυκλώματος πρέπει να παραταθεί κατά έναν κύκλο ρολογιού ώστε αφού το στάδιο  $S_{j+1}$  τροφοδοτηθεί με τις σωστές τιμές στις εισόδους του μετά τη

διόρθωση, να υπολογίσει τις αντίστοιχες αποκρίσεις. Εάν το στάδιο λογικής  $S_{j+1}$  είναι ρηχό, δηλ. διαθέτει μικρές και γρήγορες διαδρομές, τότε ο απαιτούμενος χρόνος υπολογισμού αποτελεί ένα μικρό μέρος της περιόδου ρολογιού. Συνεπώς, η διόρθωση του λάθους μπορεί να επιτευχθεί εντός του ίδιου κύκλου ρολογιού με τον κύκλο ρολογιού όπου έγινε η ανίχνευση και διόρθωση του λάθους χρονισμού.

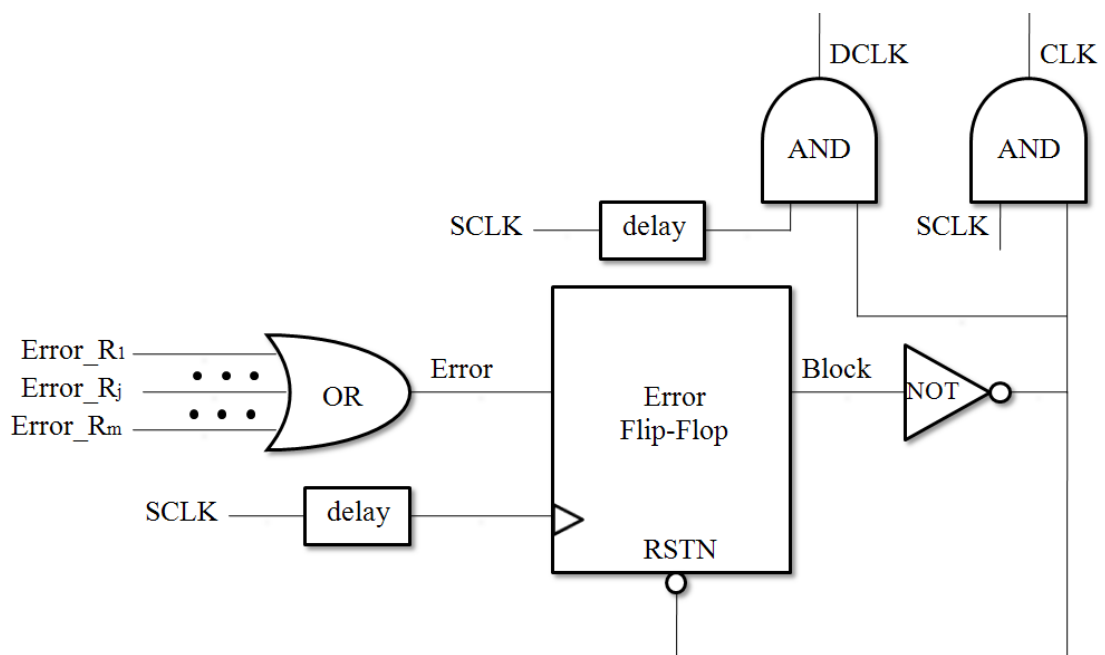
Μετά την τοπική ανίχνευση και διόρθωση του λάθους στο ECPL, η έξοδος Error\_L θα πρέπει να παραμείνει σε λογικό '1' μέχρι την επόμενη θετική ακμή του παλμού ρολογιού CLK, ώστε σε όλη τη διάρκεια του τρέχοντος κύκλου ρολογιού το επόμενο στάδιο να έχει στην είσοδό του σωστά δεδομένα. Με την ολοκλήρωση του κύκλου ρολογιού η έξοδος Error\_L θα πρέπει να επανέλθει σε λογικό '0'. Αυτό επιτυγχάνεται ως ακολούθως: Αρχικά συγκεντρώνουμε όλα τα σήματα ένδειξης λάθους Error\_L ενός καταχωρητή  $j$  σε ένα σήμα ένδειξης λάθους καταχωρητή Error\_R $_j$ , μέσω μίας πύλης OR. Το σήμα ένδειξης λάθους καταχωρητή Error\_R $_j$  οδηγείται σε μία πύλη NAND μαζί με το σήμα ρολογιού CLK. Η έξοδος της πύλης NAND οδηγεί τις εισόδους ασύγχρονου μηδενισμού όλων των PL1 του καταχωρητή. Αν έχει ανιχνευθεί λάθος (Error\_L="λογικό 1"), τότε στην επόμενη θετική ακμή του παλμού ρολογιού CLK, η είσοδος ασύγχρονου μηδενισμού των PL1 ενεργοποιείται με λογικό '0' και συνεπώς οι έξοδοι Error\_L των PL1 επαναρχικοποιούνται στο λογικό '0'.

#### *Περίπτωση για Βαθύ Επόμενο Λογικό Στάδιο ( $S_{j+1}$ )*

Όπως και στην περίπτωση του ρηχού λογικού σταδίου, έτσι και σε αυτή την περίπτωση, υπό την παρουσία ενός σφάλματος χρονισμού στο λογικό στάδιο  $S_j$ , μεταφέρονται λανθασμένα δεδομένα στο επόμενο λογικό στάδιο ( $S_{j+1}$ ). Το λάθος ανιχνεύεται και διορθώνεται τοπικά στο ECPL. Όμως, εφόσον το λογικό στάδιο  $S_{j+1}$  είναι βαθύ, δεν είναι δεδομένο ότι στον χρόνο που υπολείπεται, μετά την τοπική διόρθωση του λάθους, το στάδιο θα προλάβει να ολοκληρώσει τον υπολογισμό του. Συνεπώς, χρειάζεται πρόσθετος χρόνος, ώστε να εξασφαλιστεί ότι θα ολοκληρωθεί ο υπολογισμός με τις σωστές τιμές στις εισόδους του σταδίου. Μια λύση στο πρόβλημα είναι ο χρόνος υπολογισμού του σταδίου να παραταθεί κατά έναν κύκλο ρολογιού, ενώ τα υπόλοιπα στάδια να μείνουν παγωμένα ώστε το κύκλωμα να ανακάμψει από το λάθος.



Κάτι τέτοιο επιτυγχάνεται με την τεχνική της αναστολής ρολογιού (clock gating). Για την υλοποίηση της τεχνικής, χρησιμοποιούμε τη μονάδα ελέγχου (control unit) του Σχήματος 5.2. Η μονάδα ελέγχου λειτουργεί ως εξής: Τα σήματα ένδειξης λάθους όλων των καταχωρητών (που αναφέραμε νωρίτερα) συγκεντρώνονται σε ένα καθολικό σήμα ένδειξης λάθους Error. Το σήμα Error συλλαμβάνεται από ένα flip-flop (Error Flip-Flop - EFF), το οποίο οδηγείται από το σήμα ρολογιού συστήματος SCLK με κάποια καθυστέρηση. Η καθυστέρηση αυτή ισούται με το χρόνο που απαιτείται για τη δημιουργία του σήματος Error\_L και τη διάδοσή του από το ζευγάρι των OR πυλών στο EFF. Πρέπει να σημειωθεί ότι ο μηδενισμός του EFF είναι σύγχρονος.



Σχήμα 5.2 Μονάδα Ελέγχου

Το σήμα ένδειξης λάθους περνά στην έξοδο του EFF, οπότε παράγεται το σήμα εμπόδισης ρολογιού Block. Το σήμα Block με τη χρήση πυλών AND εμποδίζει το σήμα SCLK να διαδοθεί στο κύκλωμα είτε ως CLK είτε ως DCLK. Με αυτόν τον τρόπο, οι παλμοί ρολογιού CLK και DCLK παραμένουν σε λογικό '0' μετά την ανίχνευση ενός λάθους για όσο χρονικό διάστημα το σήμα Block βρίσκεται σε λογικό '1'.

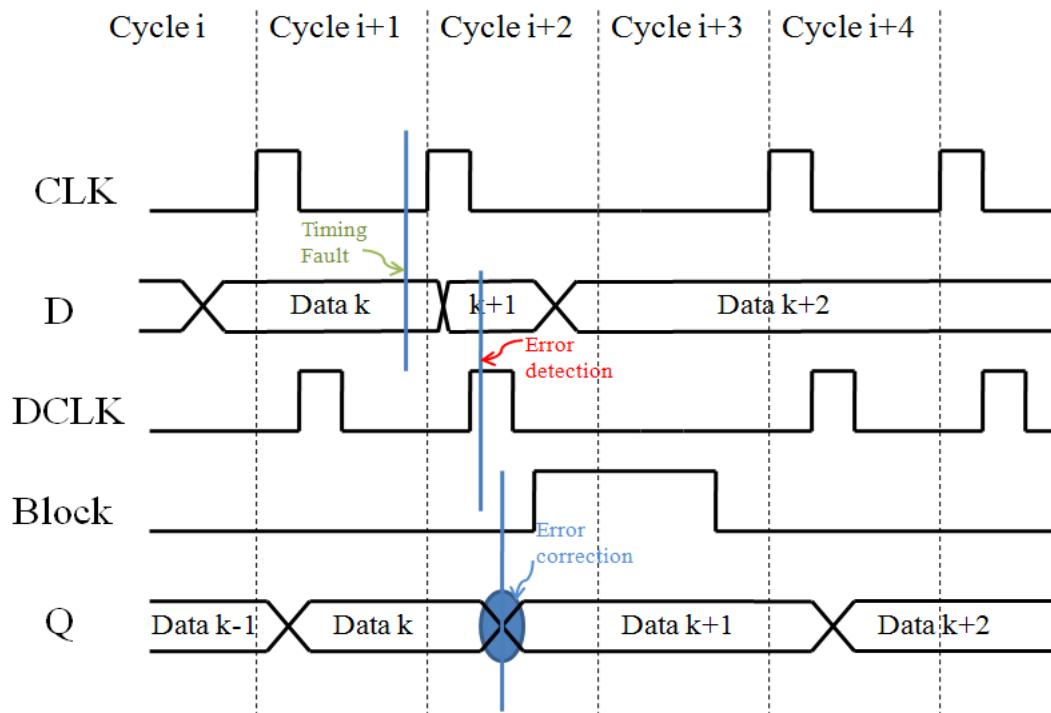
Το χρονικό διάστημα που επιθυμούμε να εμποδίσουμε τη διάδοση του παλμού ρολογιού SCLK ισούται με έναν κύκλο ρολογιού, αυτόν μετά τον κύκλο ανίχνευσης του λάθους. Οπότε χρησιμοποιούμε το αντεστραμμένο σήμα του Block ώστε να οδηγήσουμε την είσοδο σύγχρονου μηδενισμού του EFF. Έτσι στην επόμενη θετική ακμή του καθυστερημένου σήματος ρολογιού SCLK, η έξοδος του EFF θα επαναρυθμιστεί σε λογικό '0'. Σαν συνέπεια, οι παλμοί ρολογιού CLK και DCLK θα συνεχίσουν ανεμπόδιστα τη διάδοσή τους στο κύκλωμα.

## 5.2. Λειτουργία Κυκλώματος

Στο Σχήμα 5.3 παρουσιάζουμε τα διαγράμματα χρονισμού για τη λειτουργία του ECPL του Σχήματος 5.2. Έστω ότι το λογικό στάδιο  $S_{j+1}$  διαθέτει αργές διαδρομές σήματος (βαθύ λογικό στάδιο). Κατά τον κύκλο ρολογιού (i) η απόκριση του λογικού σταδίου  $S_j$  βρίσκεται εντός των χρονικών προδιαγραφών του κυκλώματος (περίπτωση απουσίας σφάλματος). Αυτό σημαίνει ότι αμέσως μετά την υψηλή στάθμη του παλμού ρολογιού CLK, η είσοδος D και η έξοδος Q\_Temp του κύριου παλμικού μανδαλωτή διαθέτουν τις ίδιες τιμές. Έτσι το σήμα CMP της πύλης XOR βρίσκεται σε λογικό '0' και το ίδιο συμβαίνει και για τα δύο σήματα Error\_L και Error\_Rj ύστερα από τον παλμό ρολογιού DCLK. Συνεπώς, η δεύτερη πύλη XOR διατηρεί την προκαθορισμένη επιλογή του σήματος Q για την τροφοδοσία του επόμενου σταδίου λογικής  $S_{j+1}$  με σωστά δεδομένα. Σε αυτή την περίπτωση η λειτουργία του κυκλώματος παραμένει αμετάβλητη.

Κατά τον επόμενο κύκλο (i+1) ένα σφάλμα χρονισμού προκύπτει λόγω αποτυχίας χρονισμού στο στάδιο  $S_j$ . Τα δεδομένα που συλλαμβάνονται από τον κύριο παλμικό μανδαλωτή είναι λανθασμένα και ένα λάθος χρονισμού εμφανίζεται στην έξοδο Q\_Temp. Οπότε η απόκριση του σταδίου  $S_{j+1}$  κατά τον επόμενο κύκλο (i+2) θα είναι επίσης λανθασμένη. Επιπλέον, εξαιτίας του σφάλματος συμβαίνει μία μετάβαση στην είσοδο D του κύριου παλμικού μανδαλωτή, κατά την διάρκεια του (i+2) κύκλου, ακριβώς ύστερα από την υψηλή στάθμη του παλμού ρολογιού CLK και πριν την ενεργοποίηση του παλμού ρολογιού DCLK. Η πύλη XOR ανιχνεύει τη διαφορά

μεταξύ των τιμών των σημάτων D και Q\_Temp και θέτει την έξοδο CMP σε λογικό '1'.



Σχήμα 5.3 Χρονικό Διάγραμμα

Στη συνέχεια, ύστερα από τον παλμό ρολογιού DCLK, ο παλμικός μανδαλωτής PL1 συλλαμβάνει την τιμή στη γραμμή CMP, θέτοντας το σήμα Error\_L σε λογικό '1'. Η έξοδος Error\_L οδηγεί με λογικό '1' τη μία είσοδο της δεύτερης XOR, με αποτέλεσμα η τιμή στην έξοδο Q\_Temp του PL0 να εμφανίζεται αντεστραμμένη στην έξοδο Q η οποία θα τροφοδοτήσει με τα σωστά δεδομένα το επόμενο λογικό στάδιο  $S_{j+1}$ . Με αυτόν τον τρόπο, το λάθος διορθώνεται στη συγκεκριμένη είσοδο του επόμενου σταδίου. Το ίδιο ισχύει και για κάθε άλλη είσοδο όπου ανιχνεύεται ένα λάθος. Οι υπόλοιπες είσοδοι που έχουν σωστά δεδομένα παραμένουν αμετάβλητες. Αξίζει να σημειωθεί ότι η διόρθωση του λάθους επιτυγχάνεται χωρίς να χρειάζεται ο επαναυπολογισμός της απόκρισης του σταδίου  $S_j$  το οποίο απέτυχε κατά τον υπολογισμό.

Παράλληλα το σήμα Error\_L ενεργοποιεί το σήμα ένδειξης λάθους του καταχωρητή, Error\_Rj, μέσω της πύλης OR, η οποία συλλέγει όλα τα σήματα ένδειξης λάθους των

ECPLs. Στη συνέχεια όλα τα σήματα ένδειξης λάθους των καταχωρητών συγκεντρώνονται στη μονάδα ελέγχου του Σχήματος 5.2, δημιουργώντας το καθολικό σήμα ένδειξης λάθους Error, το οποίο συλλαμβάνεται από το Error Flip-Flop και θέτει το σήμα Block σε λογικό '1'. Ως συνέπεια τα σήματα CLK και DCLK αδρανοποιούνται (στη συγκεκριμένη περίπτωση παραμένουν σε λογικό '0') για ένα κύκλο ( $i+3$ ), ώστε το σύστημα να παρέχει τον απαιτούμενο χρόνο για τον υπολογισμό των σωστών αποκρίσεων από το στάδιο λογικής  $S_{j+1}$ . Κάτι τέτοιο μας επιβαρύνει με κόστος ενός επιπλέον κύκλου ρολογιού για τη διόρθωση του λάθους και την αποκατάσταση της λειτουργίας.

Στο τέλος του κύκλου διόρθωσης ( $i+3$ ), το αντεστραμμένο σήμα Block αρχικοποιεί το Error Flip-Flop σε λογικό '0', απελευθερώνοντας έτσι τους παλμούς ρολογιού CLK και DCLK. Επιπρόσθετα, ο παλμικός μανδαλωτής PL1, που βρίσκεται εσωτερικά του ECPL, αρχικοποιείται επίσης σε λογικό '0' και το σύστημα επιστρέφει σε κανονική λειτουργία για τον επόμενο κύκλο ( $i+4$ ) και μέχρι την επόμενη ανίχνευση λάθους.

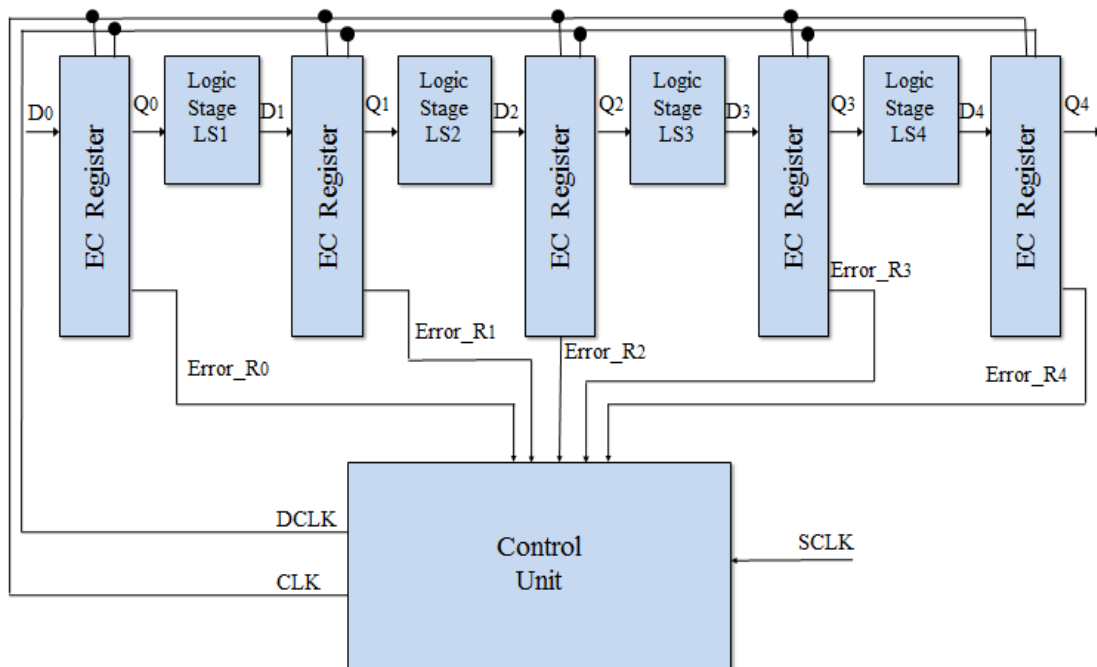
### 5.3. Αποκατάσταση Λειτουργίας μιας Δομής Διοχέτευσης

Κάθε ανίχνευση λάθους από τον προτεινόμενο μηχανισμό ακολουθείται από μία ενέργεια αποκατάστασης της δομής διοχέτευσης (pipeline recovery) στην οποία αυτός ενσωματώνεται. Όπως μπορούμε να παρατηρήσουμε στο Σχήμα 5.4, χρησιμοποιείται η μονάδα ελέγχου του Σχήματος 5.2, ώστε να εφαρμοστεί η τεχνική της αναστολής ρολογιού για την αποκατάσταση της δομής διοχέτευσης. Στο Σχήμα 5.4, κάθε λογικό στάδιο περιβάλλεται από καταχωρητές EC, στους οποίους ενσωματώνεται ο προτεινόμενος μηχανισμός ανίχνευσης και διόρθωσης λαθών χρονισμού.

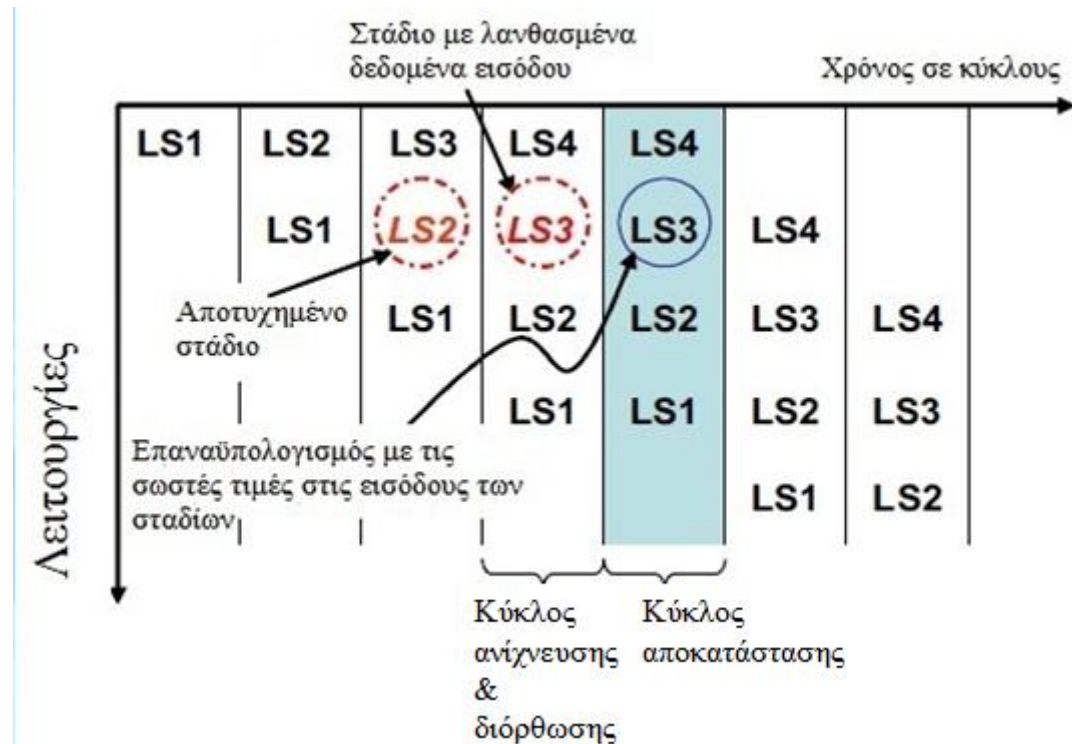
Στην περίπτωση που υπάρχουν ένα ή περισσότερα λάθη χρονισμού, το σήμα ρολογιού του συστήματος εμποδίζεται κατά τον επόμενο κύκλο ρολογιού με την βοήθεια του Block σήματος του Error Flip-Flop. Στη συνέχεια, τα λογικά στάδια, όπως π.χ. το LS3 στο Σχήμα 5.5, τα οποία αρχικά είχαν συλλάβει λανθασμένα

δεδομένα στις εισόδους τους, εξαιτίας ενός σφάλματος χρονισμού σε προηγούμενο στάδιο (LS2), επαναυπολογίζουν τις αποκρίσεις τους με τα διορθωμένα δεδομένα στις εισόδους τους, κατά τη διάρκεια του πρόσθετου κύκλου ρολογιού (κύκλος αποκατάστασης).

Τα υπόλοιπα λογικά στάδια παραμένουν ανενεργά, ενώ διατηρούν στις εξόδους τους τις σωστές αποκρίσεις. Αξίζει να σημειωθεί ότι δεν υπάρχει ανάγκη για το στάδιο LS2 που αποτυγχάνει, να επαναυπολογίσει την απόκρισή του, από τη στιγμή που η διορθωμένη απόκριση ανακτάται αυτόματα από το ECPL. Η μονάδα ελέγχου του Σχήματος 5.2 εμποδίζει για έναν κύκλο ρολογιού το σήμα SCLK και έπειτα το απελευθερώνει με τη βοήθεια του αντεστραμμένου σήματος Block, το οποίο αρχικοποιεί το Error Flip-Flop με λογικό '0'. Για το σκοπό αυτό χρησιμοποιείται ένας απλός μετρητής ενός κύκλου (ο οποίος δε φαίνεται στο σχήμα).



Σχήμα 5.4 Αρχιτεκτονική Αποκατάστασης Δομής Διοχέτευσης



Σχήμα 5.5 Λειτουργία Αποκατάστασης Δομής Διοχέτευσης

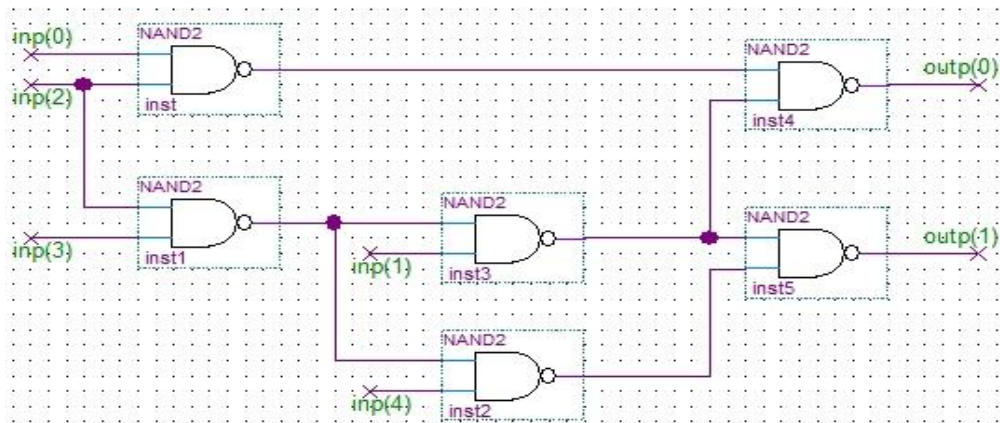
Η συγκεκριμένη αρχιτεκτονική δομής διοχέτευσης με ανίχνευση και διόρθωση λαθών χρονισμού μπορεί να ανεχθεί οποιοδήποτε αριθμό λαθών χρονισμού σε οποιοδήποτε στάδιο εντός ενός κύκλου ρολογιού, εφόσον όλα τα στάδια είναι ικανά να επαναυπολογίσουν τις αποκρίσεις με σωστά δεδομένα στις εισόδους τους, κατά τη διάρκεια του πρόσθετου κύκλου. Σε περίπτωση που ένα ή περισσότερα στάδια αποτυγχάνει σε κάθε κύκλο ρολογιού, η δομή διοχέτευσης θα συνεχίσει να λειτουργεί με τη μισή ταχύτητα από ό,τι στην κανονική λειτουργία.

#### 5.4. Πειραματικές Διατάξεις

Εφαρμόσαμε την προτεινόμενη τεχνική σε έξι κυκλώματα υπό προστασία από λάθη χρονισμού. Διακρίνουμε δύο περιπτώσεις για κάθε κύκλωμα: περίπτωση ελεύθερη από λάθη (error-free case) και περίπτωση παρουσίας λαθών χρονισμού (erroneous case). Τα έξι κυκλώματα που υλοποιήθηκαν βασίζονται σε τρία πρότυπα δοκιμαστικά κυκλώματα ISCAS'85: το c17, το c432 και το c499. Καλό θα ήταν, πριν αναλύσουμε τη συμπεριφορά του κάθε κυκλώματος, να αναφέρουμε τα βασικά χαρακτηριστικά τους. Εκτός τούτου, θα εξηγήσουμε τον τρόπο με τον οποίο εισάγουμε διάφορα λάθη

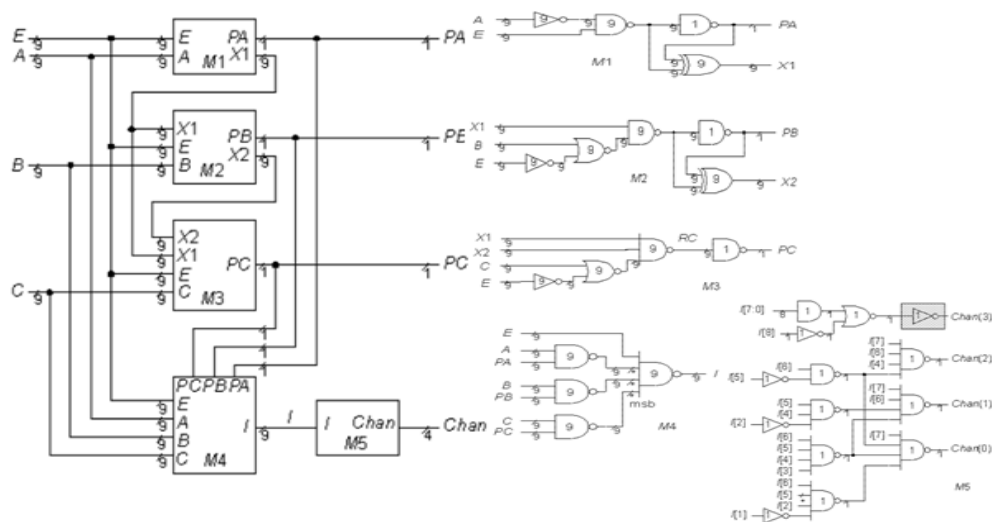
χρονισμού στα κυκλώματα, ώστε να επαληθεύσουμε τη λειτουργία της προτεινόμενης τεχνικής.

Το κύκλωμα αναφοράς c17 είναι το απλούστερο της σειράς ISCAS'85. Αποτελείται από έξι πύλες NAND, ενώ διαθέτει πέντε εισόδους και δύο εξόδους. Στο Σχήμα 5.6 δίδεται η τοπολογία του c17.



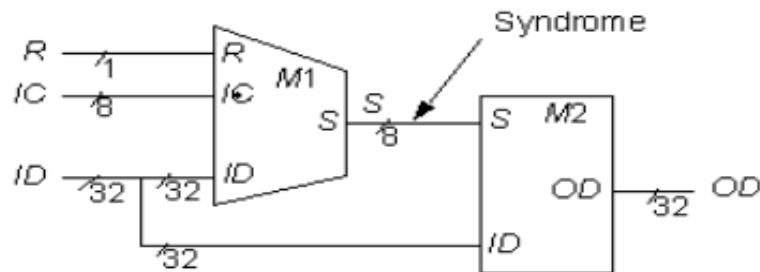
Σχήμα 5.6 Το Κύκλωμα Αναφοράς c17

Το κύκλωμα αναφοράς c432 είναι ένας αποκωδικοποιητής προτεραιότητας (βλ. Σχήμα 5.7). Αποτελείται από 160 πύλες: 40 πύλες NOT, 4 πύλες AND, 79 πύλες NAND, 19 πύλες NOR και 18 πύλες XOR. Επίσης διαθέτει 36 κύριες εισόδους και 7 κύριες εξόδους [21].



Σχήμα 5.7 Το Κύκλωμα Αναφοράς c432

Το κύκλωμα αναφοράς c499 είναι ένα κύκλωμα διόρθωσης μοναδικού λάθους (single-error-correcting circuit). Αποτελείται από 202 πύλες: 40 πύλες NOT, 56 πύλες AND, 2 πύλες OR και 104 πύλες XOR. Επιπλέον διαθέτει 41 κύριες εισόδους και 32 κύριες εξόδους (βλ. Σχήμα 5.8) [21].



Σχήμα 5.8 Το Κύκλωμα Αναφοράς c499

### 5.5. Εισαγωγή Λαθών Χρονισμού στα Κυκλώματα

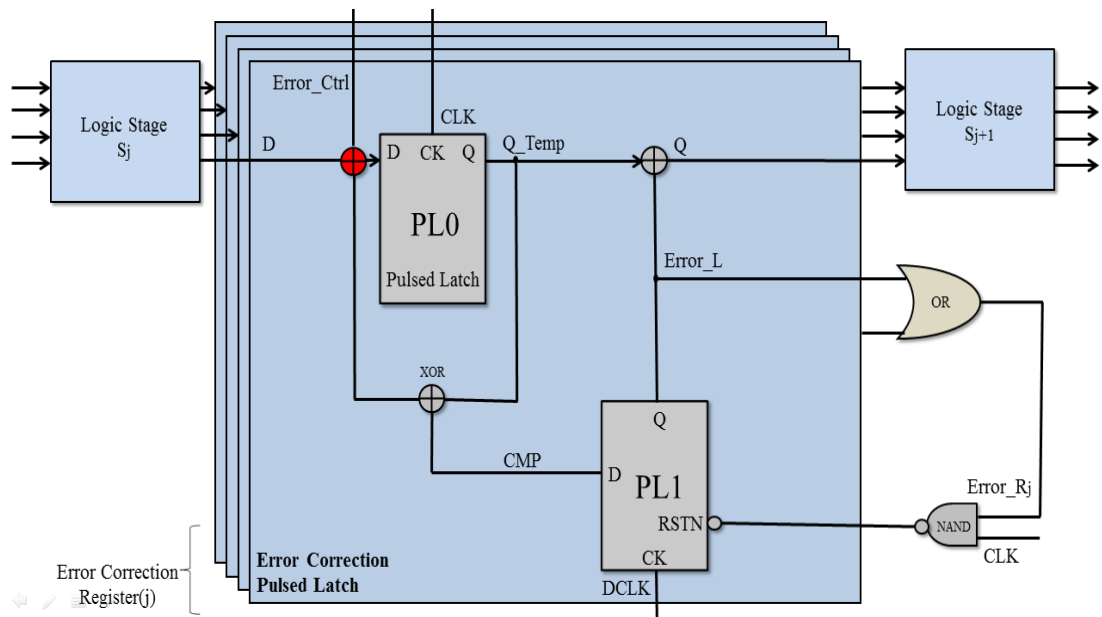
Ο σχεδιασμός οποιουδήποτε κυκλώματος που αφορά την παρούσα διατριβή υλοποιήθηκε με τη γλώσσα περιγραφής κυκλωμάτων VHDL. Για να διαπιστώσουμε την επιτυχή λειτουργία του προτεινόμενου μηχανισμού, εισάγουμε λάθη στα σχεδιασμένα κυκλώματα με τον ακόλουθο τρόπο.

Θέλοντας να ενεργοποιήσουμε ένα λάθος χρονισμού στην είσοδο ενός ECPL, εισάγουμε μία πύλη XOR πριν από την είσοδο του κύριου παλμικού μανδαλωτή PL0 (βλ. Σχήμα 5.9). Η πύλη XOR ελέγχεται από ένα σήμα Error\_Ctrl. Όταν το σήμα Error\_Ctrl βρίσκεται σε λογικό '0', η είσοδος D κρατά την τιμή που θα έπρεπε να έχει. Όταν το σήμα Error\_Ctrl βρίσκεται σε λογικό '1', η είσοδος D αντιστρέφει την τιμή της.

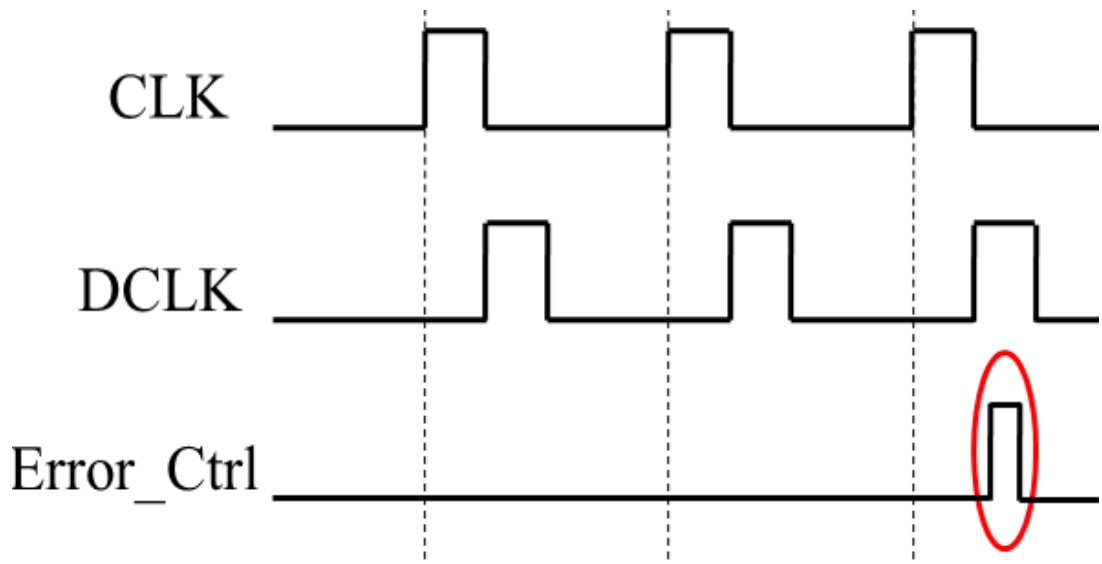
Ο τρόπος που δημιουργείται στο ECPL ένα λάθος χρονισμού έχει ως εξής: Όπως βλέπουμε στο Σχήμα 5.10, ο κύριος παλμικός μανδαλωτής PL0, που οδηγείται από τον παλμό ρολογιού CLK και συλλαμβάνει τα δεδομένα της εισόδου D (βλ. Σχήμα 5.9). Εφόσον θέλουμε να ενεργοποιήσουμε ένα λάθος χρονισμού, οδηγούμε το σήμα Error\_Ctrl με λογικό '1' για ένα σύντομο χρονικό διάστημα, ύστερα από την υψηλή



στάθμη του παλμού ρολογιού CLK και εντός της υψηλής στάθμης του παλμού ρολογιού DCLK.



Σχήμα 5.9 Εισαγωγή Πρόσθετης Πύλης XOR για Ενεργοποίηση Λάθους Χρονισμού



Σχήμα 5.10 Ενεργοποίηση Λάθους Χρονισμού

Έτσι η τιμή στην είσοδο D αντιστρέφεται. Οπότε, κατά τη διάρκεια του παλμού ρολογιού DCLK, η έξοδος Q\_Temp διαθέτει την προηγούμενη τιμή του D, πριν από την εφαρμογή του λογικού '1' στο Error\_Ctrl, ενώ η είσοδος D διαθέτει την αντεστραμμένη τιμή. Τελικά, η XOR συγκρίνει τις τιμές μεταξύ των σημάτων D και

Q\_Temp και ενεργοποιεί το σήμα CMP, το οποίο μεταβαίνει σε λογικό '1'. Με αυτόν τον τρόπο, το ECPL ανιχνεύει το επιβαλλόμενο «λάθος χρονισμού», και συνεπώς ενεργοποιείται ο μηχανισμός διόρθωσης της προτεινόμενης τεχνικής.

### **5.6. Πειραματικά Αποτελέσματα της Προτεινόμενης Τεχνικής**

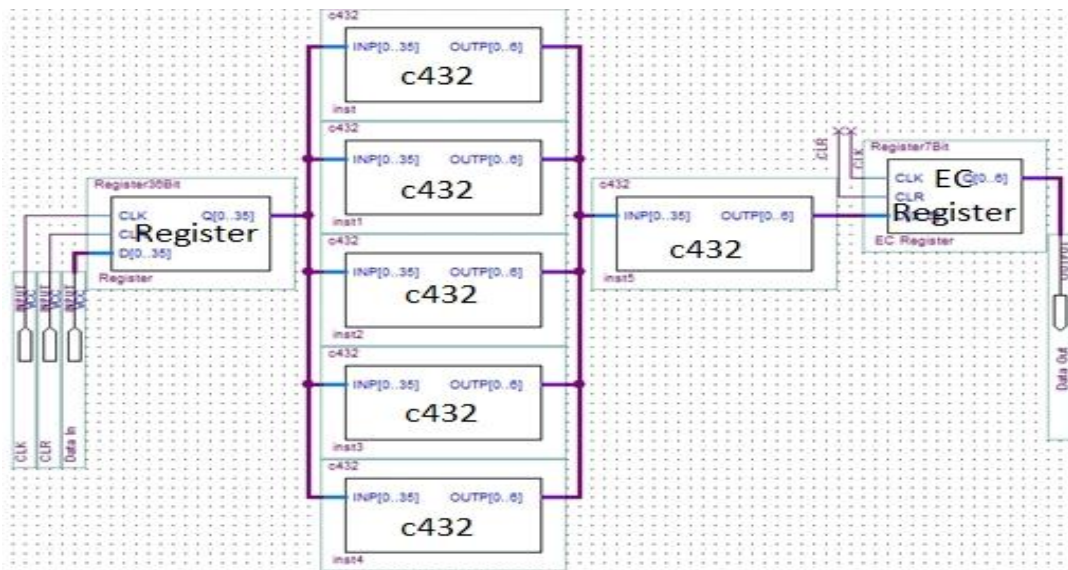
Πριν από την ανάλυση της λειτουργίας των προστατευόμενων κυκλωμάτων, αξίζει να τονίσουμε το βασικό σκεπτικό της δημιουργίας αυτών των κυκλωμάτων. Ένα κύριο χαρακτηριστικό της προτεινόμενης τεχνικής είναι ότι ο αρχικός παλμικός μανδαλωτής, σε μία αρχιτεκτονική βασισμένη σε παλμικούς μανδαλωτές, αντικαθίσταται από το νέο παλμικό μανδαλωτή ECPL, μόνον εφόσον βρίσκεται στο τέλος μίας κρίσιμης διαδρομής (αργής διαδρομής) ή δυνάμει κρίσιμης διαδρομής κάτω από διακυμάνσεις της κατασκευαστικής διαδικασίας ή περιβαλλοντικούς παράγοντες (π.χ. θερμοκρασία). Κρίσιμη διαδρομή θεωρείται η διαδρομή που είναι ευαίσθητη στην επίδραση ενός σφάλματος χρονισμού.

Έτσι λοιπόν, με βάση αυτό το σκεπτικό, προχωράμε στην ανάλυση της συμπεριφοράς των σχεδιασμένων κυκλωμάτων. Σε αυτό το σημείο, θα πρέπει να σημειώσουμε ότι η σχεδίαση και οι προσομοιώσεις έλαβαν χώρα στο εργαλείο Quartus II της Altera, όπου χρησιμοποιήθηκε η προγραμματιζόμενη συσκευή Cyclone II EP2C35F672C6. Όταν όμως εισάγουμε ένα σχεδιασμό, υπάρχει η πιθανότητα μία διαδρομή του σχεδιασμού με μικρό βάθος πυλών να προκύπτει ότι είναι αργή – κρίσιμη στην προγραμματιζόμενη συσκευή. Σε αυτή την περίπτωση πρέπει να προστατεύσουμε τη κρίσιμη διαδρομή, εισάγοντας ένα ECPL στο τέλος της.

#### *Κύκλωμα #1*

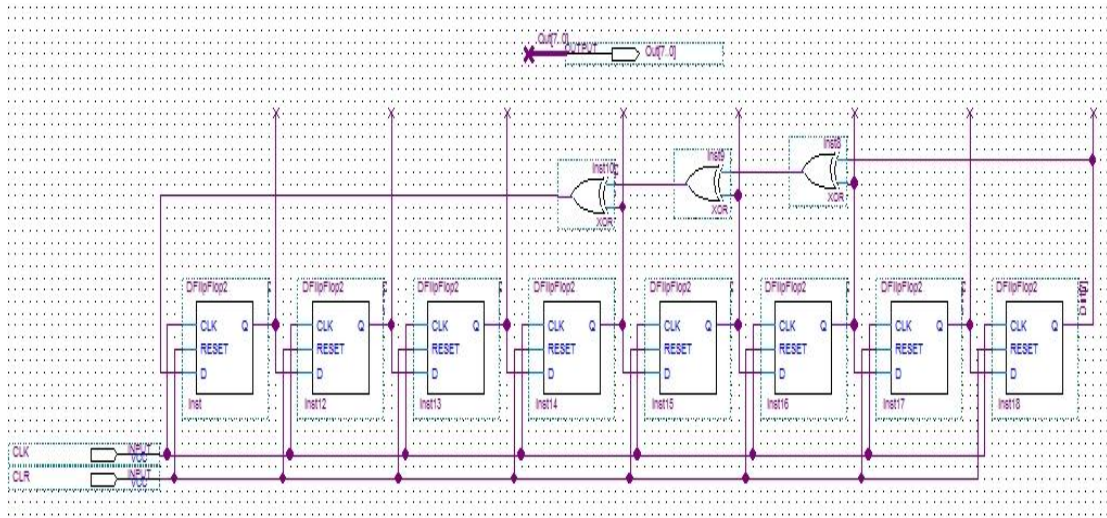
Το πρώτο κύκλωμα, όπου εφαρμόσαμε την προτεινόμενη τεχνική, είναι το 5c432-to-c432 (βλ. Σχήμα 5.11). Αποτελείται από πέντε δοκιμαστικά κυκλώματα ISCAS'85 c432 τα οποία οδηγούν τις εξόδους τους σε ένα έκτο c432. Το νέο κύκλωμα διαθέτει 36 εισόδους και 7 εξόδους. Τα έξι c432 τοποθετούνται μεταξύ δύο καταχωρητών. Ο καταχωρητής που οδηγεί τις εισόδους του 5c432-to-c432 στο κυρίως κύκλωμα είναι ένας καταχωρητής 36-bit, χωρίς δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού. Αντίθετα, ο καταχωρητής 7-bit που συλλαμβάνει τις εξόδους του έκτου

c432 έχει τη δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού (EC Register). Ο EC Register αποτελείται από παλμικούς μανδαλωτές και ECPL. Τα ECPL τοποθετήθηκαν στην έξοδο των κρίσιμων – αργών διαδρομών του κυκλώματος.

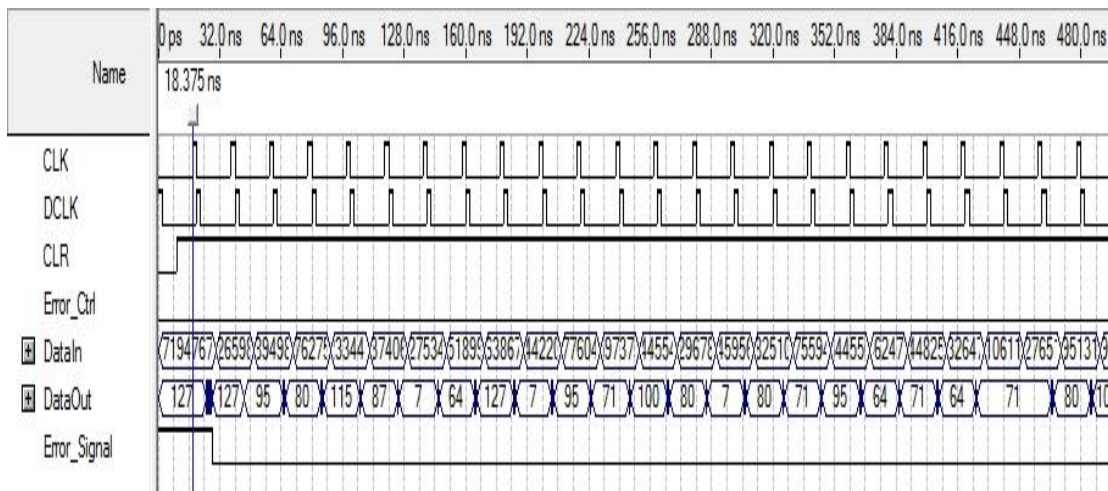


Σχήμα 5.11 Το Κύκλωμα 5c432-to-c432

Ο καταχωρητής ολίσθησης γραμμικής ανάδρασης (Linear Feedback Shift Register - LFSR) των 8-bit του Σχήματος 5.12, αποτελεί την γεννήτρια ψευδοτυχαίων διανυσμάτων, που θα χρησιμοποιηθεί για την τροφοδοσία τόσο του συγκεκριμένου κυκλώματος όσο και των υπολοίπων που χρησιμοποιήθηκαν. Στην *ελεύθερη-από-λάθη (error-free case)* περίπτωση, το LFSR τροφοδοτεί με ψευδοτυχαίες τιμές τις εισόδους του πρώτου καταχωρητή του 5c432-to-c432. Εφόσον δεν προκύπτει κάποιο λάθος χρονισμού, τα δεδομένα περνούν όπως θα έπρεπε στις εξόδους του τελικού καταχωρητή (EC Register). Μπορούμε να παρατηρήσουμε το αποτέλεσμα της προσομοίωσης αυτής της περίπτωσης στο Σχήμα 5.13.



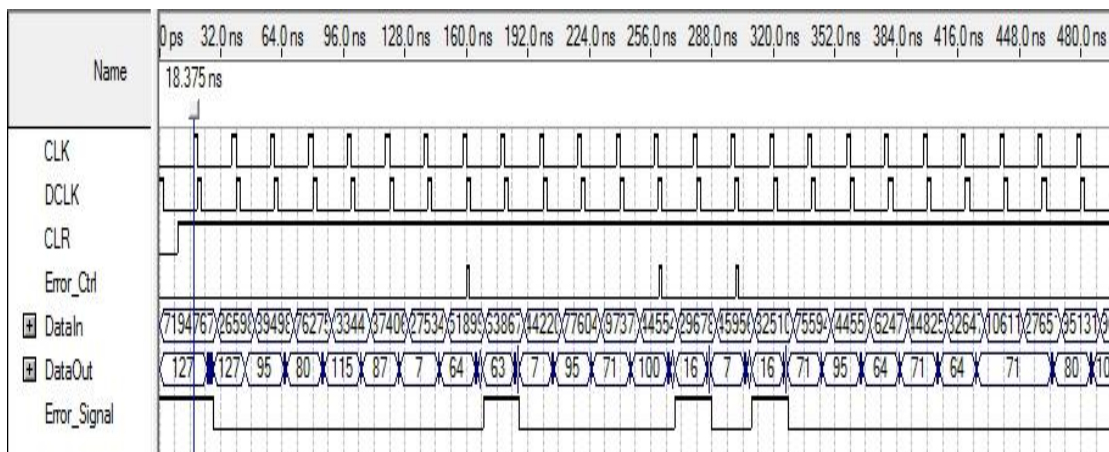
Σχήμα 5.12 Καταχωρητής Ολίσθησης Γραμμικής Ανάδρασης των 8-bit



Σχήμα 5.13 Περίπτωση Ελεύθερη Από Λάθη για το 5c432-to-c432

Στην περίπτωση παρουσίας λαθών χρονισμού στο κύκλωμα, τα ECPLs του EC Register (βλ. Σχήμα 5.11) ανιχνεύουν τα όποια λάθη μπορεί να δημιουργηθούν. Στη συνέχεια, τα ECPLs διορθώνουν τοπικά τα λάθη εντός του τρέχοντος κύκλου ρολογιού χωρίς να απαιτείται άλλη ενέργεια καθώς δεν ακολουθεί άλλο λογικό στάδιο. Στο Σχήμα 5.14 βλέπουμε το αποτέλεσμα της προσομοίωσης για την περίπτωση παρουσίας λαθών χρονισμού στο κύκλωμα. Η δημιουργία των λαθών έγινε, με τον τρόπο που παρουσιάσαμε στην ενότητα 5.5, στην είσοδο του ECPL, το οποίο αποθηκεύει το πιο σημαντικό bit (most significant bit - MSB) από τις εισόδους του EC Register. Πιο συγκεκριμένα, θέσαμε το σήμα Error\_Ctrl σε λογικό '1' για ένα

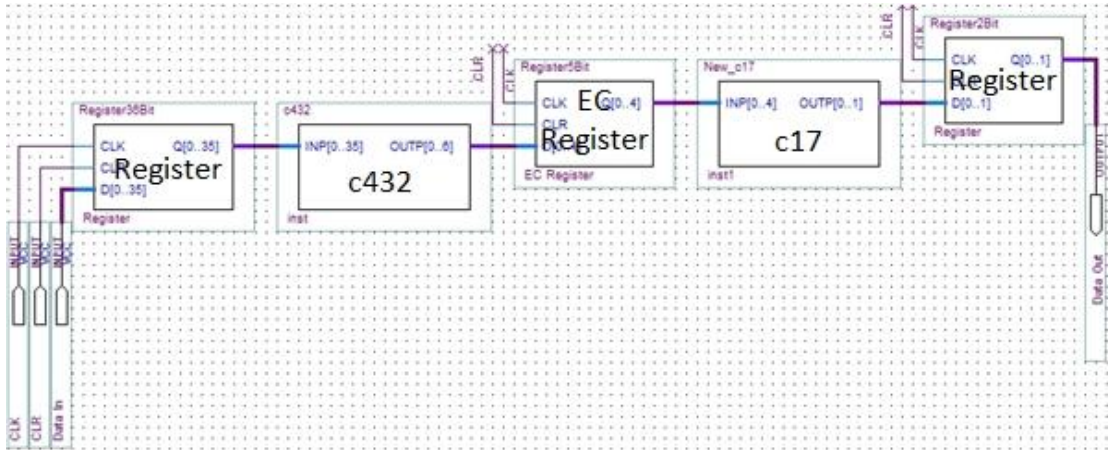
σύντομο χρονικό διάστημα και εντός της υψηλής στάθμης του παλμικού ρολογιού DCLK, κάθε φορά που θέλαμε να ενεργοποιήσουμε ένα λάθος χρονισμού. Έτσι δημιουργήθηκαν τρία λάθη χρονισμού στην είσοδο του ECPL που αποθηκεύει το MSB σε τρεις διαφορετικές χρονικές στιγμές. Παρατηρώντας το Σχήμα 5.14, και στις τρεις περιπτώσεις που ενεργοποιήθηκε ένα λάθος χρονισμού, ο προτεινόμενος μηχανισμός ανίχνευσε το λάθος και το καθολικό σήμα ένδειξης λάθους Error\_Signal ανήλθε σε λογικό '1'. Στη συνέχεια το σχετικό ECPL διόρθωσε επιτυχώς και τα τρία λάθη χρονισμού που δημιουργήσαμε στις εισόδους του, εντός του κύκλου ρολογιού όπου αυτά ανιχνεύθηκαν.



Σχήμα 5.14 Περίπτωση Παρουσίας Λαθών Χρονισμού για το 5c432-to-c432

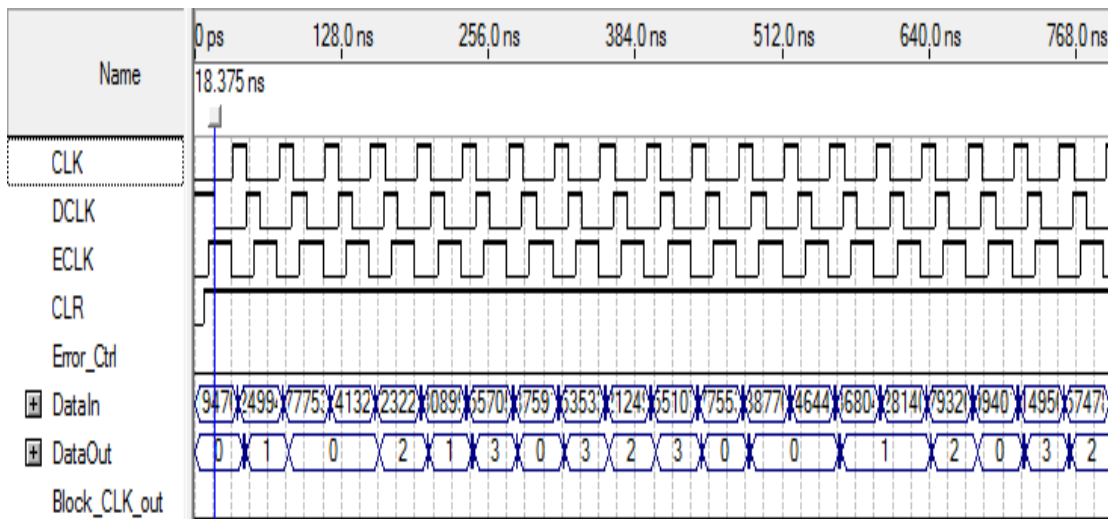
### Κύκλωμα #2

Το δεύτερο κύκλωμα είναι το c432-to-c17 (βλ. Σχήμα 5.15). Αποτελείται από το κύκλωμα c432 το οποίο οδηγεί τις εξόδους του στο κύκλωμα c17. Το νέο κύκλωμα διαθέτει 36 εισόδους και 2 εξόδους. Ανάμεσα στα δύο δοκιμαστικά κυκλώματα παρεμβάλλεται ένας καταχωρητής 5-bit με δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού (EC Register) καθώς το c432 περιέχει κρίσιμες διαδρομές. Ο καταχωρητής που οδηγεί τις εισόδους του c432-to-c17 στο κυρίως κύκλωμα είναι ένας καταχωρητής 36-bit, χωρίς δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού. Το ίδιο ισχύει και για τον καταχωρητή 2-bit που συλλαμβάνει τα τελικά δεδομένα για να τα οδηγήσει στις κύριες εξόδους.

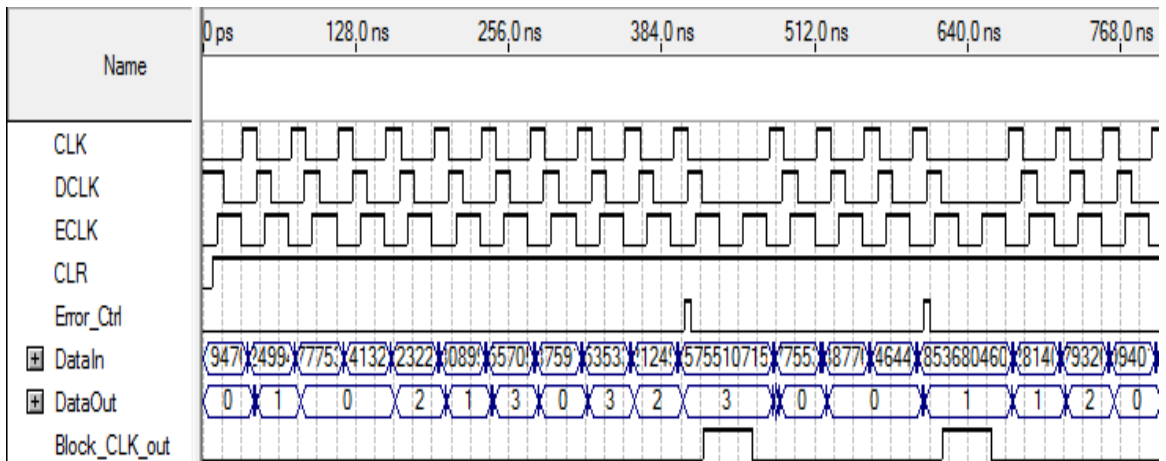


Σχήμα 5.15 Το Κύκλωμα c432-to-c17

Στην *ελεύθερη-από-λάθη* περίπτωση, ο καταχωρητής ολίσθησης γραμμικής ανάδρασης τροφοδοτεί με ψευδοτυχαίες τιμές τις εισόδους του πρώτου καταχωρητή του c432-to-c17. Εφόσον δεν ενεργοποιείται κάποιο λάθος χρονισμού, τα δεδομένα υπολογίζονται σωστά στις εξόδους του τελικού καταχωρητή. Μπορούμε να παρατηρήσουμε το αποτέλεσμα της προσομοίωσης αυτής της περίπτωσης στο Σχήμα 5.16.



Σχήμα 5.16 Περίπτωση Ελεύθερη Από Λάθη για το c432-to-c17



Σχήμα 5.17 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c432-to-c17

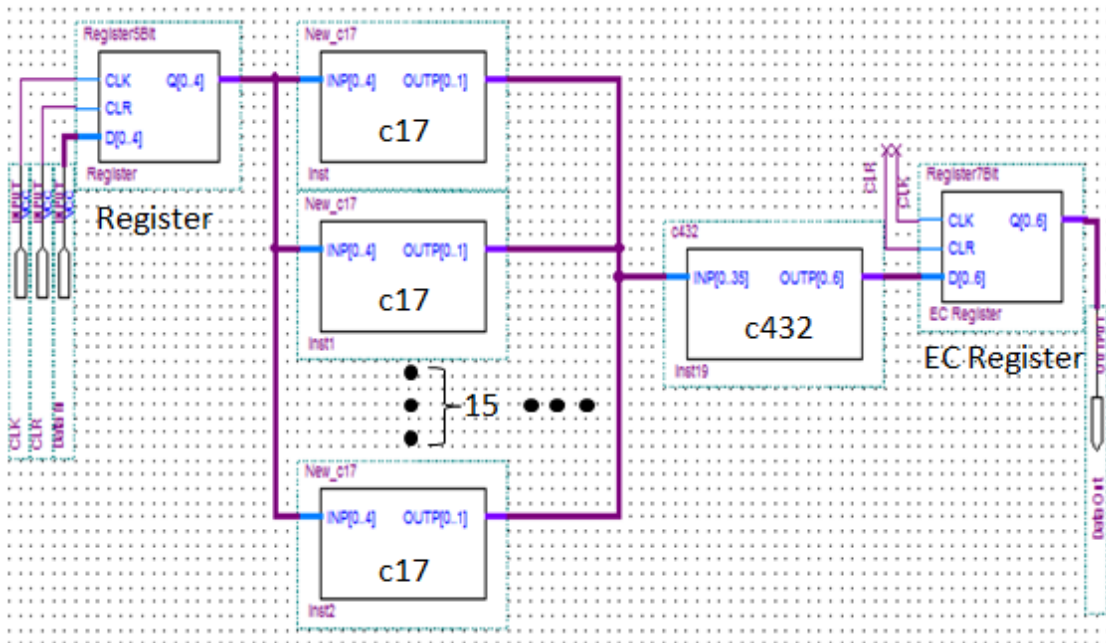
Διαπιστώσαμε ότι το λογικό στάδιο που ακολουθεί τον EC Register (c17) (βλ. Σχήμα 5.15), παρόλο που περιέχει διαδρομές με λία επίπεδα πυλών, μετά τη μεταφορά του στην προγραμματιζόμενη συσκευή, συμπεριφέρεται ως ένα βαθύ στάδιο. Συνεπώς, στην περίπτωση *παρουσίας λαθών χρονισμού* στο κύκλωμα, χρησιμοποιούμε την τεχνική αναστολής ρολογιού και έτσι αφού τα ECPLs διορθώνουν τοπικά τα λάθη, το στάδιο που ακολουθεί θα ολοκληρώσει σωστά τον υπολογισμό του εντός του χρόνου του κύκλου ρολογιού που θα ακολουθούσε θεωρητικά αμέσως μετά από αυτόν όπου ανιχνεύθηκαν τα λάθη.

Στο Σχήμα 5.17 βλέπουμε το αποτέλεσμα της προσομοίωσης για την περίπτωση της παρουσίας λαθών χρονισμού. Εν προκειμένω, ενεργοποιήσαμε, μέσω του σήματος Error\_Ctrl, δύο λάθη χρονισμού πριν από την είσοδο του ECPL που αποθηκεύει το λιγότερο σημαντικό bit (least significant bit - LSB) στις εισόδους του EC Register. Επειδή προέκυψε ότι το επόμενο λογικό στάδιο, ύστερα από τον EC Register, είναι βαθύ, το σήμα ρολογιού του συστήματος εμποδίζεται για έναν κύκλο, με τη χρήση της μονάδας ελέγχου του Σχήματος 5.2. Εδώ θα πρέπει να σημειώσουμε ότι το Error Flip-Flop της μονάδας ελέγχου οδηγείται από το σήμα ρολογιού ECLK, που είναι ένα καθυστερημένο αντίγραφο του ρολογιού συστήματος. Παρατηρούμε ότι ο προτεινόμενος μηχανισμός ανιχνεύει τα δύο λάθη και το σήμα εμπόδισης ρολογιού Block\_CLK\_out ανέρχεται σε λογικό '1', οπότε εμποδίζονται οι παλμοί ρολογιού CLK και DCLK για να διαδοθούν στο κύκλωμα για έναν κύκλο. Με αυτό τον τρόπο,

το λογικό στάδιο που ακολουθεί διαθέτει τον απαραίτητο χρόνο για να ολοκληρώσει τον υπολογισμό του.

### Κύκλωμα #3

Το τρίτο κύκλωμα είναι το 18c17-to-c432 (βλ. Σχήμα 5.18). Αποτελείται από δεκαοκτώ κυκλώματα c17 τα οποία οδηγούν ένα κύκλωμα c432. Το νέο κύκλωμα διαθέτει 5 εισόδους και 7 εξόδους. Τα δεκαοκτώ c17 μαζί με το c432 τοποθετούνται ανάμεσα σε δύο καταχωρητές. Ο καταχωρητής που οδηγεί τις εισόδους του 18c17-to-c432 στο κυρίως κύκλωμα είναι ένας καταχωρητής 5-bit, χωρίς δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού. Αντίθετα, ο καταχωρητής 7-bit (EC Register) που συλλαμβάνει τις εξόδους του c432 έχει τη δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού.

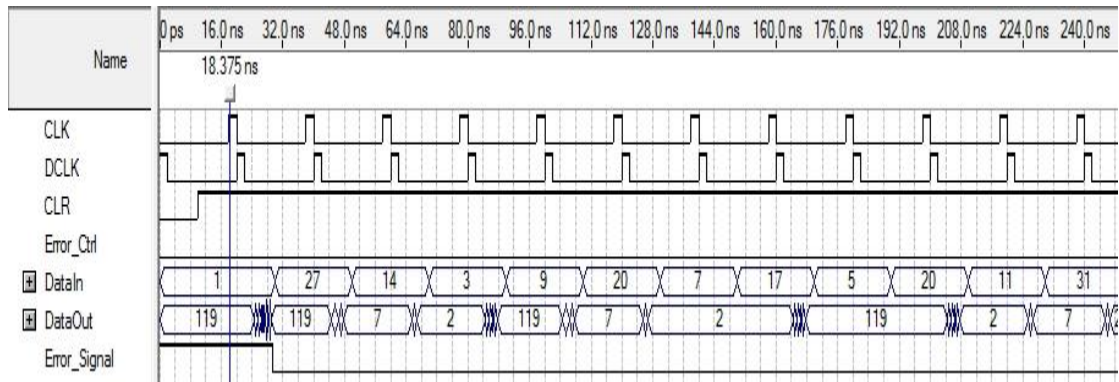


Σχήμα 5.18 Το Κύκλωμα 18c17-to-c432

Στην *ελεύθερη-από-λάθη (error-free case)* περίπτωση ο καταχωρητής ολίσθησης γραμμικής ανάδρασης τροφοδοτεί με ψευδοτυχαίες τιμές τις εισόδους του καταχωρητή εισόδου του 18c17-to-c432. Εφόσον δεν ενεργοποιείται κάποιο λάθος χρονισμού, τα δεδομένα περνούν όπως θα έπρεπε στις εξόδους του τελικού



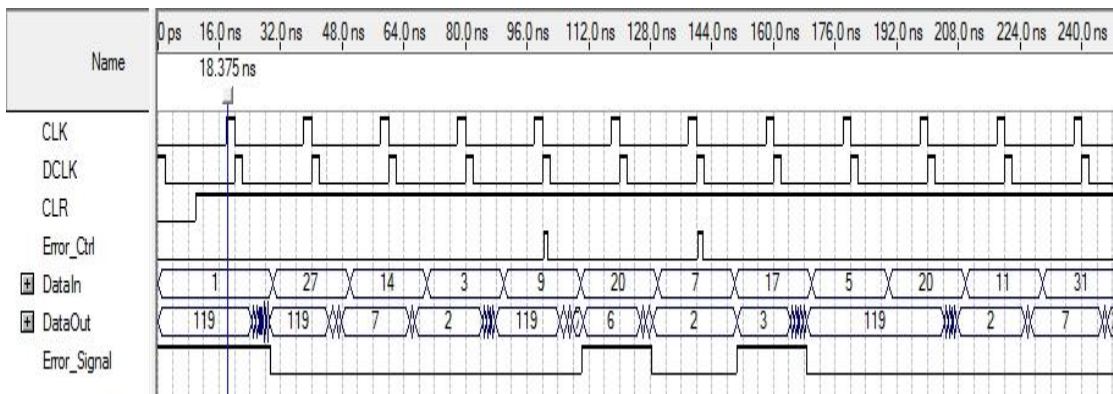
καταχωρητή (EC Register). Μπορούμε να παρατηρήσουμε το αποτέλεσμα της προσομοίωσης αυτής της περίπτωσης στο Σχήμα 5.19.



Σχήμα 5.19 Περίπτωση Ελεύθερη Από Λάθη για το 18c17-to-c432

Στην περίπτωση παρουσίας λαθών χρονισμού στο κύκλωμα παρατηρούμε ότι δεν υπάρχει κάποιο λογικό στάδιο που να ακολουθεί τον EC Register (μόνο διασυνδέσεις που συνδέουν τον EC Register με τις τελικές εξόδους), οπότε τα ECPLs διορθώνουν με τις σωστές τιμές κατά τον ίδιο κύκλο ρολογιού που ανίχνευσαν τα λάθη. Στο Σχήμα 5.20 βλέπουμε το αποτέλεσμα της προσομοίωσης για την περίπτωση παρουσίας λαθών χρονισμού. Η δημιουργία των λαθών έγινε στην είσοδο του ECPL, το οποίο αποθηκεύει το λιγότερο σημαντικό bit (least significant bit - LSB) από τις εισόδους του EC Register.

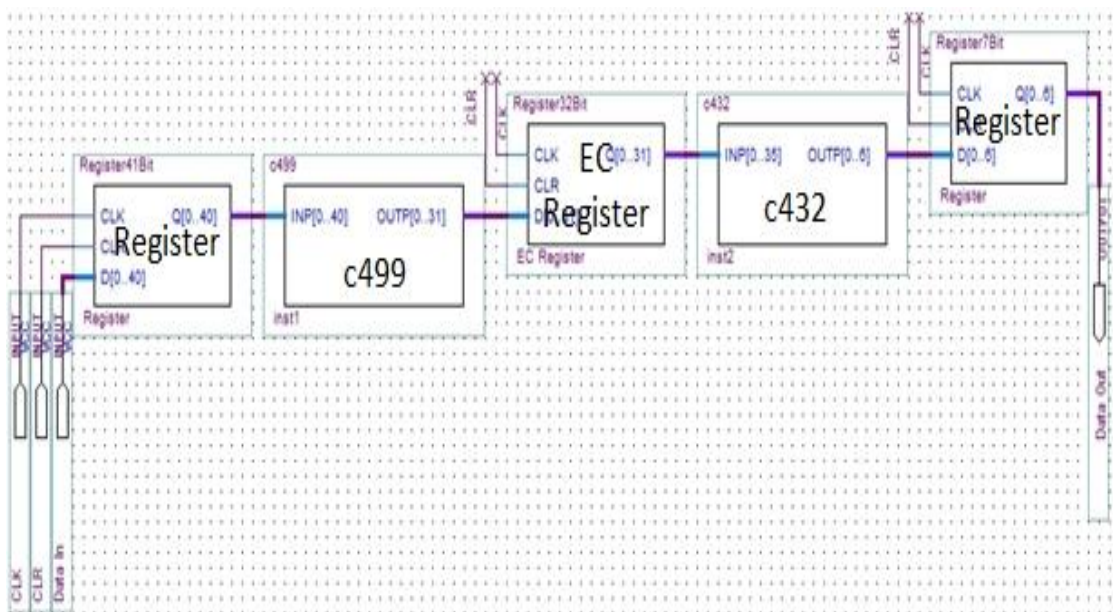
Συγκεκριμένα, θέσαμε το σήμα Error\_Ctrl σε λογικό '1' για ένα σύντομο χρονικό διάστημα και εντός της υψηλής στάθμης του παλμικού ρολογιού DCLK, κάθε φορά που θέλαμε να ενεργοποιήσουμε ένα λάθος χρονισμού. Έτσι δημιουργήθηκαν δύο λάθη χρονισμού στην είσοδο του ECPL που αποθηκεύει το LSB σε δύο διαφορετικές χρονικές στιγμές. Παρατηρώντας το Σχήμα 5.20, και στις δύο περιπτώσεις που ενεργοποιήθηκε ένα λάθος χρονισμού, ο προτεινόμενος μηχανισμός ανίχνευσε το λάθος και το καθολικό σήμα ένδειξης λάθους Error\_Signal ανήλθε σε λογικό '1'. Στη συνέχεια το σχετικό ECPL διόρθωσε επιτυχώς και τα δύο λάθη χρονισμού που δημιουργήσαμε στις εισόδους του, εντός του κύκλου ρολογιού που ανίχνευσε τα λάθη.



Σχήμα 5.20 Περίπτωση Παρουσίας Λαθών Χρονισμού για το 18c17-to-c432

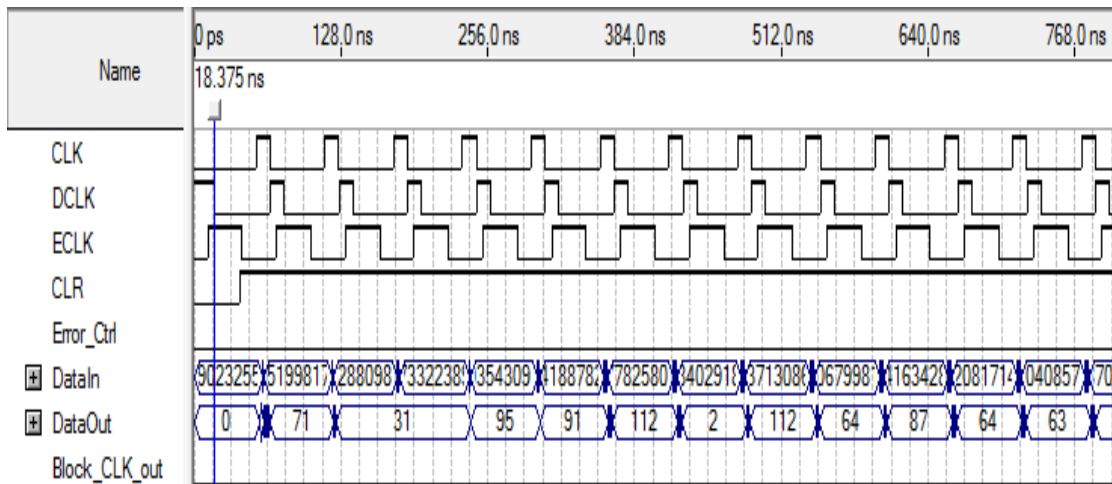
#### Κύκλωμα #4

Το τέταρτο κύκλωμα είναι το c499-to-c432 (βλ. Σχήμα 5.21). Αποτελείται από ένα κύκλωμα c499 το οποίο οδηγεί ένα κύκλωμα c432. Το νέο κύκλωμα διαθέτει 41 εισόδους και 7 εξόδους. Ανάμεσα στα δύο κυκλώματα παρεμβάλλεται ένας καταχωρητής 32-bit με δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού (EC Register). Ο καταχωρητής που οδηγεί τις εισόδους του c499-to-c432 είναι ένας καταχωρητής 41-bit, χωρίς δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού. Το ίδιο ισχύει και για τον καταχωρητή 7-bit που συλλαμβάνει τα τελικά δεδομένα για να τα οδηγήσει στις κύριες εξόδους.



Σχήμα 5.21 Το Κύκλωμα c499-to-c432

Στην *ελεύθερη-από-λάθη* περίπτωση, ο καταχωρητής ολίσθησης γραμμικής ανάδρασης τροφοδοτεί με ψευδοτυχαίες τιμές τις εισόδους του πρώτου καταχωρητή του c499-to-c432. Εφόσον δεν προκύπτει κάποιο λάθος χρονισμού, τα δεδομένα περνούν όπως θα έπρεπε στις εξόδους του τελικού καταχωρητή. Μπορούμε να παρατηρήσουμε το αποτέλεσμα της προσομοίωσης αυτής της περίπτωσης στο Σχήμα 5.22.

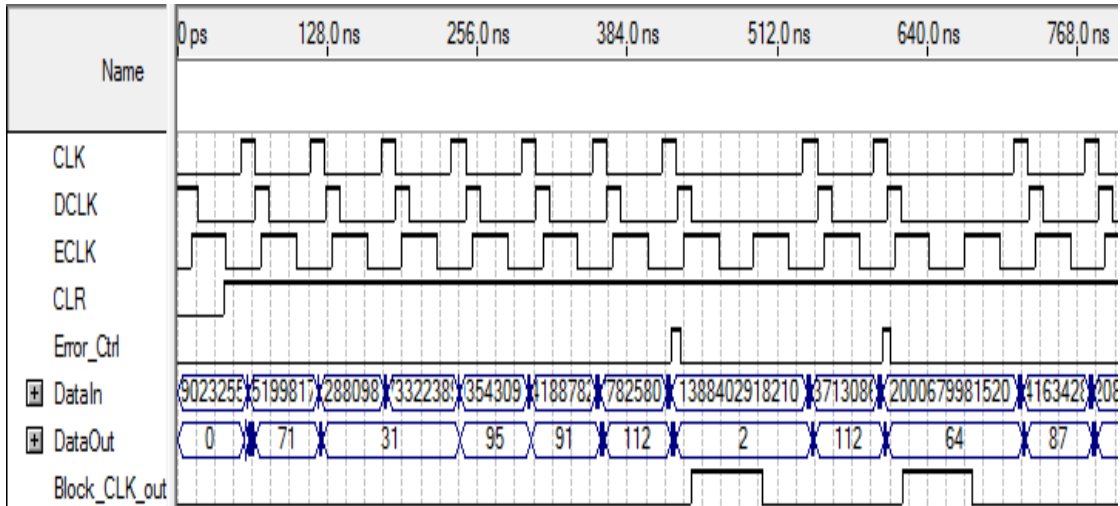


Σχήμα 5.22 Περίπτωση Ελεύθερη Από Λάθη για το c499-to-c432

Στην *περίπτωση παρουσίας λαθών χρονισμού* στο κύκλωμα, διαπιστώσαμε ότι το λογικό στάδιο που ακολουθεί τον EC Register (βλ. Σχήμα 5.21) διαθέτει αργές διαδρομές. Για αυτό το λόγο χρησιμοποιούμε την τεχνική αναστολής ρολογιού και ενσωματώνουμε στο σχεδιασμό το μηχανισμό που μπλοκάρει το σήμα ρολογιού συστήματος για ένα κύκλο ρολογιού (βλ. Σχήμα 5.2). Έτσι τα ECPLs διορθώνουν με τις σωστές τιμές κατά τον επόμενο κύκλο ρολογιού που ανίχνευσαν τα λάθη. Σημειώνουμε ότι το Error Flip-Flop της μονάδας ελέγχου του Σχήματος 5.2 οδηγείται από το σήμα ρολογιού συστήματος με κάποια καθυστέρηση (ECLK).

Στο Σχήμα 5.23 βλέπουμε το αποτέλεσμα της προσομοίωσης για την περίπτωση παρουσίας λαθών χρονισμού. Στη συγκεκριμένη περίπτωση, ενεργοποιήσαμε, μέσω του σήματος Error\_Ctrl, δύο λάθη χρονισμού πριν από την είσοδο του ECPL που αποθηκεύει το λιγότερο σημαντικό bit (least significant bit - LSB) από τις εισόδους του EC Register. Βλέπουμε ότι ο προτεινόμενος μηχανισμός ανιχνεύει τα δύο λάθη

και το σήμα εμπόδισης ρολογιού Block\_CLK\_out ανέρχεται σε λογικό '1', οπότε εμποδίζονται οι παλμοί ρολογιού CLK και DCLK για έναν κύκλο. Με αυτό τον τρόπο, το σχετικό ECPL διορθώνει με τις σωστές τιμές, κατά τον επόμενο κύκλο ρολογιού που ανίχνευσε τα λάθη.

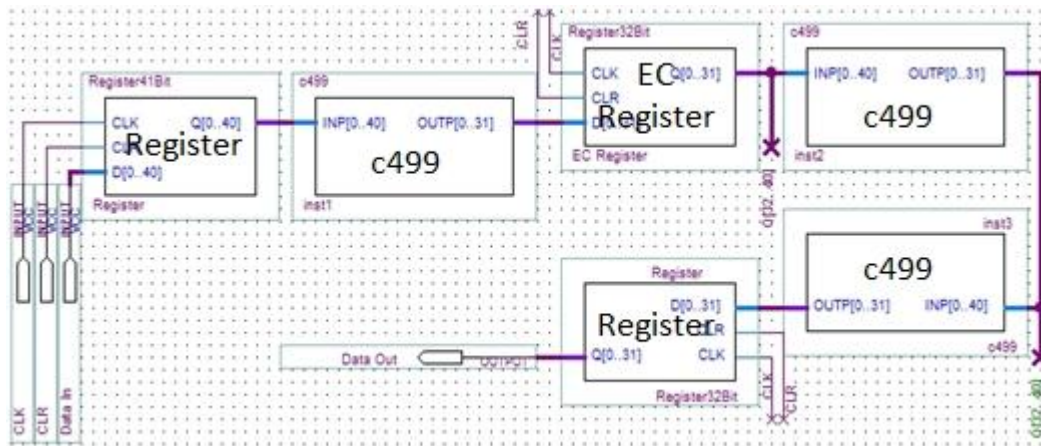


Σχήμα 5.23 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c499-to-c432

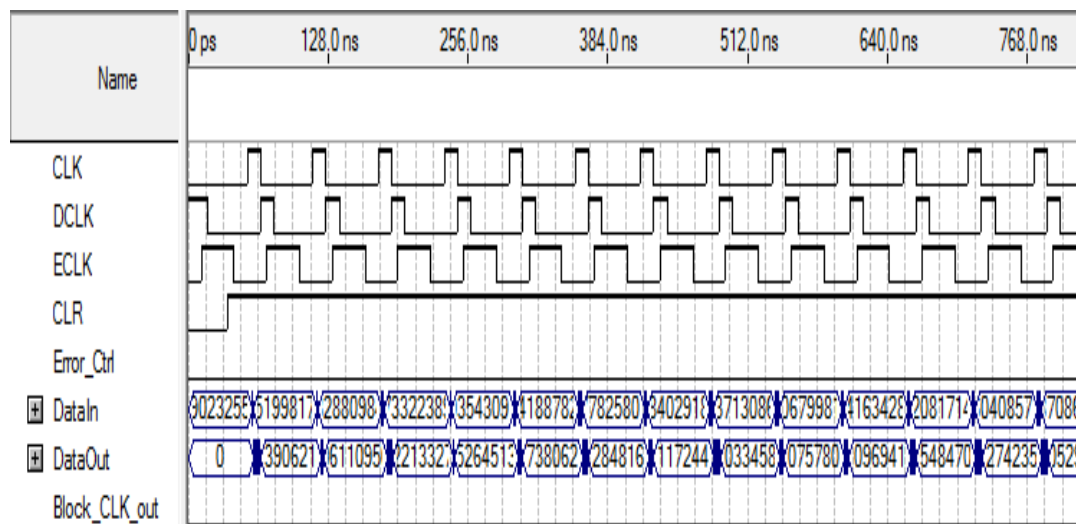
#### Κύκλωμα #5

Το πέμπτο κύκλωμα είναι το c499-to-2c499 (βλ. Σχήμα 5.24). Αποτελείται από ένα κύκλωμα c499 το οποίο οδηγεί δύο διαδοχικά συνδεδεμένα κυκλώματα c499. Η νέα τοπολογία διαθέτει 41 εισόδους και 32 εξόδους. Ανάμεσα στο πρώτο c499 και το ζεύγος από c499 παρεμβάλλεται ένας καταχωρητής 32-bit με δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού (EC Register). Ο καταχωρητής που οδηγεί τις εισόδους του c499-to-2c499 είναι ένας καταχωρητής 41-bit, χωρίς δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού. Το ίδιο ισχύει και για τον καταχωρητή 32-bit που συλλαμβάνει τα τελικά δεδομένα για να τα οδηγήσει στις κύριες εξόδους.

Στην *ελεύθερη-από-λάθη* περίπτωση, ο καταχωρητής ολίσθησης γραμμικής ανάδρασης τροφοδοτεί με ψευδοτυχαίες τιμές τις εισόδους του πρώτου καταχωρητή του c499-to-2c499. Εφόσον δεν προκύπτει κάποιο λάθος χρονισμού, τα δεδομένα περνούν όπως θα έπρεπε στις εξόδους του τελικού καταχωρητή. Μπορούμε να παρατηρήσουμε το αποτέλεσμα της προσομοίωσης αυτής της περίπτωσης στο Σχήμα 5.25.



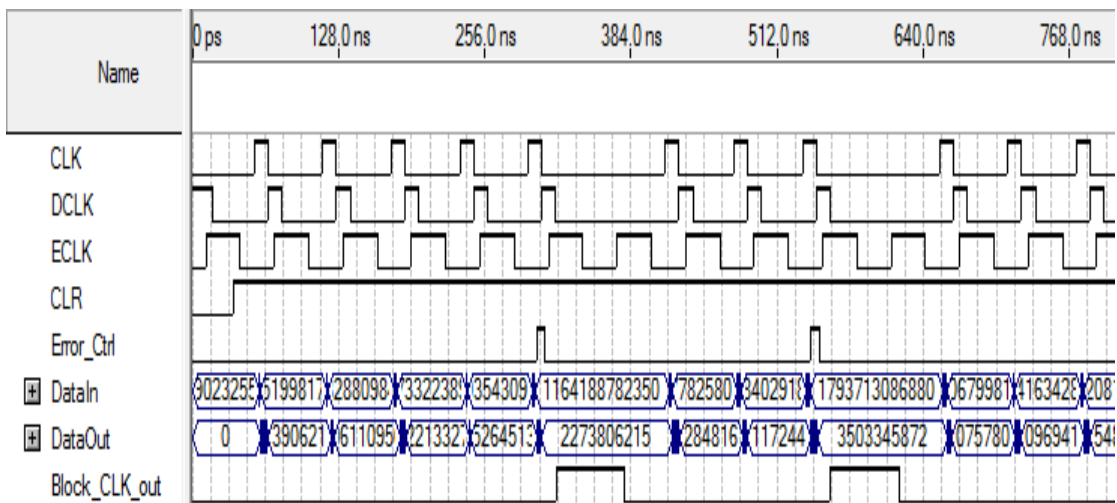
Σχήμα 5.24 Το Κύκλωμα c499-to-2c499



Σχήμα 5.25 Περίπτωση Ελεύθερη Από Λάθη για το c499-to-2c499

Παρατηρήσαμε ότι το λογικό στάδιο που ακολουθεί τον EC Register (βλ. Σχήμα 5.24) προέκυψε ότι διαθέτει αργές διαδρομές, οπότε συμπεριφέρεται ως ένα βαθύ στάδιο. Έτσι, στην περίπτωση *παρουσίας λαθών χρονισμού* στο κύκλωμα, κρίθηκε απαραίτητη η χρήση της τεχνικής αναστολής ρολογιού, με αποτέλεσμα τα ECPLs να διορθώνουν τοπικά τα λάθη και το στάδιο που ακολουθεί να ολοκληρώσει σωστά τον υπολογισμό του εντός του χρόνου του κύκλου ρολογιού που θα ακολουθούσε θεωρητικά αμέσως μετά από αυτόν όπου ανιχνεύθηκαν τα λάθη. Στο Σχήμα 5.26 βλέπουμε το αποτέλεσμα της προσομοίωσης. Στη συγκεκριμένη περίπτωση, το σήμα Error\_Ctrl τέθηκε σε λογικό '1', εντός της υψηλής στάθμης του παλμικού ρολογιού DCLK, σε δύο διαφορετικές χρονικές στιγμές. Έτσι ενεργοποιήθηκαν ταυτόχρονα

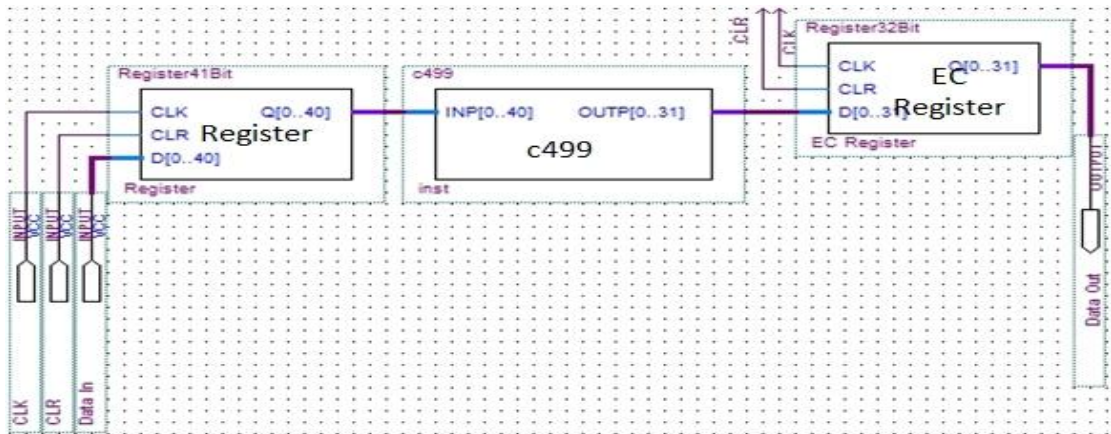
δύο λάθη χρονισμού πριν από τις εισόδους των ECPLs, που αποθηκεύουν το MSB και το LSB από τις εισόδους του EC Register. Επειδή το επόμενο λογικό στάδιο, ύστερα από τον EC Register, είναι βαθύ, το σήμα ρολογιού συστήματος εμποδίζεται για έναν κύκλο ρολογιού, με τη χρήση της μονάδας ελέγχου του Σχήματος 5.2. Ο προτεινόμενος μηχανισμός ανιχνεύει τα δύο λάθη και το σήμα εμπόδισης ρολογιού Block\_CLK\_out ανέρχεται σε λογικό '1', οπότε εμποδίζονται οι παλμοί ρολογιού CLK και DCLK για να διαδοθούν στο κύκλωμα για έναν κύκλο. Με αυτό τον τρόπο, το λογικό στάδιο που ακολουθεί διαθέτει τον απαιτούμενο χρόνο για να ολοκληρώσει τον υπολογισμό του.



Σχήμα 5.26 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c499-to-2c499

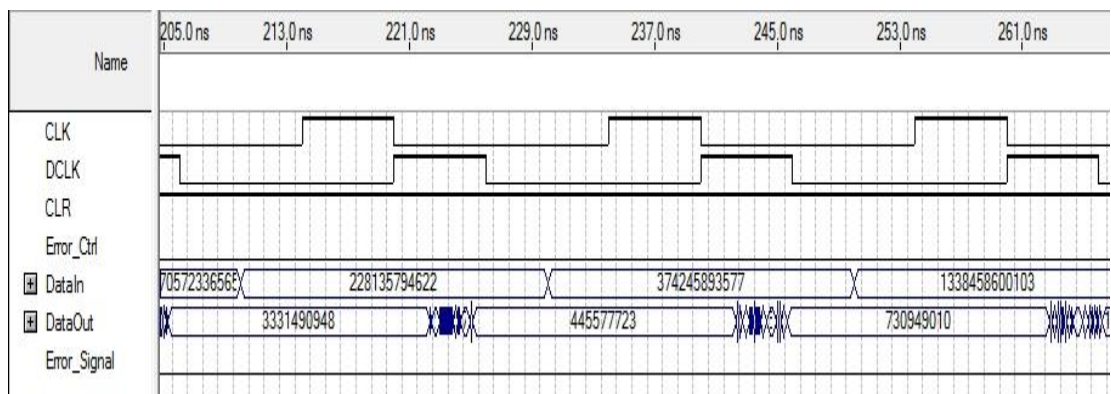
### Κύκλωμα #6

Το έκτο κύκλωμα είναι το c499 (βλ. Σχήμα 5.27). Διαθέτει δε 41 εισόδους και 32 εξόδους. Το c499 τοποθετείται ενδιάμεσα σε δύο καταχωρητές. Ο καταχωρητής που οδηγεί τις εισόδους του c499 είναι ένας καταχωρητής 41-bit, χωρίς δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού. Αντίθετα, ο καταχωρητής 32-bit (EC Register) που συλλαμβάνει τις εξόδους του c499 έχει τη δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού.



Σχήμα 5.27 Το Κύκλωμα c499

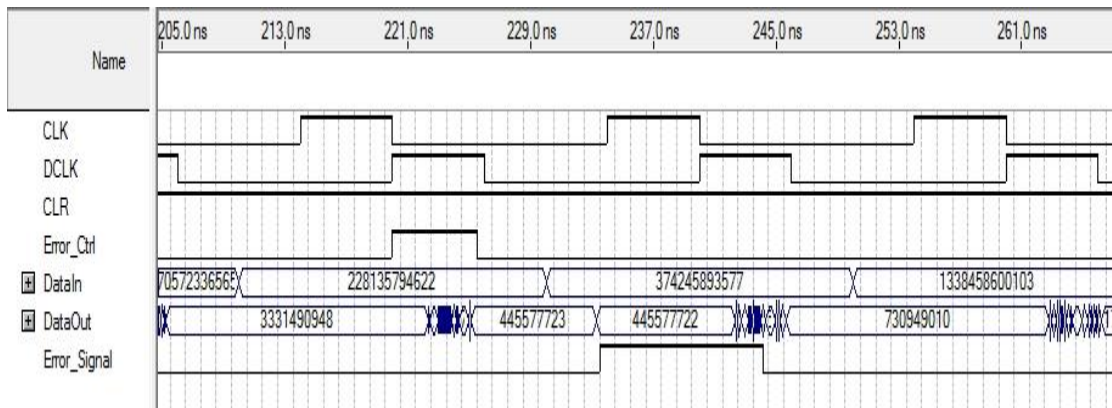
Στην *ελεύθερη-από-λάθη* περίπτωση, το LFSR τροφοδοτεί με ψευδοτυχαίες τιμές τις εισόδους του πρώτου καταχωρητή του c499. Επειδή δεν ενεργοποιείται κάποιο λάθος χρονισμού, τα δεδομένα περνούν όπως θα έπρεπε στις εξόδους του τελικού καταχωρητή (EC Register). Έτσι μπορούμε να παρατηρήσουμε το αποτέλεσμα της προσομοίωσης της συγκεκριμένης περίπτωσης στο Σχήμα 5.28.



Σχήμα 5.28 Περίπτωση Ελεύθερη Από Λάθη για το c499

Στην περίπτωση *παρουσίας λαθών χρονισμού* στο κύκλωμα, τα ECPLs του EC Register (βλ. Σχήμα 5.27) ανιχνεύουν τα πιθανά λάθη που θα ενεργοποιηθούν. Αφού δεν υπάρχει κάποιο λογικό στάδιο που ακολουθεί τον EC Register, τα ECPLs διορθώνουν τοπικά τα λάθη με τις σωστές τιμές εντός του ίδιου κύκλου όπου αυτά ανιχνεύθηκαν. Στο Σχήμα 5.29 βλέπουμε το αποτέλεσμα της προσομοίωσης, για την περίπτωση που έχουμε εισάγει ένα λάθος χρονισμού στην είσοδο του ECPL το οποίο αποθηκεύει το LSB των εισόδων του EC Register. Αρχικά θέσαμε το σήμα Error\_Ctrl

σε λογικό '1' για ένα σύντομο χρονικό διάστημα και εντός της υψηλής στάθμης του παλμικού ρολογιού DCLK. Έτσι ενεργοποιήθηκε ένα λάθος χρονισμού στην είσοδο του ECPL που αποθηκεύει το LSB. Όπως παρατηρούμε στο Σχήμα 5.29, ο προτεινόμενος μηχανισμός ανίχνευσε το λάθος και το καθολικό σήμα ένδειξης λάθους Error\_Signal ανήλθε σε λογικό '1'. Τελικά το σχετικό ECPL διόρθωσε το λάθος χρονισμού, εντός του κύκλου ρολογιού που το ανίχνευσε.



Σχήμα 5.29 Περίπτωση Παρουσίας Λαθών Χρονισμού για το c499

### 5.7. Σύγκριση της Προτεινόμενης Τεχνικής με Υπάρχουσες Τεχνικές

Εφόσον επαληθεύσαμε ότι η προτεινόμενη τεχνική ανταποκρίθηκε στην ανίχνευση και διόρθωση λαθών χρονισμού στα κυκλώματα, θα ήταν σημαντικό να προβούμε σε συγκρίσεις με άλλες σχετικές τεχνικές στη βιβλιογραφία. Οι συγκρίσεις αφορούν το κόστος σε επιφάνεια, που απαιτείται για την ανίχνευση και διόρθωση λαθών, τη δυναμική κατανάλωση ισχύος και τη συχνότητα λειτουργίας. Οι τεχνικές που χρησιμοποιήθηκαν είναι η EDC τεχνική [18] και η Razor τεχνική [15], τις οποίες και αναλύσαμε στο 3<sup>ο</sup> Κεφάλαιο. Και οι δύο αυτές τεχνικές αφορούν σχεδιασμούς με χρήση Flip-Flop. Επίσης, οι ίδιες συγκρίσεις έγιναν ανάμεσα στην προτεινόμενη τεχνική και τους σχεδιασμούς με χρήση μανδαλωτή και Flip-Flop, οι οποίοι δε διαθέτουν κάποιο μηχανισμό προστασίας από λάθη χρονισμού. Εδώ θα πρέπει να σημειώσουμε ότι γενικά η αποτύπωση ενός σχεδιασμού με χρήση μανδαλωτή σε ένα FPGA μπορεί να είναι πιο πολύπλοκη από ένα σχεδιασμό με χρήση Flip-Flop.



Οι τεχνικές EDC και Razor εφαρμόστηκαν και στα έξι κυκλώματα του υποκεφαλαίου 5.6. Όλες οι συγκρίσεις έγιναν σε συνθήκες κανονικής λειτουργίας, χωρίς λάθη. Στην περίπτωση εφαρμογής της τεχνικής Razor στα έξι κυκλώματα, αντικαταστήσαμε όλα τα Flip-Flops με Razor Flip-Flops. Αντίθετα, στην περίπτωση εφαρμογής της τεχνικής EDC, αντικαταστήσαμε με EDC Flip-Flops μόνο τα Flip-Flops που βρίσκονται στο τέλος κάποιας κρίσιμης διαδρομής, σύμφωνα με τις δυνατότητες της τεχνικής. Οι μετρήσεις της επιφάνειας, της δυναμικής κατανάλωσης ισχύος και της συχνότητας λειτουργίας έγιναν με τη βοήθεια των εργαλείων του προγράμματος Quartus II.

### 5.7.1. Συγκρίσεις με Βάση την Επιφάνεια

Λόγω του γεγονότος ότι ο σχεδιασμός όλων των κυκλωμάτων έγινε σε μία προγραμματιζόμενη συσκευή (FPGA) μέσω του εργαλείου Quartus II, οι διάφορες συγκρίσεις για την επιφάνεια έγιναν με βάση τα λογικά στοιχεία (logic elements) που χρησιμοποίησε η κάθε τεχνική. Στον Πίνακα 5.1 παρουσιάζονται οι σχετικές συγκρίσεις. Βλέπουμε ότι στη συντριπτική τους πλειοψηφία, τα υπό μελέτη κυκλώματα, όπου εφαρμόζεται η τεχνική Razor, εμφανίζουν μεγαλύτερη επιφάνεια σε λογικά στοιχεία από ό,τι τα αντίστοιχα κυκλώματα, όπου εφαρμόζεται η προτεινόμενη τεχνική και η τεχνική EDC. Αυτό οφείλεται στο γεγονός ότι αντικαταστάθηκαν, σε κάθε κύκλωμα, όλα τα Flip-Flop με Razor Flip-Flop.

Πίνακας 5.1 Συγκρίσεις με Βάση την Επιφάνεια

	Επιφάνεια (λογικά στοιχεία)				
	Razor Τεχνική	EDC Τεχνική	Προτεινόμενη Τεχνική	Σχεδιασμός με Χρήση Latch	Σχεδιασμός με Χρήση FF
c499	282 (LE)	262 (LE)	270 (LE)	264 (LE)	175 (LE)
5c432-to-c432	856 (LE)	201 (LE)	204 (LE)	197 (LE)	158 (LE)
18c17-to-c432	24 (LE)	27 (LE)	24 (LE)	24 (LE)	24 (LE)
c432-to-c17	195 (LE)	54 (LE)	56 (LE)	56 (LE)	53 (LE)
c499-to-c432	331 (LE)	173 (LE)	162 (LE)	162 (LE)	112 (LE)
c499-to-2c499	473 (LE)	288 (LE)	271 (LE)	271 (LE)	295 (LE)

Από την άλλη πλευρά, τα τρία από τα έξι κυκλώματα (c499, 5c432-to-c432, c432-to-c17) όπου εφαρμόζεται η προτεινόμενη τεχνική εμφανίζουν ελαφρώς μεγαλύτερη

επιφάνεια σε λογικά στοιχεία σε σχέση με τα αντίστοιχα κυκλώματα της τεχνικής EDC. Αντιθέτως τα υπόλοιπα τρία κυκλώματα (18c17-to-c432, c499-to-c432, c499-to-2c499) της προτεινόμενης τεχνικής εμφανίζουν ελαφρώς μικρότερη επιφάνεια σε αντιστοιχία με τα κυκλώματα όπου εφαρμόζεται η τεχνική EDC. Δηλαδή, παρατηρούμε μία σχετική ισορροπία μεταξύ της προτεινόμενης τεχνικής και της τεχνικής EDC στις συγκρίσεις ως προς την επιφάνεια. Η αιτία πίσω από τη συγκεκριμένη διαπίστωση είναι το γεγονός ότι, τόσο στην προτεινόμενη τεχνική όσο και την τεχνική EDC, τα ECPLs τοποθετήθηκαν αποκλειστικά και μόνο στο τέλος κρίσιμων διαδρομών του κυκλώματος, αφήνοντας χωρίς προστασία τις γρήγορες (μη κρίσιμες) διαδρομές. Στον Πίνακα 5.2 παρουσιάζουμε την ποσοστιαία μείωση/αύξηση της επιφάνειας των έξι κυκλωμάτων όπου εφαρμόζεται η προτεινόμενη τεχνική σε σχέση με τα αντίστοιχα κυκλώματα των τεχνικών Razor και EDC.

Πίνακας 5.2 Ποσοστιαία Μείωση/Αύξηση Επιφάνειας της Προτεινόμενης Τεχνικής σε Σχέση με τις Τεχνικές Razor και EDC

	Razor Τεχνική	EDC Τεχνική	Σχεδιασμός με Χρήση Latch	Σχεδιασμός με Χρήση FF
c499	4.25% ↓	3.05% ↑	1.98% ↑	54% ↑
5c432-to-c432	76.16% ↓	1.49% ↑	3.35% ↑	28.4% ↑
18c17-to-c432	0%	12.5% ↓	0%	0%
c432-to-c17	71.2% ↓	3.70% ↑	0%	5.71% ↑
c499-to-c432	51.05% ↓	6.79% ↓	0%	44.7% ↑
c499-to-2c499	42.7% ↓	6.27% ↓	0%	8.92% ↓

### 5.7.2. Συγκρίσεις με Βάση την Κατανάλωση Ισχύος

Στον Πίνακα 5.3 παρουσιάζουμε τη δυναμική θερμική κατανάλωση ισχύος για κάθε υπό μελέτη κύκλωμα με την εφαρμογή των τριών τεχνικών. Όπως και στην περίπτωση της επιφάνειας, βλέπουμε ότι η τεχνική Razor αυξάνει κατά πολύ, στα περισσότερα κυκλώματα, τη δυναμική κατανάλωση ισχύος σε σχέση με τις άλλες δύο τεχνικές. Αυτό οφείλεται στο γεγονός ότι, όπως προαναφέραμε, αντικαταστήσαμε κάθε Flip-Flop με ένα Razor Flip-Flop, και η ολική πρόσθετη κυκλωμάτωση μας

οδήγησε σε πολύ υψηλότερη κατανάλωση ισχύος σε σχέση με την προτεινόμενη και την EDC τεχνική.

Όσον αφορά τη σύγκριση της προτεινόμενης τεχνικής με την τεχνική EDC, η προτεινόμενη τεχνική εμφάνισε μεγαλύτερη δυναμική κατανάλωση ισχύος σε σχέση με την τεχνική EDC στα τέσσερα από τα έξι υπό μελέτη κυκλώματα (c499, 5c432-to-c432, c432-to-c17, c499-to-2c499), ενώ στα άλλα δύο κυκλώματα (18c17-to-c432, c499-to-c432) εμφάνισε ελαφρώς μικρότερη δυναμική κατανάλωση ισχύος. Εφόσον η τεχνική EDC χρησιμοποιεί Flip-Flop αντί για μανδαλωτές, θα έπρεπε λογικά όλα τα κυκλώματα που εφαρμόζουν την τεχνική EDC να εμφανίζουν μεγαλύτερη κατανάλωση ισχύος από τα αντίστοιχα κυκλώματα που εφαρμόζουν την προτεινόμενη τεχνική. Οπότε η μικρή αύξηση, σε γενικές γραμμές, της δυναμικής κατανάλωσης ισχύος με την εφαρμογή της προτεινόμενης τεχνικής συγκριτικά με την τεχνική EDC, οφείλεται στην υλοποίηση των κυκλωμάτων στο FPGA.

Πίνακας 5.3 Συγκρίσεις με Βάση τη Δυναμική Κατανάλωση Ισχύος

	Razor Τεχνική	EDC Τεχνική	Προτεινόμενη Τεχνική	Σχεδιασμός με Χρήση Latch	Σχεδιασμός με Χρήση FF
c499	22.69mW	17.04mW	19.21mW	16.51mW	14.09mW
5c432-to-c432	52.87mW	14.75mW	14.85mW	15.90mW	14.37mW
18c17-to-c432	4.19mW	5.00mW	4.51mW	5.11mW	6.46mW
c432-to-c17	17.30mW	4.13mW	5.75mW	4.02mW	3.22mW
c499-to-c432	11.41mW	6.39mW	6.16mW	7.39mW	4.21mW
c499-to-2c499	16.10mW	8.23mW	10.31mW	10.23mW	7.10mW

Πίνακας 5.4 Ποσοστιαία Μείωση/Αύξηση Δυναμικής Κατανάλωσης Ισχύος της Προτεινόμενης Τεχνικής σε Σχέση με τις Τεχνικές Razor και EDC

	Razor Τεχνική	EDC Τεχνική	Σχεδιασμός με Χρήση Latch	Σχεδιασμός με Χρήση FF
c499	15.3% ↓	12.73% ↑	16.3% ↑	36.3% ↑
5c432-to-c432	71.9% ↓	0.67% ↑	7.1% ↓	3.3% ↑
18c17-to-c432	7.63% ↑	10.86% ↓	13.4% ↓	43.4% ↓
c432-to-c17	66.7% ↓	39.22% ↑	42.7% ↑	78.1% ↑
c499-to-c432	46.01% ↓	3.73% ↓	20.1% ↓	46.2% ↑
c499-to-2c499	35.9% ↓	25.27% ↑	0.7% ↑	45.2% ↑

### 5.7.3. Συγκρίσεις με Βάση τη Συχνότητα Λειτουργίας

Στον Πίνακα 5.5 παρουσιάζουμε τη συχνότητα λειτουργίας για κάθε υπό μελέτη κύκλωμα με την εφαρμογή των τριών τεχνικών. Στην πλειοψηφία των περιπτώσεων, τα κυκλώματα με βάση την προτεινόμενη τεχνική λειτούργησαν στις ίδιες συχνότητες με τα αντίστοιχα κυκλώματα των υπόλοιπων δύο τεχνικών. Σε δύο περιπτώσεις, στα κυκλώματα c432-to-c17 και c499-to-2c499, η προτεινόμενη τεχνική λειτούργησε σε ελαφρώς υψηλότερες συχνότητες σε σχέση με την τεχνική EDC, γεγονός που λογικά οφείλεται στην υλοποίηση του κυκλώματος στο FPGA.

Πίνακας 5.5 Συγκρίσεις με Βάση τη Συχνότητα Λειτουργίας

	Συχνότητα Λειτουργίας		
	Razor Τεχνική	EDC Τεχνική	Προτεινόμενη Τεχνική
c499	50MHz	50MHz	50MHz
5c432-to-c432	50MHz	50MHz	50MHz
18c17-to-c432	50MHz	50MHz	50MHz
c432-to-c17	50MHz	33MHz	50MHz
c499-to-c432	25MHz	25MHz	25MHz
c499-to-2c499	25MHz	20MHz	25MHz

Οπότε σύμφωνα με τον Πίνακα 5.5, συμπεραίνουμε ότι η προτεινόμενη τεχνική δεν επιβάρυνε περαιτέρω την ταχύτητα λειτουργίας σε όποιο κύκλωμα εφαρμόστηκε, σε σχέση φυσικά με τις υπόλοιπες δύο τεχνικές για ανίχνευση και διόρθωση λαθών. Τέλος, πρέπει να σημειωθεί ότι η ταχύτητα λειτουργίας παρέμεινε αμετάβλητη με την εφαρμογή της προτεινόμενης τεχνικής στα κυκλώματα, συγκριτικά με την αρχική, χωρίς προστασία, σχεδίαση.

## ΚΕΦΑΛΑΙΟ 6. ΣΥΜΠΕΡΑΣΜΑΤΑ

Στην παρούσα εργασία προτείνουμε μία νέα τεχνική για ανίχνευση και διόρθωση λαθών χρονισμού σε ολοκληρωμένα κυκλώματα. Η νέα τεχνική απευθύνεται σε σχεδιασμούς που έχουν ως βασικό στοιχείο μνήμης το μανδαλωτή, και πιο συγκεκριμένα τον παλμικό μανδαλωτή. Παλμικός μανδαλωτής είναι ένας μανδαλωτής που χρονίζεται με ένα μικρό παλμό ρολογιού. Το βασικό δομικό στοιχείο της τεχνικής είναι ένας νέος παλμικός μανδαλωτής με το όνομα Error detection and Correction Pulsed Latch (ECPL).

Το ECPL αποτελείται, εκτός από τον κύριο παλμικό μανδαλωτή, από δύο πύλες XOR και από ένα δευτερεύοντα παλμικό μανδαλωτή. Η πρώτη XOR χρησιμοποιείται για την ανίχνευση λαθών χρονισμού, συγκρίνοντας τις τιμές μεταξύ της εισόδου και της εξόδου του κύριου παλμικού μανδαλωτή αμέσως μετά τη σύλληψη των δεδομένων. Το αποτέλεσμα αυτής της σύγκρισης αποθηκεύεται στο δευτερεύοντα παλμικό μανδαλωτή. Στην περίπτωση που η τιμή της εξόδου του δευτερεύοντα παλμικού μανδαλωτή είναι λογικό '0', δηλαδή δεν ανιχνεύεται κάποιο λάθος, η δεύτερη XOR επιτρέπει στην τιμή της εξόδου του κύριου παλμικού μανδαλωτή να περάσει ανεπηρέαστη στην έξοδο του ECPL. Στην περίπτωση που είναι λογικό '1', οπότε και ανιχνεύεται ένα λάθος χρονισμού (καθώς είσοδος και έξοδος του κύριου παλμικού μανδαλωτή διαφέρουν), η δεύτερη XOR αντιστρέφει την τιμή της εξόδου του κύριου παλμικού μανδαλωτή και έτσι περνά στην έξοδο του ECPL η διορθωμένη τιμή.

Όταν σε κάποιο κύκλωμα ανιχνεύεται κάποιο λάθος χρονισμού στην είσοδο ενός ECPL και ακολουθεί βαθύ λογικό στάδιο, το σήμα ρολογιού συστήματος εμποδίζεται για έναν κύκλο ρολογιού, ώστε να έχει το επόμενο λογικό στάδιο τον απαιτούμενο χρόνο για να υπολογίσει με τις σωστές τιμές. Όταν ακολουθεί ρηχό λογικό στάδιο, η

διόρθωση του λάθους χρονισμού στον μανδαλωτή οδηγεί το επόμενο στάδιο σε σωστή απόκριση καθώς αυτό έχει τον απαραίτητο χρόνο για τον υπολογισμό. Πρέπει να σημειώσουμε ότι στην προτεινόμενη τεχνική, ένα ECPL αντικαθιστά ένα latch μόνο όταν αυτό είναι στην έξοδο μιας κρίσιμης διαδρομής σήματος. Αντίθετα, στην τεχνική Razor κάθε Flip-Flop αντικαθιστάται με ένα Razor Flip-Flop.

Η επιβεβαίωση της προτεινόμενης τεχνικής έγινε με προσομοιώσεις σε κατάλληλα κυκλώματα και με τη βοήθεια του εργαλείου Quartus II, τόσο για την περίπτωση της κανονικής λειτουργίας όσο και της λειτουργίας υπό την παρουσία λαθών χρονισμού. Εφαρμόσαμε την προτεινόμενη τεχνική σε έξι υπό μελέτη κυκλώματα. Έπειτα πραγματοποιήσαμε μετρήσεις, με τη βοήθεια του εργαλείου Quartus II, για τη σύγκριση της προτεινόμενης τεχνικής με δύο άλλες τεχνικές στη βιβλιογραφία οι οποίες χρησιμοποιούνται για ανίχνευση και διόρθωση λαθών χρονισμού, την τεχνική Razor και την τεχνική EDC. Η σύγκριση έγινε ως προς την επιφάνεια, τη δυναμική κατανάλωση ισχύος και τη συχνότητα λειτουργίας. Όπως και στην περίπτωση της προτεινόμενης τεχνικής, εφαρμόσαμε τις τεχνικές Razor και EDC στα έξι κυκλώματα που υλοποιήσαμε. Οι μετρήσεις της επιφάνειας, της δυναμικής κατανάλωσης ισχύος και της συχνότητας λειτουργίας έγιναν σε συνθήκες κανονικής λειτουργίας, χωρίς την παρουσία λαθών.

Ως προς την επιφάνεια, διαπιστώσαμε σημαντικά χαμηλότερο κόστος στα περισσότερα υπό μελέτη κυκλώματα, για την προτεινόμενη τεχνική σε σχέση με την τεχνική Razor. Σε σχέση με την τεχνική EDC, τα αποτελέσματα ήταν παραπλήσια. Αναφορικά με τη δυναμική κατανάλωση ισχύος, παρατηρήσαμε χαμηλότερα επίπεδα στα περισσότερα κυκλώματα, για την προτεινόμενη τεχνική σε σχέση με την τεχνική Razor. Καθώς στην περίπτωση της τεχνικής Razor αντικαταστήσαμε κάθε Flip-Flop με ένα Razor Flip-Flop, η ολική πρόσθετη κυκλωμάτωση οδήγησε σε πολύ υψηλότερη κατανάλωση ισχύος σε σχέση με την προτεινόμενη τεχνική. Αντίθετα, η προτεινόμενη τεχνική είχε σχετικά παρόμοιες επιδόσεις ως προς τη δυναμική κατανάλωση ισχύος σε σχέση με την τεχνική EDC. Τέλος, σε ό,τι αφορά τη συχνότητα λειτουργίας, ουσιαστικά δεν υπήρξαν διαφοροποιήσεις ανάμεσα στα κυκλώματα που προσομοιώθηκαν.

Σύμφωνα με τα πειραματικά αποτελέσματα, η προτεινόμενη τεχνική αποτελεί μία αποδεκτή και δελεαστική λύση στο πρόβλημα της ανίχνευσης και διόρθωσης λαθών χρονισμού σε σχεδιασμούς με τη χρήση παλμικών μανδαλωτών. Συνεπώς, μπορούμε σε ένα σχεδιασμό να εκμεταλλευτούμε τα πλεονεκτήματα της χρήσης παλμικών μανδαλωτών (έναντι των flip-flop) και παράλληλα να έχουμε την απαραίτητη προστασία από (ανοχή στα) λάθη χρονισμού, όπως αυτή που προσφέρουν οι τεχνικές Razor και EDC στους σχεδιασμούς βασισμένους σε flip-flop, αλλά γενικά με χαμηλότερο κόστος σε επιφάνεια πυριτίου, καταναλισκόμενη ισχύ και ταχύτητα λειτουργίας. Το βασικότερο πλεονέκτημα της προτεινόμενης τεχνικής είναι ότι οι παλμικοί μανδαλωτές ενός κυκλώματος αντικαθίστανται από ECPLs, μόνο στην περίπτωση που βρίσκονται στο τέλος κάποιας κρίσιμης διαδρομής. Επίσης, να επισημάνουμε ότι το χρησιμοποιούμενο ECPL στοιχείο εμφανίζει το ίδιο πρόσθετο κόστος σε επιφάνεια (δύο πύλες XOR και ένας μανδαλωτής) σε σχέση με το Razor Flip-Flop (ένας πολυπλέκτης, μία πύλη XOR και ένας μανδαλωτής) και το EDC Flip-Flop (ένας πολυπλέκτης, μία πύλη XOR και ένας μανδαλωτής).

## ΑΝΑΦΟΡΕΣ

---

- [1] L-T Wang, C. Stroud and N. Touba, “System-on-Chip Test Architectures”, Morgan-Kaufmann, 2008.
- [2] S. Mourad and Y. Zorian, “Principles of Testing Electronics Systems”, John Wiley & Sons, 2000.
- [3] Γεώργιος Τσιατούχας, “Σημειώσεις: Τεχνικές Σχεδίασης Κυκλωμάτων CMOS”, Τμήμα Πληροφορικής Πανεπιστήμιου Ιωαννίνων, 2008.
- [4] M. Bushnell and V. Agrawal, “Essentials of Electronic Testing: for Digital, Memory and Mixed-Signal VLSI Circuits”, Kluwer Academic Publishers, 2000.
- [5] P. K. Lala, “Self-Checking and Fault-Tolerant Digital Design”, Morgan Kaufmann, San Francisco, 2001.
- [6] C.E. Stroud, “Reliability of majority voting based VLSI fault-tolerant circuits”, IEEE Trans. on Very Large Scale Integration (VLSI) Systems, 2(4), pp. 516–521, December 1994.
- [7] D. Siewiorek and R. S. Swarz, “Reliable Computer Systems: Design and Evaluation”, Third Edition, AK Peters, Wellesley MA, 1998.
- [8] W. H. Pierce, “Fault-Tolerant Computer Design”, Academic Press, New York, 1965.
- [9] J. Losq, “A highly efficient redundancy scheme: Self-purging redundancy”, IEEE Trans. on Computers, C-25(6), pp. 569–578, June 1976.
- [10] S. S. Mukherjee, M. Kontz, and S. Reinhardt, “Detailed design and evaluation of redundant multithreading alternatives”, in Proc. Int. Symp. on Computer Architecture, pp. 99–110, May 2002.
- [11] P. Franco and E. J. McCluskey, “On-line delay testing of digital circuits”, in Proc. VLSI Test Symp., pp. 164–173, April 1994.
- [12] A. Avizienis and J. P. J. Kelly, “Fault tolerance by design diversity: Concepts and experiments”, IEEE Computer, 17(8), pp. 67–80, August 1984.



- [13] S. Mitra, N. R. Saxena and E. J. McCluskey, "A design diversity metric and analysis of redundant systems", *IEEE Trans. on Computers*, 51(5), pp. 498–510, May 2002.
- [14] W. W. Peterson and E. J. Weldon, Jr., "Error-Correcting Codes", Second Edition, MIT Press, Cambridge, MA, 1972.
- [15] Dan Ernst, Nam Sung Kim, Shidhartha Das, Sanjay Pant, Rajeev Rao, Toan Pham, Conrad Ziesler, David Blaauw, Todd Austin, Krisztian Flautner, Trevor Mudge, "Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation", 36th Annual International Symposium on Microarchitecture (MICRO-36), December 2003.
- [16] Michael Nicolaidis, "GRAAL: A New Fault Tolerant Design Paradigm for Mitigating the Flaws of Deep Nanometric Technologies", *IEEE International Test Conference*, 2007.
- [17] Rupak Samanta, Ganesh Venkataraman, Nimay Shah, Jiang Hu, "Elastic Timing Scheme for Energy-Efficient and Robust Performance", 9th International Symposium on Quality Electronic Design (ISQED'08), March 2008.
- [18] S. Valadimas, Y. Tsiatouhas and A. Arapoyanni, "Timing Error Tolerance in Nanometer ICs", *IEEE 16th International On-Line Testing Symposium*, 2010.
- [19] Youngsoo Shin, Seungwhun Paik, "Pulsed-Latch Circuits: a New Dimension in ASIC Design", *IEEE Design & Test of Computers*, November/December 2011.
- [20] Neil H. E. Weste, David Money Harris, "CMOS VLSI Design: A Circuits and Systems Perspective", Fourth Edition, Addison-Wesley, 2011.
- [21] M. Hansen, H. Yalcin, and J. P. Hayes, "Unveiling the ISCAS-85 Benchmarks: A Case Study in Reverse Engineering", *IEEE Design and Test*, vol. 16, no. 3, pp. 72-80, July-Sept. 1999.
- [22] IEEE 1500 Standard for Embedded Core Test (<http://grouper.ieee.org/groups/1500/>).
- [23] K. Parker, "The Boundary-Scan Handbook", Kluwer Academic Publishers, 1992.

## **ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ**

---

Ο Νικόλαος Γεωργουλόπουλος γεννήθηκε στη Θεσσαλονίκη και αποφοίτησε από το 1ο Ενιαίο Λύκειο Έδεσσας.

Είναι Διπλωματούχος της Σχολής Θετικών Επιστημών του Πανεπιστημίου Ιωαννίνων, Τμήμα Πληροφορικής.

Από τον Οκτώβριο του 2011 έως το Μάιο του 2013 παρακολούθησε το Μεταπτυχιακό Πρόγραμμα Σπουδών του Τμήματος Μηχανικών Η/Υ και Πληροφορικής του Πανεπιστημίου Ιωαννίνων.



