

ΧΑΜΗΛΗ ΚΑΤΑΝΑΛΩΣΗ ΕΝΕΡΓΕΙΑΣ ΣΕ ΑΝΑΔΙΠΛΟΥΜΕΝΕΣ ΑΛΥΣΙΔΕΣ ΣΑΡΩΣΗΣ

Η
ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ

Υποβάλλεται στην

ορισθείσα από την Γενική Συνέλευση Ειδικής Σύθεσης
του Τμήματος Πληροφορικής
Εξεταστική Επιτροπή

από την

Όλγα Ερμή

ως μέρος των Υποχρεώσεων

για τη λήψη

του

ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΣΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ
ΜΕ ΕΞΕΙΔΙΚΕΥΣΗ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ-ΕΦΑΡΜΟΓΕΣ

Φεβρουάριος 2013

ΕΥΧΑΡΙΣΤΙΕΣ

Αρχικά θα ήθελα να ευχαριστήσω θερμά τον επιβλέποντα καθηγητή κ.Τσιατούχα Γεώργιο, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων, για τη συνεχή και εποικοδομητική του επίβλεψη στο μεταπτυχιακό αυτό καθώς και για την κατανόηση και βοήθεια του καθ' όλη τη διάρκεια της εκπόνησης της εργασίας. Επίσης, ευχαριστώ πολύ τα μέλη της επιτροπής κ. Καβουσιανό Χρυσοβαλάντη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων και τον κ.Ευθυμίου Αριστείδη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων. Ευχαριστώ τον Βασίλη Τενέντε, διδάκτορα του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων για την βοήθεια και άμεση παροχή των αρχικών διανυσμάτων ελέγχου ISCAS'89 κυκλωμάτων. Τέλος ένα μεγάλο ευχαριστώ στους γονείς μου, τον αδελφό μου, τον αρραβωνιαστικό μου και τους καλούς μου φίλους, για την συνεχή στήριξη και την αγάπη τους για κάθε μου στόχο.

ΠΕΡΙΕΧΟΜΕΝΑ

	Σελ
ΕΥΧΑΡΙΣΤΙΕΣ	ii
ΠΕΡΙΕΧΟΜΕΝΑ	iii
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ	v
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ	vi
ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ	viii
ΠΕΡΙΛΗΨΗ	ix
EXTENDED ABSTRACT IN ENGLISH	x
ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ	1
1.1. Στόχοι	1
1.2. Δομή της Διατριβής	2
ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΗ ΣΧΕΔΙΑΣΗΣ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ	
ΥΨΗΛΗΣ ΤΑΧΥΤΗΤΑΣ ΚΑΙ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ	4
2.1. Έλεγχος ορθής λειτουργίας	5
2.1.1. Τεχνική Σειριακής Σάρωσης	8
2.1.2. Ενσωματωμένος αυτοέλεγχος	11
2.1.3. Τεχνική συμπίεσης	14
2.2. Ελαττώματα – Σφάλματα – Λάθη	15
2.3. Μοντέλα σφαλμάτων	17
2.4. Ανίχνευση σφαλμάτων – Ποσοστό κάλυψης	19
2.5. Κατανάλωση ενέργειας κατά την διάρκεια ελέγχου ορθής λειτουργίας	20
2.5.1. Υπολογισμός μεταβάσεων	22
2.5.2. Βασικές τεχνικές χαμηλής κατανάλωσης	24
2.6. Αρχιτεκτονική πολλαπλών αλυσίδων σάρωσης για μείωση της κατανάλωσης και του χρόνου ελέγχου	25
2.7. Αρχιτεκτονική σάρωσης με ενεργοποίηση αμοιβαία αποκλειόμενων τμημάτων σάρωσης για μείωση της καταναλισκόμενης ενέργειας κατά την ολίσθηση και την δέσμευση αποκρίσεων.	29
2.8. Αρχιτεκτονική σάρωσης δύο σταδίων για επίτευξη χαμηλής κατανάλωσης ελέγχου με μείωση καθυστέρησης μετάδοσης	31
2.9. Αρχιτεκτονική παράκαμψης κυττάρων σάρωσης για χαμηλή κατανάλωση	33
2.10. Μέθοδος προεπιλογής τιμών για μείωση της κατανάλωσης σύλληψης αποκρίσεων.	35
2.11. Μέθοδος στατικής συμπίεσης διανυσμάτων ελέγχου για την μείωση της κατανάλωσης ενέργειας	36
2.12. Τεχνική σχεδίασης τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σάρωσης	38
ΚΕΦΑΛΑΙΟ 3. ΠΡΟΤΕΙΝΟΜΕΝΗ ΤΕΧΝΙΚΗ	
ΣΧΕΔΙΑΣΗΣ ΑΝΑΔΙΠΛΟΥΜΕΝΩΝ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ	40
3.1. Προτεινόμενη τεχνική Σχεδίασης Αναδιπλούμενων Αλυσίδων Σάρωσης	40

3.2. Αιτιοκρατικός Έλεγχος Σάρωσης	47
3.3. Επίτευξη μείωσης του χρόνου ελέγχου	50
3.4. Επίτευξη χαμηλής κατανάλωσης κατά την ολίσθηση	51
3.4.1. Υπολογισμός διανύσματος εισόδου	52
3.4.2. Υπολογισμός αριθμού μεταβάσεων	53
3.5. Κάλυψη σφαλμάτων στην προτεινόμενη τεχνική	62
ΚΕΦΑΛΑΙΟ 4. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ	74
4.1. Πειραματικά μείωσης του χρόνου ελέγχου	74
4.2. Πειραματικά αποτελέσματα μείωσης της κατανάλωσης ενέργειας	87
ΚΕΦΑΛΑΙΟ 5. συμπερασματα	100
ΑΝΑΦΟΡΕΣ	102
ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ	106

ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

Πίνακας	Σελ
Πίνακας 4.1: Πληροφορίες σχετικά με τα ISCAS'89 κυκλώματα	77
Πίνακας 4.2: Πληροφορίες σχετικά με τα IWLS'05 κυκλώματα	77
Πίνακας 4.3: Πειραματικά αποτελέσματα για τα ISCAS'89 κυκλώματα	78
Πίνακας 4.4: Πειραματικά αποτελέσματα για τα IWLS'05 κυκλώματα με ασυμπέστα διανύσματα ελέγχου	79
Πίνακας 4.5: Πειραματικά αποτελέσματα για τα IWLS'05 κυκλώματα με ασυμπέστα διανύσματα ελέγχου(Συνέχεια)	80
Πίνακας 4.6: Πειραματικά αποτελέσματα για τα IWLS'05 κυκλώματα με συμπιεσμένα διανύσματα ελέγχου	83
Πίνακας 4.7: Πειραματικά αποτελέσματα για τα ISCAS'89 κυκλώματα	90
Πίνακας 4.8: Πειραματικά αποτελέσματα για τα IWLS'05 κυκλώματα	91

ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

Σχήμα	Σελ
Σχήμα 2.1: Παράδειγμα ελέγχου σειριακής σάρωσης	6
Σχήμα 2.2: Κατασκευαστικός έλεγχος ενός κυκλώματος	7
Σχήμα 2.3: Αντικατάσταση ενός D flip-flop από ένα Scan flip-flop	9
Σχήμα 2.4: Παράδειγμα ελέγχου μη σειριακής σάρωσης	10
Σχήμα 2.5: Παράδειγμα ελέγχου σειριακής σάρωσης	11
Σχήμα 2.6: Ενσωματωμένη τεχνική αυτοελέγχου (BIST)	12
Σχήμα 2.7 : Χρήση ενός LFSR και ενός MISR	13
Σχήμα 2.8: Τεχνική συμπίεσης	14
Σχήμα 2.9: Κύκλωμα παραδείγματος 4.1	16
Σχήμα 2.10: Αντιστοίχιση φυσικών ελαττωμάτων σε σφάλματα	18
Σχήμα 2.11: Σειριακός έλεγχος με τις αντίστοιχες κυματομορφές ρεύματος	20
Σχήμα 2.12: Μελέτη μεταβάσεων σε μια τυπική αλυσίδα	23
Σχήμα 2.13: Διάνυσμα εισόδου και αποκρίσεων πριν και μετά την αναδιάταξη	26
Σχήμα 2.14: Τα διανύσματα εισόδου και οι αποκρίσεις πριν και μετά την αναδιάταξη τους	27
Σχήμα 2.15: (α): Αρχικές πολλαπλές αλυσίδες σάρωσης (β): Τροποποιημένες αλυσίδες σάρωσης	28 28
Σχήμα 2.16: Αρχιτεκτονική Σάρωσης με Ενεργοποίηση Αμοιβαία Αποκλειόμενων Τμημάτων Σάρωσης	30
Σχήμα 2.17: Αντιστάθμιση μήκους στα N-ισομήκη τμήματα	31
Σχήμα 2.18: Αρχιτεκτονική σάρωσης δύο σταδίων	32
Σχήμα 2.19: Δυο σήματα ρολογιού	33
Σχήμα 2.20: J-scan flip-flop	34
Σχήμα 2.21: Αλυσίδα σάρωσης τεσσάρων J-scan flip-flop	34
Σχήμα 2.22: Ανάλυση πιθανοτήτων σήματος	35
Σχήμα 2.23: (α) Τυπική αλυσίδα σειριακής σάρωσης μήκους L (β) Τμηματοποιημένη αλυσίδα σάρωσης με αναστολή σάρωσης	38 39
Σχήμα 3.1: (α) Τυπική Αλυσίδα Σάρωσης (β) Αλυσίδα Σάρωσης Προτεινόμενης Τεχνικής	41 41
Σχήμα 3.2: Ζεύγος Κελιού Υποστήριξης και Κελιού Φύλλου	42
Σχήμα 3.3: Αλυσίδα Υποστήριξης και Κελιά Φύλλα	43
Σχήμα 3.4: Κανονική λειτουργία	44
Σχήμα 3.5: Εισαγωγή του Διανύσματος Ελέγχου	45
Σχήμα 3.6: Παράλληλη Εισαγωγή τιμών στα Κελιά Φύλλα	45
Σχήμα 3.7: Δέσμευση Αποκρίσεων	46
Σχήμα 3.8: Εξαγωγή Αποκρίσεων	47
Σχήμα 3.9: Κύκλοι ολίσθησης για κάθε διάνυσμα ελέγχου	48
Σχήμα 3.10: Μελέτη μεταβάσεων προτεινόμενης τεχνικής (σε 3 φάσεις)	54
Σχήμα 3.11: Παράδειγμα τριπλέτας	55
Σχήμα 3.12: Περιπτώσεις κακού σεναρίου τριπλέτας	55
Σχήμα 3.13: Ολίσθηση διανύσματος ελέγχου παραδείγματος 3.2	59

Σχήμα 3.14:	Ολίσθηση διανύσματος ελέγχου παραδείγματος 3.3	61
Σχήμα 3.15:	Αρχιτεκτονική για συμπίεση δεδομένων	62
Σχήμα 3.16:	Τμήμα αλυσίδας σάρωσης υποστήριξης και τμήμα κελιών φύλλων της αλυσίδας σάρωσης	63
Σχήμα 3.17:	Περίπτωση εμφάνισης ενός λάθους	64
Σχήμα 3.18:	Περίπτωση εμφάνισης δύο λαθών	65
Σχήμα 3.19:	Περίπτωση εμφάνισης τριών λαθών	66
Σχήμα 3.20:	Περίπτωση εμφάνισης τεσσάρων λαθών	67
Σχήμα 3.21:	Προσθήκη μιας αδιάφορης ολίσθησης στις αρχικές ολισθήσεις πριν την ενημέρωση των κελιών φύλλων	68
Σχήμα 3.22:	Μοναδική περίπτωση απόκρυψης σφάλματος έπειτα από προσθήκη μιας αδιάφορης ολίσθησης	69
Σχήμα 3.23:	Παράδειγμα απόκρυψης λαθών στην προτεινόμενη τεχνική	70
Σχήμα 3.24:	Αποφυγή απόκρυψης σφάλματος με την προσθήκη μιας ολίσθησης	71
Σχήμα 3.25:	Περίπτωση για την οποία η προσθήκη μιας ολίσθησης δεν επαρκεί για την αποφυγή απόκρυψης σφάλματος	72
Σχήμα 3.26:	Πλήρη κάλυψη σφαλμάτων με την προσθήκη δύο ολισθήσεων	73
Σχήμα 4.1:	Ποσοστιαία μείωση μεταβάσεων για τα κυκλώματα ISCAS	93
Σχήμα 4.2:	Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος s5378	94
Σχήμα 4.3:	Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος s9234	94
Σχήμα 4.4:	Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος s13207	95
Σχήμα 4.5:	Ποσοστιαία μείωση μεταβάσεων για τα κυκλώματα IWLS	95
Σχήμα 4.6:	Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος ac97_ctrl	96
Σχήμα 4.7:	Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος aes_core	96
Σχήμα 4.8:	Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος ethernet	97
Σχήμα 4.9:	Μέσος όρος ποσοστιαίας μείωσης μεταβάσεων των κυκλωμάτων ISCAS για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα	97
Σχήμα 4.10:	Μέσος όρος ποσοστιαίας μείωσης μεταβάσεων των κυκλωμάτων IWLS για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα	98

ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ

SOC: σύστημα σε ολοκληρωμένο κύκλωμα – System on Chip

DFT: σχεδιασμός κυκλωμάτων ικανών για έλεγχο – Design for Testability

ATPG: προγράμματα αυτόματης παραγωγής διανυσμάτων δοκιμής –

CUT: κύκλωμα υπό έλεγχο – Circuit under test

ATE: συσκευή αυτόματου ελέγχου – Automatic test equipment

TPG: γεννήτρια διανυσμάτων ελέγχου – Test Pattern Generation

ORA: κυκλώμα ανάλυσης αποκρίσεων εξόδου – Output Response Analyzer

CMOS: Complementary Metal Oxide Semiconductor

VLSI: πολύ μεγάλης κλίμακας ολοκλήρωσης – Very Large Scale Integration

MISR: καταχωρητής ολίσθησης πολλαπλών εισόδων – Multiple Input Shift Register

LFSR: καταχωρητής ολίσθησης γραμμικής ανάδρασης – Linear Feedback Shift Register

BIST: ενσωματωμένος αυτοέλεγχος – Built In Self Test

FC: κάλυψη σφαλμάτων – Fault Coverage

Scan flip-flop: στοιχειώδες κύτταρο μνήμης σάρωσης

ΠΕΡΙΛΗΨΗ

Όλγα Ερμή του Σωτηρίου και της Κωνσταντίνας,
MSc, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων,
Φεβρουάριος, 2013.
Χαμηλή Κατανάλωση Ενέργειας σε Αναδιπλούμενες Αλυσίδες Σάρωσης
Επιβλέποντας: Γεώργιος Τσιατούχας.

Η κατανάλωση ενέργειας αποτελεί μια κρίσιμη παράμετρο κατά την διάρκεια του ελέγχου ορθής λειτουργίας, αφού αποδεδειγμένα το υπό έλεγχο κύκλωμα καταναλώνει περισσότερη ενέργεια κατά την διάρκεια του ελέγχου από ότι στη κανονική λειτουργία. Αυτή η επιπλέον κατανάλωση ενέργειας μπορεί να προκαλέσει σοβαρό κίνδυνο τόσο για την αξιοπιστία του ελέγχου ορθής λειτουργίας, όσο και για την μελλοντική αξιοπιστία του ελεγχόμενου κυκλώματος. Επιπλέον μπορεί να δημιουργήσει προβλήματα όπως αυξημένο κόστος του προϊόντος και δυσκολία στην επαλήθευση των επιδόσεων.

Η προτεινόμενη αρχιτεκτονική στηρίζεται στην τροποποίηση της τυπικής αλυσίδας με τέτοιο τρόπο ώστε να αξιοποιεί κατάλληλα τους αδιάφορους όρους που περιλαμβάνει ένα διάνυσμα ελέγχου. Χαρακτηριστικό της γνώρισμα είναι ότι, συμβάλλει στην μείωση του χρόνου εφαρμογής ελέγχου ενός ολοκληρωμένου κυκλώματος, που οφείλεται στην μείωση του αριθμού των αναγκαίων κύκλων ολίσθησης των δεδομένων ελέγχου. Στην παρούσα εργασία μελετάται η μείωση στην κατανάλωση ενέργειας που προσφέρει η τεχνική κατά την ολίσθηση δεδομένων ελέγχου στην σχετική αλυσίδα σάρωσης. Τα πειραματικά αποτελέσματα έδειξαν ότι η μείωση αυτή μπορεί να είναι εξαιρετικά μεγάλη. Επιπλέον έγινε μελέτη ως προς την κάλυψη σφαλμάτων που μπορεί να εξασφαλίσει η τεχνική. Η τροποποίηση που έχει γίνει στην τυπική αλυσίδα σάρωσης ευνοεί την απόκρυψη σφάλματος στην περίπτωση που δύο ή περισσότερα λάθη εμφανιστούν την ίδια χρονική στιγμή σε συγκεκριμένο τμήμα της αλυσίδας. Στην εργασία προτείνονται τεχνικές για την πλήρη κάλυψη σφαλμάτων με την αποφυγή των φαινομένων απόκρισης σφάλματος και με ελάχιστο κόστος στην όλη διαδικασία. Ταυτόχρονα με τα ανωτέρω, επιτυγχάνεται μείωση στην απαιτούμενη μνήμη για την αποθήκευση των δεδομένων ελέγχου και των σχετικών αποκρίσεων του κυκλώματος σε αυτά, καθώς ένας μεγάλος αριθμός από αδιάφορους όρους δεν αποθηκεύεται. Για τους ίδιους λόγους, μειώνεται δραστικά η διακίνηση δεδομένων μεταξύ της συσκευής που πραγματοποιεί τον έλεγχο και του υπό έλεγχο κυκλώματος. Το προστιθέμενο κόστος σε επιφάνεια πυριτίου της προτεινόμενης τεχνικής, εξ αιτίας της πρόσθετης κυκλωμάτωσης για την υποστήριξή της, μπορεί είναι αποδεκτό σύμφωνα με τα αποτελέσματα που προέκυψαν.

EXTENDED ABSTRACT IN ENGLISH

Ermi, Olga.

MSc, Computer Science Department, University of Ioannina, Greece.

February, 2013.

Title of Dissertation in English: Reduced Energy Dissipation in Folded Scan Chains

Thesis Supervisor: Yiorgos Tsiatouhas.

Power dissipation constitutes a critical parameter in testing procedures since the circuit under test dissipates more power than this during the normal mode of operation. This extra power dissipation may result in reliability reduction of the testing procedure or in reduced reliability of the circuit under test in the field of operation. Moreover, may result in increased production cost and serious difficulties in performance verification.

The proposed architecture is based on the modification of the typical scan chain in such a way that it can exploit the unspecified bits (X-bits) that are present in a test vector. A main characteristic is that it contributes to the reduction of the test application time of an integrated circuit due to the reduction of the number of the required shift cycles for test data manipulation. In this paper we study the reduction of the power dissipation offered by the technique during the test data shifting operations in the scan chain. The experimental results have shown that this reduction could be extremely high. In addition, we study the fault coverage provided by the new technique. The modifications made in the typical scan chain may result in fault masking phenomena under certain conditions in it. In this work we propose techniques to guarantee the maximum fault coverage, as this provided by the typical scan chain, with a negligible influence on the test application time reduction achieved by the new design. At the same time, we succeed to reduce the required memory for the storage of circuit test data, since for a very large amount of unspecified bits (X-bits) no value is assigned so that there is not any need to store them. For the same reason, the test data volume transferred between the tester and the circuit under test is

drastically reduced. According to the experimental results, the additional cost, in terms of silicon area required to support the proposed technique, is small.

ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ

1.1 Στόχοι

1.2 Δομή της Διατριβής

1.1. Στόχοι

Η εξέλιξη της τεχνολογίας τα τελευταία χρόνια έχει επιτρέψει την δημιουργία μιας νέας γενιάς προηγμένων ηλεκτρονικών συσκευών. Κύρια χαρακτηριστικά αυτών είναι ότι διαθέτουν ελάχιστο όγκο και βάρος ενώ παράλληλα ενσωματώνουν βέλτιστους επεξεργαστές και υποσυστήματα. Οι συσκευές αυτές λόγω της εύκολης μεταφοράς τους παρουσιάζουν ευρεία εξάπλωση σε όλους τους τομείς της καθημερινής μας ζωής. Η τάση που επικρατεί είναι η ενσωμάτωση περισσότερων επεξεργαστών, μνήμης και άλλων στοιχείων σε ένα μόνο ολοκληρωμένο κύκλωμα (chip) και περιγράφεται χαρακτηριστικά με τον όρο Σύστημα σε Ολοκληρωμένο Κύκλωμα (System on Chip - SoC). Η τόσο γρήγορη εξέλιξη στην μικροηλεκτρονική τεχνολογία οφείλεται κατά κύριο λόγο στην δυνατότητα ενσωμάτωσης δισεκατομμυρίων τρανζίστορ σε μια μικρή επιφάνεια ημιαγώγιμου υλικού. Η τάση αυτή δείχνει ότι θα συνεχιστεί σύμφωνα με τον νόμο του Moore, βάση του οποίου ο αριθμός των τρανζίστορ σε ένα ολοκληρωμένο διπλασιάζεται ανά δύο χρόνια. Η χρήση μεγάλων και σύνθετων τσιπ απαιτούν ένα τεράστιο αριθμό από διανύσματα ελέγχου, με αναμενόμενη την αύξηση του χρόνου ελέγχου αλλά και της κατανάλωσης ενέργειας κατά την διάρκεια του ελέγχου των κυκλωμάτων, γεγονός που μπορεί να επιφέρει σημαντική αύξηση στο κόστος.

Κατά την κατασκευαστική διαδικασία πολλές από αυτές τις συσκευές αναμένεται να παρουσιάσουν ελαττώματα ή βλάβες. Ο έλεγχος ορθής λειτουργίας των κυκλωμάτων συνεισφέρει στην ποιότητα και στην αξιοπιστία και γίνεται για να επιβεβαιωθεί η επιθυμητή λειτουργία ενός κυκλώματος έπειτα από την κατασκευή του. Ο λόγος για

τον οποίο γίνεται αυτός ο έλεγχος έγκειται στο να διαχωριστούν τα καλά κυκλώματα από τα ελαττωματικά κυκλώματα. Ανάλογα με την πολυπλοκότητα ενός κυκλώματος, ο έλεγχος ορθής λειτουργίας μπορεί να είναι απλός και γρήγορος ή χρονοβόρος και πολυσύνθετος. Συνεπώς, επιδιώκεται η ανάπτυξη τεχνικών που επιτυγχάνουν την μείωση του χρόνου ελέγχου αλλά και τη μείωση της αντίστοιχης κατανάλωσης ενέργειας.

Στόχος της παρούσας εργασίας είναι η επέκταση της μελέτης μιας τεχνικής ελέγχου ορθής λειτουργίας με χρήση αλυσίδων σάρωσης, η οποία έχει αναπτυχθεί στο εργαστήριο «Τεχνολογίας Υλικού και Αρχιτεκτονικής Υπολογιστών» του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων, και η οποία επιφέρει μείωση του απαιτούμενου χρόνου ελέγχου ορθής λειτουργίας. Αντικείμενο είναι η διερεύνηση της δυνατότητας μείωσης και της καταναλισκόμενης ενέργειας κατά τον έλεγχο καθώς και η διερεύνηση της επίπτωσης της τεχνικής στην κάλυψη σφαλμάτων. Στην δεύτερη περίπτωση, ζητούμενο θα είναι η εξεύρεση κατάλληλων λύσεων που θα αποφεύγουν την όποια μείωση στην κάλυψη σφαλμάτων.

1.2. Δομή της Διατριβής

Η εργασία χωρίζεται σε 5 κεφάλαια. Στο πρώτο (παρών) κεφάλαιο παρουσιάζονται οι στόχοι της παρούσας εργασίας και η δομή της.

Στο δεύτερο κεφάλαιο παρουσιάζονται θέματα που αφορούν τεχνικές ελέγχου ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων και γίνεται επισκόπηση σε βασικές αρχιτεκτονικές που έχουν προταθεί για χαμηλή κατανάλωση.

Το τρίτο κεφάλαιο παρουσιάζει λεπτομερώς την προτεινόμενη τεχνική με όνομα “τεχνική σχεδίασης αναδιπλούμενων αλυσίδων σάρωσης” η οποία έχει ως στόχο την μείωση στον χρόνο ελέγχου, την μείωση της κατανάλωσης ενέργειας κατά τον σειριακό έλεγχο σάρωσης και την μέγιστη κάλυψη σφαλμάτων.

Στο τέταρτο κεφάλαιο δίνονται τα πειραματικά αποτελέσματα με βάση τις μετρήσεις, από την εφαρμογή της προτεινόμενης τεχνικής σε γνωστά κυκλώματα αναφοράς.

Τέλος στο πέμπτο κεφάλαιο παρουσιάζονται τα συμπεράσματα αυτής της εργασίας.

ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΗ ΣΧΕΔΙΑΣΗΣ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ ΥΨΗΛΗΣ ΤΑΧΥΤΗΤΑΣ ΚΑΙ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ

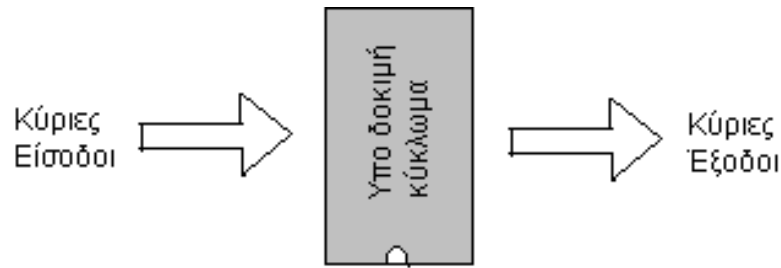
- 2.1 Έλεγχος ορθής λειτουργίας
 - 2.1.1 Τεχνική Σειριακής Σάρωσης
 - 2.1.2 Ενσωματωμένος αυτοέλεγχος
 - 2.1.3 Τεχνική συμπίεσης
 - 2.2 Ελαττώματα – Σφάλματα – Λάθη
 - 2.3 Μοντέλα σφαλμάτων
 - 2.4 Ανίχνευση σφαλμάτων – Ποσοστό κάλυψης
 - 2.5 Κατανάλωση ενέργειας κατά την διάρκεια ελέγχου ορθής λειτουργίας
 - 2.5.1 Υπολογισμός μεταβάσεων
 - 2.5.2 Βασικές τεχνικές χαμηλής κατανάλωσης
 - 2.6 Αρχιτεκτονική πολλαπλών αλυσίδων σάρωσης για μείωση της κατανάλωσης και του χρόνου ελέγχου
 - 2.7 Αρχιτεκτονική σάρωσης με ενεργοποίηση αμοιβαία αποκλειόμενων τμημάτων σάρωσης για μείωση της καταναλισκόμενης ενέργειας κατά την ολίσθηση και την δέσμευση αποκρίσεων.
 - 2.8 Αρχιτεκτονική σάρωσης δύο σταδίων για επίτευξη χαμηλής κατανάλωσης ελέγχου με μείωση καθυστέρησης μετάδοσης
 - 2.9 Αρχιτεκτονική παράκαμψης κυττάρων σάρωσης για χαμηλή κατανάλωση
 - 2.10 Μέθοδος προεπιλογής τιμών για μείωση κατανάλωσης σύλληψης αποκρίσεων.
 - 2.11 Μέθοδος στατικής συμπίεσης διανυσμάτων ελέγχου για την μείωση της κατανάλωσης ενέργειας
 - 2.12 Τεχνική σχεδίασης τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σάρωσης
-

2.1. Έλεγχος ορθής λειτουργίας

Όταν αγοράζουμε μια νέα συσκευή για τον εξοπλισμό μας, περιμένουμε να λειτουργήσει με το που θα την βγάλουμε από την συσκευασία. Παρόλα αυτά, ακόμη και αν πρόκειται για τον πιο αυτοματοποιημένο εξοπλισμό, είναι αδύνατον ο κατασκευαστής να διασφαλίσει ότι κάθε μονάδα του προϊόντος θα είναι τέλεια. Ορισμένες μονάδες δεν λειτουργούν επειδή περιέχουν μεμονωμένα ελαττωματικά στοιχεία ή λόγω λανθασμένης συναρμολόγησης ή επειδή υπέστησαν ζημιές κατά τον χειρισμό. Το σίγουρο είναι ότι οι περισσότεροι κατασκευαστές προτιμούν να ανακαλύψουν αυτά τα προβλήματα στο εργοστάσιο, αντί να υποστούν τις συνέπειες κακής φήμης, όταν οι πελάτες τους αρχίσουν να λαμβάνουν ελαττωματικά προϊόντα.

Η ανάπτυξη αξιόπιστων ολοκληρωμένων κυκλωμάτων εξαρτάται σε μεγάλο βαθμό από τον έλεγχο που γίνεται για να επιβεβαιωθεί η σωστή λειτουργία τους μετά από την κατασκευή τους. Ο έλεγχος αυτός ονομάζεται έλεγχος ορθής λειτουργίας και πραγματοποιείται σε όλα τα κυκλωματικά στοιχεία, έπειτα από την κατασκευή τους και πριν την διάθεσή τους στην αγορά, για την ανίχνευση ελαττωματικών στοιχείων.

Ο έλεγχος που γίνεται σε ένα κύκλωμα που αποτελείται μόνο από την συνδυαστική λογική, όπως φαίνεται στο Σχήμα 2.1, είναι ένα σχετικά εύκολο έργο. Οι είσοδοι του κυκλώματος μπορούν να ρυθμιστούν στις επιθυμητές τιμές και οι έξοδοι να χρησιμοποιηθούν για την παρατήρηση. Σε ένα κύκλωμα οι λογικές τιμές που εφαρμόζονται στις εισόδους ονομάζεται διάνυσμα ελέγχου ή διάνυσμα εισόδου (test vector) και οι λογικές τιμές παρατηρούμε στις εξόδους ονομάζεται διάνυσμα αποκρίσεων (response vector).

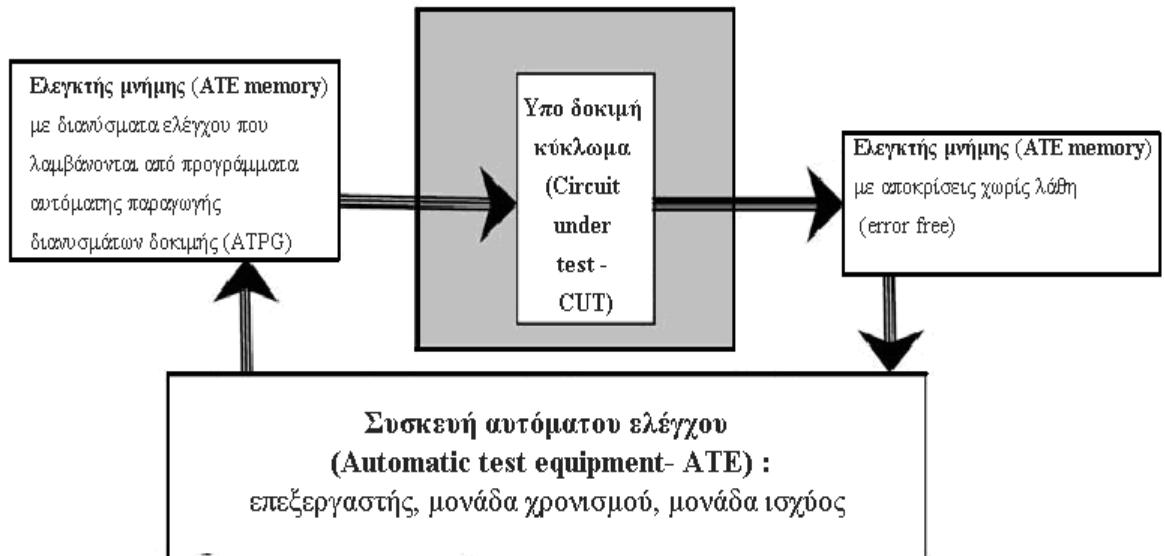


Σχήμα 2.1: Παράδειγμα ελέγχου σειριακής σάρωσης

Παρόλα αυτά ο έλεγχος ενός κυκλώματος που περιλαμβάνει και ακολουθιακά στοιχεία όπως κύτταρα μνήμης (flip-flop) ή μανταλωτές (latches) είναι πιο σύνθετος. Το πρώτο βήμα στην διαδικασία ελέγχου ενός κυκλώματος με ακολουθιακά στοιχεία είναι ο προσδιορισμός των διανυσμάτων εισόδου που καλείται παραγωγή διανυσμάτων ελέγχου (test pattern generation). Τα διανύσματα εισόδου καθορίζουν τις τιμές στις οποίες πρέπει να τεθούν οι εισοδοι του κυκλώματος, ώστε η απόκριση (response) του να υποδεικνύει την ύπαρξη ή μη ελαττωμάτων. Τα διανύσματα αυτά εξάγονται με τη βοήθεια προγραμμάτων αυτόματης παραγωγής διανυσμάτων ελέγχου (ATPG). Για την εφαρμογή των διανυσμάτων απαιτούνται πολλοί κύκλοι ρολογιού αυξάνοντας τον χρόνο και την πολυπλοκότητα. Αυτό καθιστά την μέθοδο ελάχιστα λειτουργική για μεγάλα κυκλώματα.

Στο Σχήμα 2.2 φαίνεται η βασική δομή για τον έλεγχο ορθής λειτουργίας ο οποίος αποτελείται από 3 βασικά στοιχεία: το υπό δοκιμή κύκλωμα (Circuit under test - CUT), μια συσκευή αυτόματου ελέγχου (Automatic test equipment- ATE) και έναν ελεγκτή μνήμης (ATE memory) που αποθηκεύει τα διανύσματα ελέγχου και τις αντίστοιχες αποκρίσεις που λαμβάνονται από προγράμματα αυτόματης παραγωγής διανυσμάτων δοκιμής (ATPG). Για να ελεγχθεί ένα κύκλωμα γίνεται εφαρμογή πολλών διανυσμάτων ελέγχου στο υπό δοκιμή κύκλωμα. Τα διανύσματα ελέγχου είναι ν-δάδες από δυαδικά ψηφία (bits) και εφαρμόζονται στο σύστημα με τη βοήθεια μιας συσκευής αυτομάτου ελέγχου. Τα διανύσματα ελέγχου ενεργοποιούν πιθανά σφάλματα του κυκλώματος τα οποία διαδίδονται στις εξόδους του κυκλώματος μέσω λανθασμένων αποκρίσεων. Οι αποκρίσεις του ολοκληρωμένου κυκλώματος συλλέγονται και αναλύονται. Εάν οι αποκρίσεις του κυκλώματος ταυτίζονται με τις

αναμενόμενες μη ελαττωματικές, τότε το κύκλωμα θεωρείται ότι λειτουργεί σωστά. Στην αντίθετη περίπτωση, το κύκλωμα ανήκει στα ελαττωματικά, και αποσύρεται.



Σχήμα 2.2: Κατασκευαστικός έλεγχος ενός κυκλώματος [2]

Εξαιτίας της πολυπλοκότητας της διαδικασίας ελέγχου, έχει εφαρμοστεί μια διαδικασία σχεδιασμού που στοχεύει στη δημιουργία ψηφιακών κυκλωμάτων που ελέγχονται εύκολα. Αυτός ο σχεδιασμός, γνωστός ως σχεδίαση για αυξημένη δοκιμαστικότητα (Design For Testability – DFT) στοχεύει στην ενσωμάτωση δομών ελέγχου στο αρχικό κύκλωμα, με στόχο την καλύτερη ελεγχσιμότητα (controllability) και παρατηρησιμότητα (observability) των εσωτερικών του κόμβων. Πολλά άλλωστε είναι τα πλεονεκτήματα ενσωμάτωσης τέτοιων τεχνικών σε συστήματα ή υποσυστήματα, ώστε να εξασφαλιστεί η ανίχνευση των πιθανών σφαλμάτων σε αυτά.[3]

Πρώτον το αποτέλεσμα ενός ελέγχου γίνεται περισσότερο πιστευτό. Αν όλο και λιγότερα ελαττωματικά συστήματα φτάνουν στην αγορά, περισσότεροι πελάτες ικανοποιημένοι, με προφανή τα οικονομικά και ψυχολογικά οφέλη.

Δεύτερον οι διαγνωστικοί έλεγχοι γίνονται πιο γρήγορα και με πιο ακριβή αποτελέσματα. Αυτό μειώνει το κόστος από την διάσωση ενός υποσυστήματος που αποτυχαίνει σε έναν έλεγχο, καθιστώντας δυνατή την κατασκευή περισσότερων συστημάτων σε χαμηλότερο κόστος.

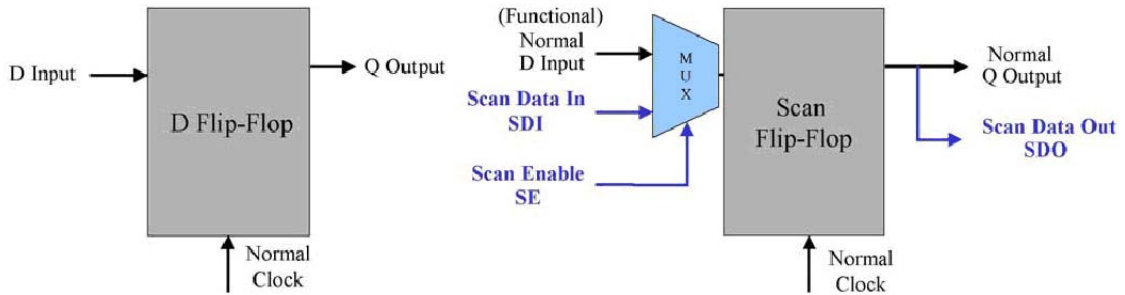
Τρίτον τόσο ένας απλός έλεγχος όσο και ο διαγνωστικός έλεγχος απαιτούν λιγότερο χρόνο για να αναπτυχθούν.

Έτσι εξηγείται ο λόγος για τον οποίο έχουν γίνει ιδιαίτερα αποδεκτές οι τεχνικές DFT με πιο σημαντικές τις τεχνικές σειριακής σάρωσης (Scan Testing Techniques) και τις ενσωματωμένες τεχνικές αυτοελέγχου (Build-in Self-test - BIST). [4]

2.1.1. Τεχνική Σειριακής Σάρωσης

Η βιομηχανία ημιαγωγών έχει σαν στόχο, σε ότι αφορά την ποιότητα των προϊόντων, την ικανοποίηση των αναγκών του καταναλωτή. Υψηλής ποιότητας και χαμηλού κόστους ολοκληρωμένα κυκλώματα μπορούν να επιτευχθούν σχεδόν αποκλειστικά με τεχνικές σειριακής σάρωσης των κατασκευαζόμενων στοιχείων. Οι αλυσίδες σάρωσης χρησιμοποιούνται παγκοσμίως από μεγάλες σχεδιαστικές βιομηχανίες προκειμένου να δώσουν αποδοτικούς ελέγχους ορθής λειτουργίας έπειτα από την κατασκευή ηλεκτρονικών συσκευών.

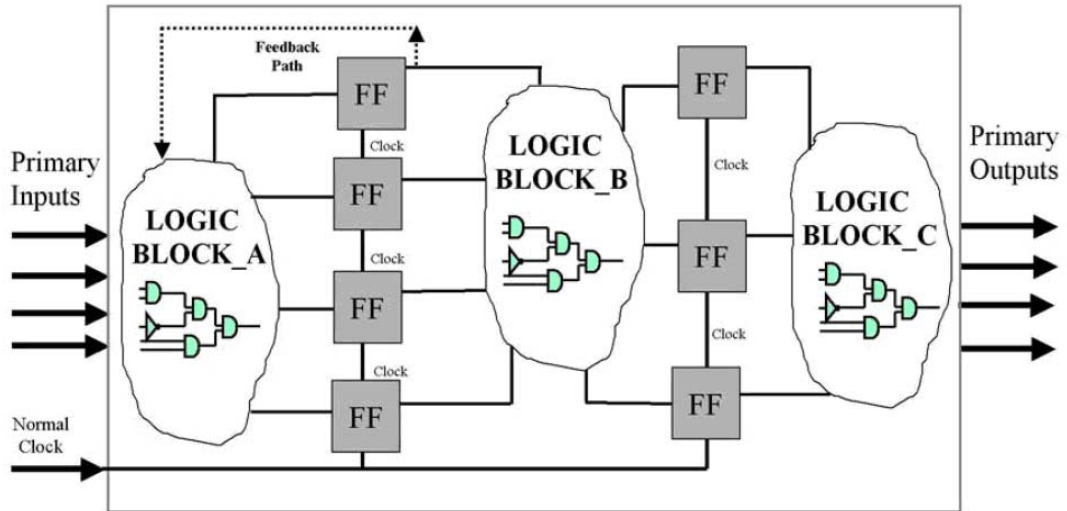
Για την υλοποίηση ενός πλήρους σχεδιασμού σειριακής σάρωσης, κάθε flip-flop (D flip-flop) στο εσωτερικό του κυκλώματος, αντικαθιστάτε από ένα εξειδικευμένο flip-flop το λεγόμενο κύτταρο σάρωσης (scan flip-flop). Η διαφορά των δύο φαίνεται στο σχήμα 2.3.



Σχήμα 2.3: Αντικατάσταση ενός D flip-flop από ένα Scan flip-flop

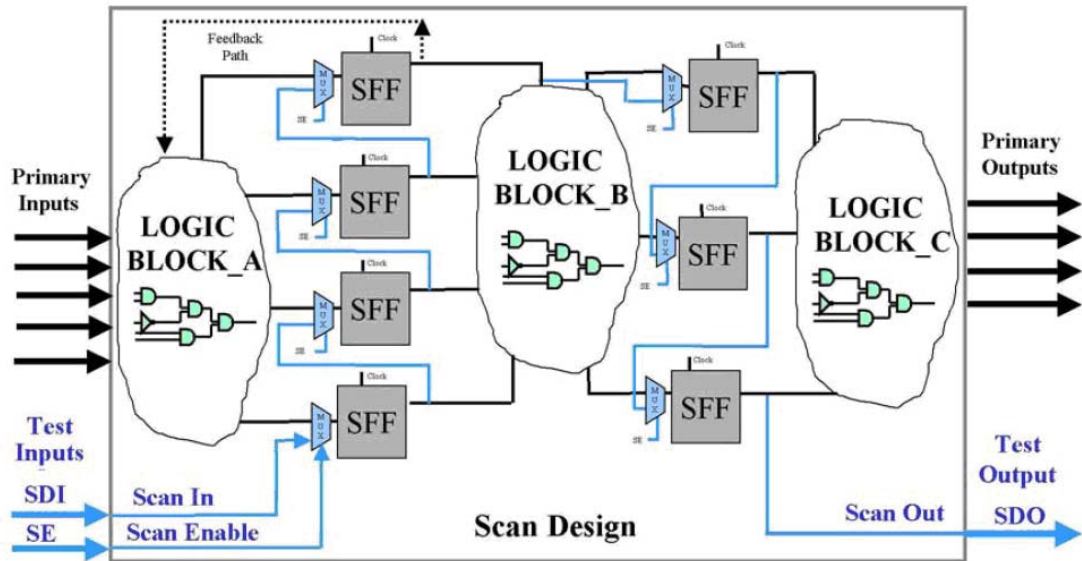
Τα κύτταρα σάρωσης είναι εύκολα ελεγχόμενα και λειτουργούν σαν επιπλέον εσωτερικά σημεία ελέγχου στο κύκλωμα. Συνδεδεμένα σε σειρά μεταξύ τους, δημιουργούν έναν σειριακό ολισθητή καταχωρητή (scan register), που επιτρέπει τόσο την ελεγχσιμότητα (controllability) όσο και την παρατηρησιμότητα (observability) εσωτερικών κόμβων.

Ένα απλό κύκλωμα αποτελείται από περισσότερα μπλοκ λογικής, κάθε ένα με την δική του λειτουργία καθώς και με τα αντίστοιχα flip-flop. Από το σχήμα 2.4 φαίνεται καθαρά ότι οι εισοδοί στο μπλοκ A είναι απευθείας ελέγξιμες από τις κύριες εισόδους, αλλά η απόκριση στην έξοδο διαδίδεται μέσω των μπλοκ B και C, πριν να παρατηρηθεί στις πρωτογενείς εξόδους. Επίσης στη λογική του μπλοκ B δεν υπάρχει άμεση πρόσβαση και παρατήρηση. Ενώ οι εξοδοί στο μπλοκ C μπορούν να παρατηρηθούν αλλά οι εισοδοί δεν είναι άμεσα προσβάσιμοι. Είναι εύκολο να συμπεράνει κανείς ότι αυτός ο σχεδιασμός καθιστά δύσκολη την επίτευξη υψηλής κάλυψης σφαλμάτων για περιορισμένο αριθμό κύκλων ρολογιού. Το κύκλωμα αυτό θα ήταν πολύ πιο εύκολο να ελεγχθεί, εάν το κάθε μπλοκ λογικής θα μπορούσε να ελεγχθεί και να παρατηρηθεί ανεξάρτητα. [1]



Σχήμα 2.4: Παράδειγμα ελέγχου χωρίς σειριακή σάρωση

Η εισαγωγή της σειριακής σάρωσης σε αυτό το κύκλωμα επεμβαίνει σε σχεδιαστικό επίπεδο για να διορθώσει αυτές τις δυσκολίες. Όπως φαίνεται στο σχήμα 2.5, γίνεται με την αντικατάσταση κάθε flip-flop με το scan flip-flop και την μεταξύ τους διασύνδεση έτσι ώστε να σχηματίζουν μια αλυσίδα σάρωσης. Επιπλέον γίνεται η προσθήκη 3 ακροδεκτών (pins), την σειριακή είσοδο δεδομένων (Serial Data In - SDI) συνδεδεμένη με τον πρώτο πολυπλέκτη της αλυσίδας σάρωσης, την σειριακή έξοδο δεδομένων (Serial Data Out - SDO) συνδεδεμένη με την έξοδο από το τελευταίο scan flip-flop της αλυσίδας και το σήμα επιλογής (Scan Enable - SE) συνδεδεμένο με τον πολυπλέκτη από κάθε scan flip-flop. [1]



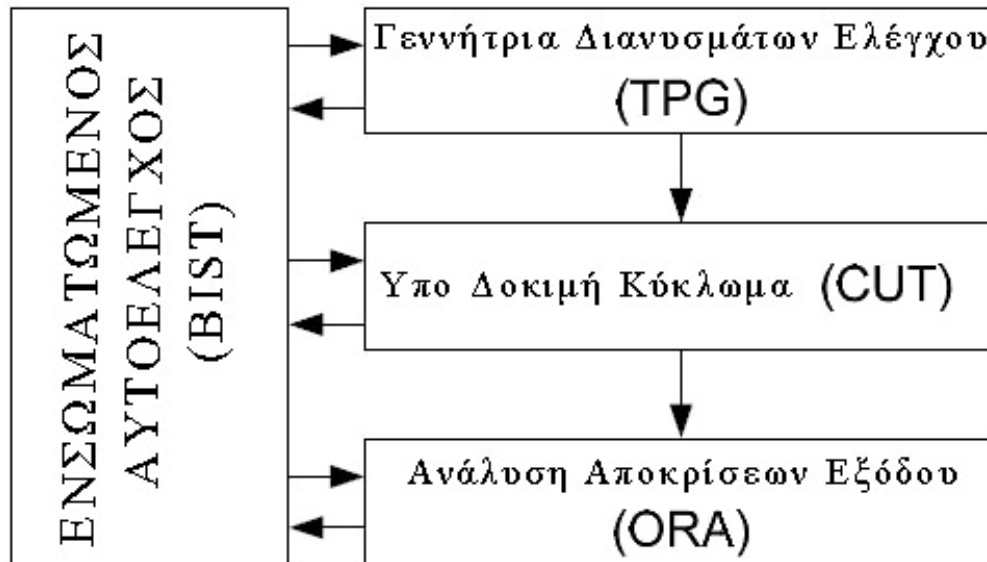
Σχήμα 2.5: Παράδειγμα σχεδίασης με χρήση σειριακής σάρωσης

Κατά αυτό τον τρόπο στην διάρκεια της σειριακής σάρωσης, τα δεδομένα εισόδου ολισθαίνουν σειριακά μέσα στο κύκλωμα και εφαρμόζονται παράλληλα σε όλες τις εισόδους των μπλοκ της λογικής. Τα δεδομένα των εξόδων από τα μπλοκ της λογικής που δεν είναι άμεσα προσβάσιμα στις κύριες εξόδους, συλλέγονται παράλληλα από τις αλυσίδες σάρωσης και ολισθαίνουν έξω σειριακά για την αξιολόγησή τους. Αυτή η μέθοδος μειώνει σημαντικά τον αριθμό των κύκλων που απαιτούνται και βελτιώνει τις διαγνωστικές δυνατότητες του ελέγχου. Αυτό απλοποιεί το έργο του ελέγχου ενός ακολουθιακού κυκλώματος αφού το καθιστά παρόμοιο με τον έλεγχο ενός συνδυαστικού κυκλώματος.

2.1.2. Ενσωματωμένος αυτοέλεγχος

Μια τεχνική σχεδίασης στην οποία ο έλεγχος επιτυγχάνεται με πρόσθετο σχεδιαστικό υλικό που ενσωματώνεται στο κύκλωμα που θέλουμε να ελέγξουμε και επιτρέπει την εκτέλεση ενός αυτοελέγχου. Προβλήματα πολυπλοκότητας των σύγχρονων ψηφιακών συστημάτων επιλύονται ευρέως με την συγκεκριμένη τεχνική. Για το σκοπό αυτό γίνεται χρήση μιας γεννήτριας διανυσμάτων ελέγχου (Test Pattern Generation - TPG), ενός κυκλώματος ανάλυσης αποκρίσεων εξόδου (Output

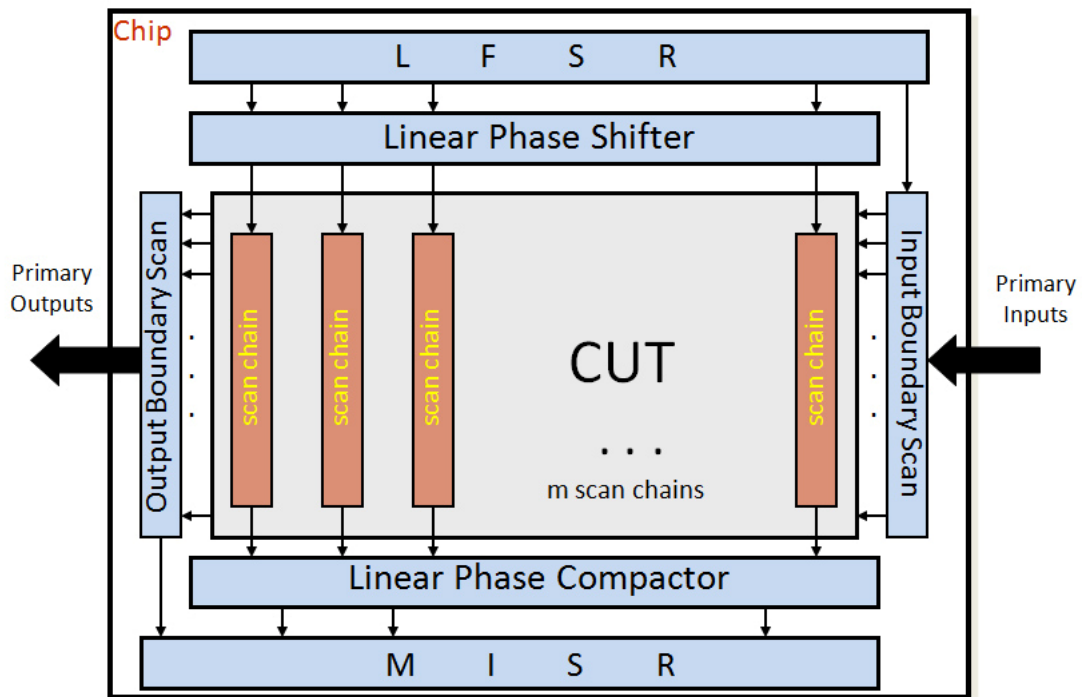
Response Analyzer) και ενός ελεγκτή διαδικασίας ελέγχου (test controller). Στο σχήμα 2.6 φαίνεται πως δείχνει ένα ολοκληρωμένο κύκλωμα με την προσθήκη ενσωματωμένης τεχνικής αυτοελέγχου.[7]



Σχήμα 2.6: Ενσωματωμένη τεχνική αυτοελέγχου (BIST) [7]

Όταν το κύκλωμα βρίσκεται σε κατάσταση ελέγχου, ο TPG δημιουργεί διανύσματα ελέγχου που φορτώνονται στο ολοκληρωμένο κύκλωμα και με την παρουσία ενός αναλυτή υπογραφής εξετάζονται οι αποκρίσεις. Ο αναλυτής υπογραφής έχει μια έξοδο για να δείξει αν το κύκλωμα έχει περάσει ή αποτύχει την δοκιμασία. Στις περισσότερες περιπτώσεις γίνεται χρήση (LFSR) επειδή μπορεί εύκολα να παράγει ακολουθίες ψευδο-τυχαίων διανυσμάτων (Σχήμα 2.7). Τα τυπικά στοιχεία ενός LFSR είναι στοιχεία μνήμης (flip-flop / latches) και πύλες (XOR). Οι αναλυτές υπογραφής υλοποιούνται συνήθως με έναν καταχωρητή ολίσθησης πολλαπλής εισόδου (MISR). Το MISR είναι ένας ολισθητής καταχωρητής με αναδράσεις μέσω πυλών XOR και στόχο τη συμπίεση των αποκρίσεων ενός ολοκληρωμένου κυκλώματος

[5]



Σχήμα 2.7: Χρήση ενός LFSR και ενός MISR

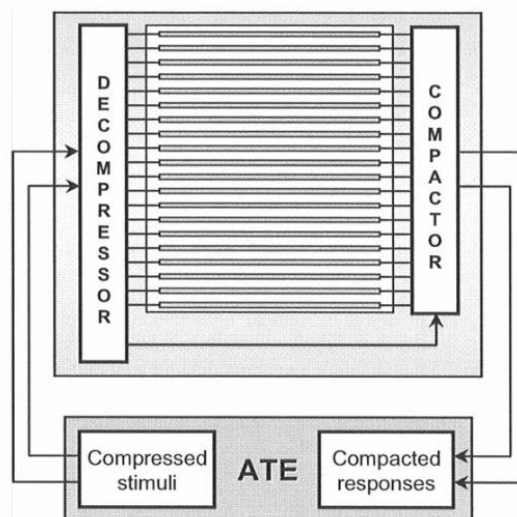
Το κύκλωμα ανάλυσης αποκρίσεων εξόδου χρησιμεύει για τη συμπίεση των αποκρίσεων σε μια μικρή ακολουθία δυαδικών ψηφίων που ονομάζεται υπογραφή (signature). Με αυτόν τον τρόπο δεν χρειάζεται να αποθηκευτούν οι αποκρίσεις του υπό ελέγχου ορθής λειτουργίας κυκλώματος στο ίδιο το κύκλωμα αλλά μόνο ένα μικρό ποσό πληροφορίας, το οποίο είναι η υπογραφή του κυκλώματος όταν αυτό λειτουργεί σωστά. Όταν παραχθεί η υπογραφή του υπό ελέγχου ορθής λειτουργίας κυκλώματος γίνεται σύγκριση αυτής με την αποθηκευμένη υπογραφή και αν είναι ίδιες τότε το κύκλωμα είναι σωστό. Καθώς όμως η συμπίεση επιφέρει απώλεια πληροφορίας (lossy) υπάρχει η πιθανότητα ένα ελαττωματικό κύκλωμα, που παρουσιάζει διαφορετικές αποκρίσεις σε σχέση με το σωστό κύκλωμα, να έχει την ίδια υπογραφή με το σωστό κύκλωμα και επομένως να μην είναι δυνατό να διακρίνουμε αν το υπό δοκιμή κύκλωμα λειτουργεί σωστά. Το φαινόμενο αυτό ονομάζεται παραπλάνηση (aliasing), όπως θα μελετηθεί στο τέταρτο κεφάλαιο, και οδηγεί στη μείωση του ποσοστού κάλυψης σφαλμάτων που επιτυγχάνει το σχήμα ενσωματωμένου αυτοελέγχου. Έτσι ενώ το σύνολο ελέγχου επιτυγχάνει το 100% κάλυψης σφαλμάτων πριν τη διαδικασία της συμπίεσης (pre compaction fault

coverage), το ποσοστό κάλυψης σφαλμάτων που προκύπτει μετά τη συμπίεση των αποκρίσεων (postcompaction fault coverage, PCFC) ενδέχεται να είναι μικρότερο. [35].

Οι ενσωματωμένες τεχνικές αυτοελέγχου είναι μια καλή λύση για τον έλεγχο κρίσιμων κυκλωμάτων που δεν έχουν απευθείας συνδέσεις με το εξωτερικό περιβάλλον, μέσω ακροδεκτών.

2.1.3. Τεχνική συμπίεσης

Όσο περισσότερο αυξάνεται ο αριθμός των κυκλωματικών στοιχείων από τα οποία αποτελούνται οι συσκευές τόσο μεγαλύτερος είναι ο αριθμός των διανυσμάτων ελέγχου που χρειάζεται να ελεγχθούν. Οι τεχνικές συμπίεσης (test data compression) αναπτύχθηκαν ακριβώς για την μείωση όγκου των δεδομένων ελέγχου και την αντίστοιχη μείωση του χρόνου εφαρμογής τους στο κύκλωμα. Οι τεχνικές αυτές υιοθετούνται εύκολα γιατί βασίζονται στην σάρωση. Η αποσυμπίεση επιτυγχάνεται με την προσθήκη ορισμένων πρόσθετων κυκλωμάτων πριν από την αλυσίδα σάρωσης, όπως φαίνεται στο Σχήμα 2.8 [6].



Σχήμα 2.8: Τεχνική συμπίεσης

2.2. Ελαττώματα – Σφάλματα – Λάθη

Όπως έχει ήδη αναφερθεί, ο σκοπός ενός ελέγχου είναι να μπορεί να αποδείξει αν το κύκλωμα που έχει κατασκευαστεί είναι καλό ή ελαττωματικό. Η παρουσία ελαττωμάτων σε ένα κύκλωμα είναι αυτή που οδηγεί στην λανθασμένη του λειτουργία και εμφανίζεται με την μορφή λανθασμένων αποκρίσεων στις εξόδους του κυκλώματος. Κατά την διάρκεια του ελέγχου, οι ενέργειες που πραγματοποιούνται γίνονται για την ανίχνευση κατασκευαστικών ελαττωμάτων, βλαβών ή ατελειών. Πρέπει λοιπόν πρώτα να οριστούν οι έννοιες του ελαττώματος (defect), του σφάλματος (fault), και του λάθους (error).

Ως ελαττώματα (defect), ορίζονται οι πιθανές κατασκευαστικές ατέλειες και μόνιμες βλάβες σε ένα ολοκληρωμένο κύκλωμα οι οποίες εμφανίζονται κατά την διαδικασία κατασκευής του (π.χ. βραχυκυκλώματα, κομμένες επαφές κ.τ.λ).

Με τον όρο σφάλματα (faults), ορίζονται οι μοντελοποιήσεις της επίδρασης των ελαττωμάτων στην συμπεριφορά των ολοκληρωμένων κυκλωμάτων.

Ενώ ως λάθος (error), ονομάζουμε την εσφαλμένη λογική απόκριση ενός ολοκληρωμένου κυκλώματος υπό την παρουσία σφάλματος.

Η διαφορά μεταξύ του ελαττώματος και του σφάλματος είναι ότι το ελάττωμα αναπαριστά ατέλειες στο επίπεδο του πραγματικού κυκλώματος (hardware) και το σφάλμα στο επίπεδο της αναπαράστασης της λειτουργίας του, όποιο και να είναι αυτό. Ένα ελάττωμα σε ένα κύκλωμα αναπαρίσταται με ένα σφάλμα και το σφάλμα μπορεί να οδηγήσει σε ένα λάθος. Για να καταλάβουμε αυτή την διαφορά ας δούμε το παρακάτω παράδειγμα [2].

Παράδειγμα 2.1. Έστω το πολύ απλό κύκλωμα του Σχήματος 2.9 με δύο εισόδους a, b και μία έξοδο c, που αποτελείται από μια πύλη AND. Οι δύο είσοδοί της συνδέονται στα a και b και η έξοδός της στο c. Έστω όμως ότι η σύνδεση της εισόδου b δεν έχει γίνει σωστά με αποτέλεσμα το b να μένει ασύνδετο ενώ η είσοδος της

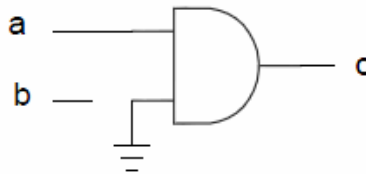
πύλης είναι μόνιμα συνδεδεμένη με τη γείωση. Έτσι η συμπεριφορά του κυκλώματος είναι η $c = '0'$ και όχι η: $c = a \text{ AND } b$.

Για αυτό το κύκλωμα έχουμε τα εξής:

Ελάττωμα: το βραχυκύκλωμα με τη γείωση

Σφάλμα: το σήμα b έχει μόνιμη τιμή στο '0'

Λάθος: για $a = '1'$ και $b = '1'$ έχουμε $c = '0'$ ενώ θα έπρεπε $c = '1'$. Για οποιονδήποτε άλλο συνδυασμό εισόδων το κύκλωμα φαίνεται να λειτουργεί σωστά.



Σχήμα 2.9: Κύκλωμα παραδείγματος 4.1

Από το παράδειγμα καταλαβαίνουμε ότι ένα σφάλμα δεν αναπαριστά ένα μόνο ελάττωμα. Με άλλα λόγια σε ένα σφάλμα αντιστοιχούν περισσότερα από ένα ελαττώματα. Επιπλέον δεν οδηγούν όλα τα σφάλματα σε λάθη, πολλά μπορεί να μην γίνονται εύκολα αντιληπτά.

Τα σφάλματα χωρίζονται σε μόνιμα (permanent faults) και είναι εκείνα που έχουν μόνιμη επίδραση στην λειτουργία του κυκλώματος (όπως στο παραπάνω παράδειγμα) και στα προσωρινά σφάλματα (temporary faults) που δεν έχουν μόνιμη παρουσία και μπορούν να διαχωριστούν σε δυο κατηγορίες. Τα παροδικά (transient) που οφείλονται σε τυχαίους παράγοντες (διακύμανση τροφοδοσίας, κοσμική ακτινοβολία) και τα διακοπτόμενα (intermittent) που οφείλονται σε υποβάθμιση των κυκλωματικών παραμέτρων.

2.3. Μοντέλα σφαλμάτων

Η παρουσία ελαττωμάτων σε ένα ολοκληρωμένο κύκλωμα κατά την κατασκευαστική του διαδικασία είναι αναπόφευκτη. Ορισμένα ελαττώματα εμφανίζονται ακούσια με την προσθήκη υλικού, όπως για παράδειγμα επιπλέον μέταλλο μεταξύ δυο γραμμών σημάτων. Άλλα ελαττώματα λόγω αφαίρεσης υλικού. Ο έλεγχος των ολοκληρωμένων κυκλωμάτων καθορίζει ποια κυκλωματικά στοιχεία περιέχουν ελαττώματα. Για τις ανάγκες του ελέγχου, τα ελαττώματα αναπαρίστανται από διάφορα μοντέλα σφαλμάτων όπως παρακάτω.

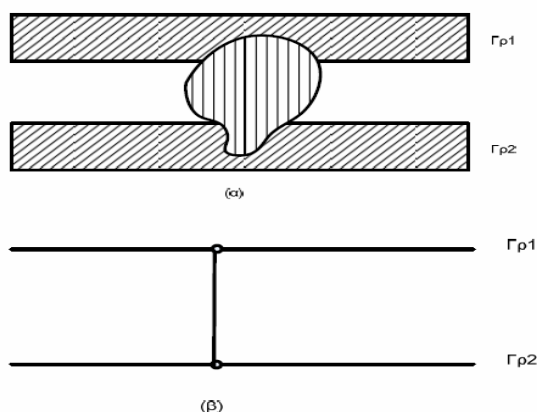
Σφάλμα μόνιμης τιμής (stuck at Fault): ένας κόμβος του κυκλώματος εμφανίζει μόνιμα την ίδια λογική τιμή.

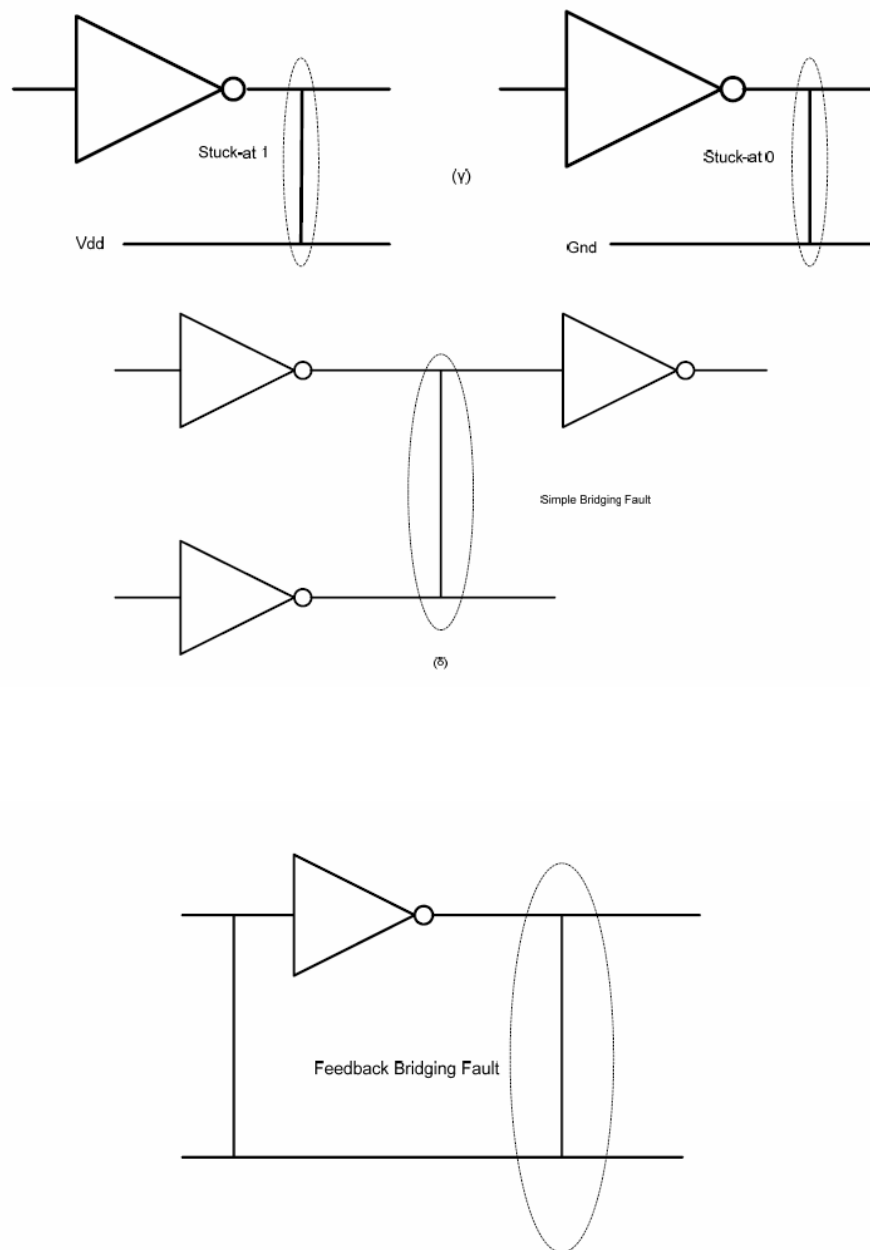
Σφάλμα μόνιμου αγώγιμου τρανζίστορ (Transistor Stuck-On): ένα τρανζίστορ είναι μόνιμα σε αγώγιμη κατάσταση.

Σφάλμα μόνιμου μη αγώγιμου τρανζίστορ (Transistor Stuck-Open): ένα τρανζίστορ είναι μόνιμα σε μη αγώγιμη κατάσταση.

Σφάλμα βραχυκύκλωσης (Bridging Fault): βραχυκύκλωμα μεταξύ δυο κόμβων.

Σφάλμα καθυστέρησης διάδοσης σήματος (Delay Fault): καθυστέρηση σήματος σε μια ή περισσότερες διαδρομές του κυκλώματος.





Σχήμα 2.10: Αντιστοίχιση φυσικών ελαττωμάτων σε σφάλματα: α) μάσκα μετάλλου στην οποία έχει επικαθήσει κόκκος σκόνης και προκάλεσε τη σύνδεση των γραμμών 1 και 2 (ελάττωμα), β) κατάσταση αποτυχίας (βραχυκύκλωμα), γ) σφάλμα σε επίπεδο λογικών τιμών (σφάλματα μόνιμης τιμής), δ) σφάλματα γεφύρωσης

Η προσέγγιση που γίνεται μέσω των μοντέλων σφαλμάτων εξοικονομεί χρόνο και βελτιώνει την αποδοτικότητα του ελέγχου, επειδή ο συνολικός αριθμός των διανυσμάτων ελέγχου μειώνεται αφού τα διανύσματα εισόδου στοχεύουν σε συγκεκριμένα σφάλματα που προκύπτουν από ελαττώματα του κυκλώματος. Βέβαια

δεν εγγυάται την ανίχνευση όλων των πιθανών ελαττωμάτων μιας και τα διανύσματα ελέγχου παράχθηκαν βάση συγκεκριμένων μοντέλων σφαλμάτων.

2.4. Ανίχνευση σφαλμάτων – Ποσοστό κάλυψης

Αποτυχία είναι η απόκλιση ενός κυκλώματος από την προκαθορισμένη συμπεριφορά, και συνήθως αντιπροσωπεύει μια μη αναστρέψιμη κατάσταση του.

Ανοχή σφαλμάτων (fault tolerance) είναι η ικανότητα ενός συστήματος να λειτουργήσει υπό την παρουσία σφαλμάτων χωρίς να παρουσιάσει αποτυχία. Η παρουσία ενός σφάλματος δεν είναι πάντα ανιχνεύσιμη. Για το λόγο αυτό ένα διάνυσμα ελέγχου πρέπει να είναι κατάλληλο ώστε να ενεργοποιεί το σφάλμα και να παράγει τις συνθήκες για να διαδοθεί το επαγόμενο λάθος στις εξόδους του κυκλώματος ώστε να ανιχνευτεί.

Ένας σημαντικός παράγοντας ενός ελέγχου του ολοκληρωμένου κυκλώματος είναι η αξιολόγηση (evaluation) με την οποία αναφερόμαστε στην αποτελεσματικότητα ή την ποιότητα του ελέγχου. Με τον όρο ποιότητα αναφερόμαστε στον λόγο του αριθμού των σφαλμάτων που ανιχνεύονται προς τα συνολικά πιθανά σφάλματα και αποδίδεται με τον όρο κάλυψη σφαλμάτων (fault coverage) που αποδίδεται από τον ακόλουθο τύπο.

$$\text{Κάλυψη Σφαλμάτων} = \frac{\# \text{ Σφαλμάτων που ανιχνεύονται}}{\sum (\# \text{ πιθανών σφαλμάτων ως προς το μοντέλο που εξετάζουμε})}$$

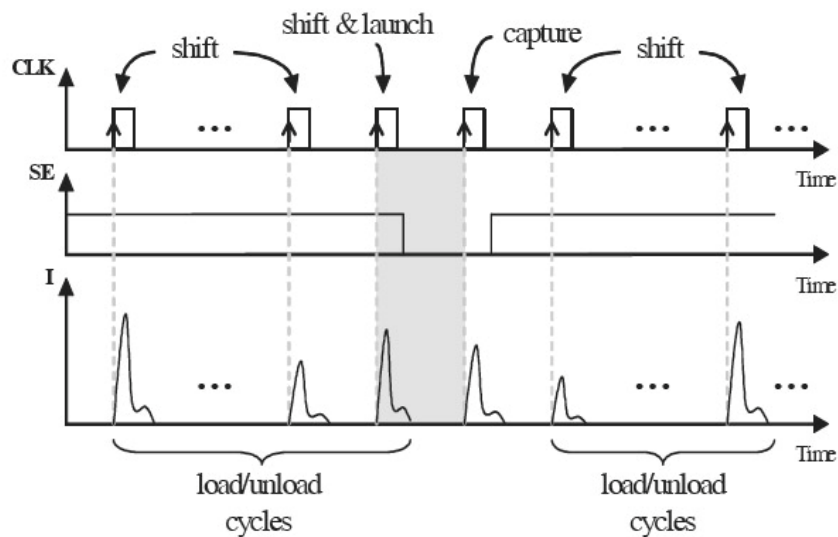
[Τύπος 2.1]

Ένας έλεγχος ορθής λειτουργίας θεωρείται αποτελεσματικός αν εγγυάται την πλήρη κάλυψη σφαλμάτων που ισοδυναμεί με την περίπτωση που η κάλυψη σφαλμάτων ενός συνόλου διανυσμάτων ελέγχου είναι ίση με 100%. Στην πράξη το ποσοστό αυτό σπάνια επιτυγχάνεται. Επιπλέον η πλήρης κάλυψη σφαλμάτων δεν εξασφαλίζει ότι το

κύκλωμα δεν έχει ελαττώματα, καθώς ένα σύνολο διανυσμάτων ελέγχει το κύκλωμα για ελαττώματα που μπορούν να αναπαρασταθούν από το μοντέλο σφαλμάτων που χρησιμοποιείται.

2.5. Κατανάλωση ενέργειας κατά την διάρκεια ελέγχου ορθής λειτουργίας

Κατά την διάρκεια του ελέγχου με τη χρήση αλυσίδων σάρωσης, η κατανάλωση μπορεί να χωριστεί σε κατανάλωση ολίσθησης (shift power) και κατανάλωση σύλληψης (capture power). Κατά την ολίσθηση δεδομένων, εφαρμόζονται πολλοί κύκλοι ρολογιού, για να φορτωθεί το διάνυσμα ελέγχου στο κύκλωμα και να προκύψει το διάνυσμα απόκρισης αντίστοιχα. Οι λειτουργίες της ολίσθησης και της σύλληψης για ένα σχεδιασμό σάρωσης με την συσχετιζόμενη κυματομορφή ρεύματος τροφοδοσίας για κάθε κύκλο ρολογιού φαίνεται στο Σχήμα 2.11. Η κυματομορφή αυτή διαφέρει από κύκλο σε κύκλο επειδή το ρεύμα είναι ανάλογο με τις μεταβάσεις των κυττάρων σάρωσης από 0 σε 1 και από 1 σε 0, οι οποίες με την σειρά τους επιφέρουν εναλλαγές (switching) στο κύκλωμα [7].



Σχήμα 2.11: Σειριακός έλεγχος με τις αντίστοιχες κυματομορφές ρεύματος [7]

Ως εκ' τούτου η κατανάλωση ενέργειας σε ένα κύκλωμα CMOS είναι ανάλογη με το ποσό των εναλλαγών (switching) που λαμβάνουν χώρα σε αυτό. Αυτή η μεταγωγική δραστηριότητα κατά την διάρκεια ελέγχου ορθής λειτουργίας μπορεί να είναι πολύ μεγαλύτερη από ότι στην κανονική λειτουργία του κυκλώματος. Τυπικά, κατά την κανονική λειτουργία, ένα σχετικά μικρό ποσοστό των flip-flop, μεταβάλλει τιμή ανά κύκλο ρολογιού. Σε αντίθεση στον έλεγχο ορθής λειτουργίας με αλυσίδες σάρωσης οι ολισθήσεις συμβάλουν στην αύξηση της δραστηριότητας των μεταβάσεων [8], [9]. Μάλιστα μελέτη που δημοσιεύτηκε στην εργασία [10] δείχνει ότι ενώ μόλις το 10%-20% από τα στοιχεία μνήμης (flip-flop) σε ένα ψηφιακό κύκλωμα αλλάζουν κατάσταση κατά την διάρκεια ενός κανονικού κύκλου του ρολογιού, το 35%-40% αυτών μεταβάλλονται κατά την διάρκεια ελέγχου ορθής λειτουργίας. Με χειρότερη την περίπτωση όλα τα κύτταρα να αλλάζουν κατάσταση. Ας πάρουμε την περίπτωση μιας αλυσίδας σάρωσης στην οποία ολισθαίνει διάνυσμα το οποίο εναλλάσσει τις τιμές των άσσων και των μηδενικών (1010...10). Η είσοδος εναλλασσόμενων τιμών στα flip-flop προκαλεί υπερβολική εναλλαγή τιμών στις εισόδους της συνδυαστικής λογικής και μπορεί να είναι η αιτία αύξησης της μέσης ή της μέγιστης κατανάλωσης ενέργειας κατά την διάρκεια του ελέγχου. Αυτό μπορεί να προκαλέσει προβλήματα απαγωγής θερμότητας όσο και αυξομειώσεις τάσης.

Οι αυξομειώσεις τάσης μπορούν να προκαλέσουν υπερβολικό θόρυβο στο κύκλωμα και να οδηγήσει σε ψευδείς αποτυχίες. Αυτό δεν είναι ανεκτό διότι με την μείωση της κατασκευαστικής απόδοσης (yield) αυξάνεται το κόστος.

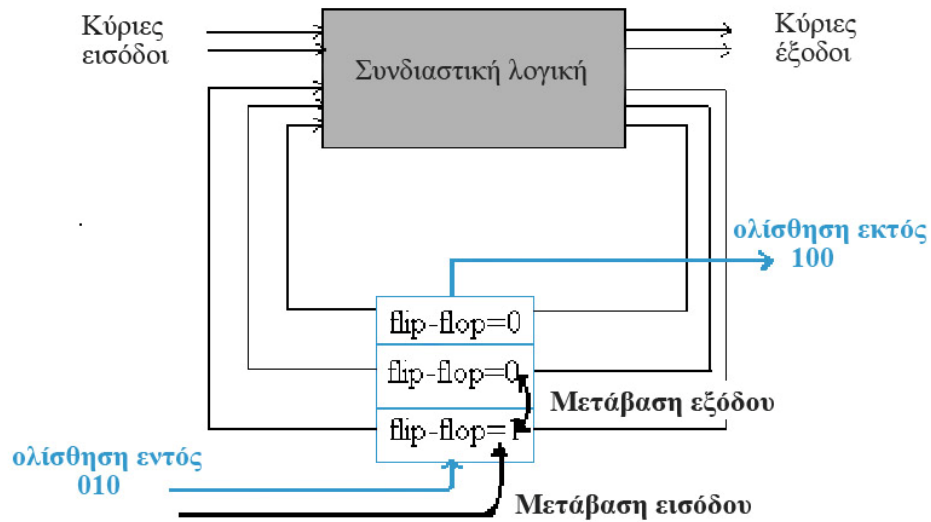
Η αυξημένη θερμότητα, μπορεί να οδηγήσει κατά την σύλληψη των αποκρίσεων σε λανθασμένη σύλληψη (εξ αιτίας μη αναμενόμενων καθυστερήσεων) με αποτέλεσμα πάλι την απώλεια απόδοσης [11]. Το ποσό της θερμότητας που μπορεί να διαχέεται με ασφάλεια χωρίς να δημιουργεί προβλήματα στο ολοκληρωμένο περιορίζεται ανάλογα με τις κατασκευαστικές παραμέτρους. Αυτά είναι τα λεγόμενα όρια ενός ολοκληρωμένου, που πρέπει να λαμβάνονται υπόψη κατά τον προγραμματισμό του ελέγχου, όπως επίσης να καθορίζεται ο αριθμός των υπό-μονάδων που μπορούν να ελεγχθούν ταυτόχρονα ή η ταχύτητα που μπορεί να εφαρμοστεί ο έλεγχος.

Η υψηλή κατανάλωση ενέργειας κατά την διάρκεια ενός ελέγχου, προκαλεί υπερθέρμανση στο κύκλωμα, το οποίο μπορεί σε μικρότερες θερμοκρασίες να λειτουργήσει χωρίς κανένα πρόβλημα. Αυτή η αύξηση θερμοκρασίας προκαλείται από ανεξέλεγκτες εναλλαγές τιμών κατά την ολίσθηση δεδομένων στην αλυσίδα σάρωσης κατά τον έλεγχο ορθής λειτουργίας. Όταν όμως η θερμοκρασία αυξηθεί περισσότερο από τα επιτρεπτά κατασκευαστικά όρια του ολοκληρωμένου κυκλώματος, υπάρχει μεγάλη πιθανότητα το κύκλωμα να οδηγηθεί σε φθορά. Αυτή η φθορά του κυκλώματος κατά τον έλεγχο του δεν θα είχε προέλθει εάν δεν είχε προκύψει αυξημένη κατανάλωση ενέργειας. Με αποτέλεσμα να αποσύρονται καλά κυκλωματικά στοιχεία, τα οποία υπό άλλες συνθήκες θα είχαν κυκλοφορήσει στην παραγωγή χωρίς κανένα πρόβλημα.

Για την μείωση των μεταβάσεων κατά την διάρκεια του ελέγχου δίνονται προσεγγίσεις βασισμένες α) στο λογισμικό εξαγωγής των διανυσμάτων ελέγχου (ATPG) και β) στο υλικό εφαρμογής του ελέγχου (DFT). Το πλεονέκτημα των λύσεων που βασίζονται στο ATPG είναι ότι δεν τροποποιούν την αρχική σχεδίαση της αλυσίδας παρά μόνο τα διανύσματα ελέγχου. Ενώ οι λύσεις που βασίζονται στο DFT απαιτούν την προσθήκη υλικού [27].

2.5.1. Υπολογισμός μεταβάσεων

Για μια τυπική αλυσίδα, ο συνολικός αριθμός μεταβάσεων ενός κυκλώματος προκύπτει από το άθροισμα των μεταβάσεων εισόδου κατά την ολίσθηση εντός του νέου διανύσματος και το άθροισμα των μεταβάσεων εξόδου κατά την ολίσθηση εκτός των αποκρίσεων του προηγούμενου διανύσματος ελέγχου (Σχήμα 2.12).



Σχήμα 2.12: Μελέτη μεταβάσεων σε μια τυπική αλυσίδα

Εύκολα αποδεικνύεται και από το σχήμα ότι ο αριθμός αυτός προκύπτει από τον τύπο 2.2, όπου το μήκος της αλυσίδας είναι το μήκος (n) του διανύσματος ελέγχου και θέση μετάβασης ορίζεται η θέση στην αλυσίδα όπου τα διαδοχικά ψηφία του διανύσματος ελέγχου διαφέρουν.

$$\sum (\text{αριθμός μεταβάσεων}) = \begin{array}{l} \text{Μεταβάσεις διανύσματος εισόδου} \\ + \\ \text{Μεταβάσεις διανύσματος εξόδου} \end{array}$$

[Τύπος 2.2]

Όπου:

Μεταβάσεις διανύσματος εισόδου = \sum (μήκος αλυσίδας – θέση της μετάβασης)

Μεταβάσεις διανύσματος εξόδου = \sum (θέση της μετάβασης)

2.5.2. Βασικές τεχνικές χαμηλής κατανάλωσης

Από τις βασικές τεχνικές για την σειριακή σάρωση χαμηλής κατανάλωσης είναι η μείωση της Τάσης Τροφοδοσίας και η μείωση της Συχνότητας [12], [13], παρότι αυξάνεται ο χρόνος εφαρμογής του ελέγχου. Τεχνικές σάρωσης χαμηλής κατανάλωσης με απομόνωση δεδομένων (data gating) [14], [25], βασίζονται στην απομόνωση των δεδομένων ελέγχου από την συνδυαστική λογική κατά την ολίσθηση τους στην αλυσίδα σάρωσης [15]. Αυτές εμφανίζουν μειονέκτημα καθυστέρησης στην κανονική λειτουργία λόγω προσθήκης μιας λογικής πύλης. Αρκετές τεχνικές σάρωσης πραγματοποιούνται μέσω απενεργοποίησης του ρολογιού (clock gating) κατά τμήματα στην αλυσίδα, για την επίτευξη χαμηλής κατανάλωσης, αλλά οδηγούν στην εμφάνιση skew προβλημάτων στο ρολόι κατά την κανονική λειτουργία. Μια απλή προσέγγιση ελέγχου για χαμηλή κατανάλωση είναι μέσω αναδιάταξης των διανυσμάτων ελέγχου (re-ordering) [16]-[19], που θα χρησιμοποιηθούν ή αναδιάταξη στα κύτταρα της αλυσίδας σάρωσης (scan cell ordering) [20], με κόστος ως προς τον απαιτούμενο υπολογιστικό χρόνο λόγω περιπλοκότητας. Άλλη τεχνική που προτείνεται είναι η απενεργοποίηση ενός τμήματος από τις παράλληλες αλυσίδες σάρωσης κατά την διάρκεια της σύλληψης αποκρίσεων και τροφοδοτώντας αυτές με σταθερές τιμές κατά την ολίσθηση [21]. Είναι μια προσέγγιση για την μείωση κατανάλωσης ενέργειας τόσο κατά την ολίσθηση όσο και κατά την σύλληψη δεδομένων, που όμως επηρεάζει την κάλυψη των μη μοντελοποιημένων σφαλμάτων. Η κατηγορία που έχει δοθεί μεγαλύτερη προσοχή είναι αυτή των X-filling τεχνικών. Ο αριθμός των αδιάφορων όρων (X) στα παραγόμενα διανύσματα ελέγχου είναι μεγάλος [22], [23] και αυτό δίνει την ευκαιρία κατάλληλης αξιοποίησης αυτών των όρων, για την μείωση της κατανάλωσης ενέργειας κατά την διάρκεια του ελέγχου. Παρόλα αυτά μεγάλη μείωση κατανάλωσης συνεισφέρουν και οι αρχιτεκτονικές που επεμβαίνουν στην τροποποίηση του υλικού [24], όπως στην εργασία [26], η οποία λειτουργεί με αναδιάταξη των flip-flop, προκειμένου να ομαδοποιηθούν οι απροσδιόριστοι όροι του διανύσματος εισόδου, ενώ παράλληλα το διάνυσμα ελέγχου φορτώνεται σε λιγότερα κελιά αφού ένα τμήμα της αλυσίδας παρακάμπτεται.

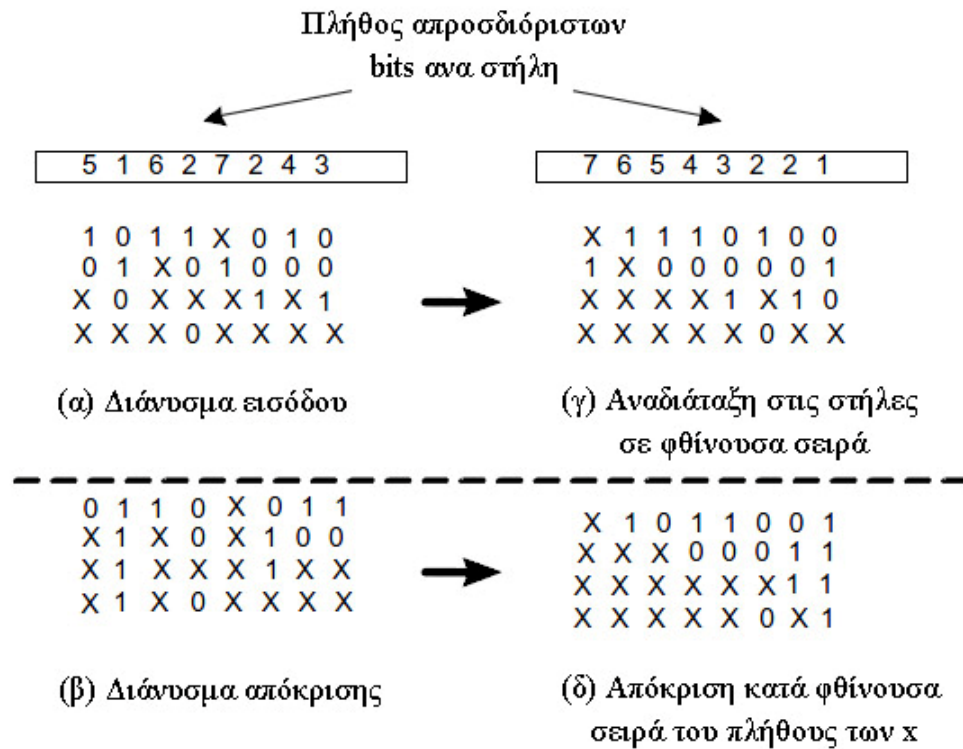
Παρατηρούμε ότι οι δοκιμές και οι πειραματισμοί δίνουν πολλά ερεθίσματα στον τομέα αυτό. Στην συνέχεια αυτού του κεφαλαίου παρουσιάζονται περισσότερο

αναλυτικά κάποιες τεχνικές σειριακής σάρωσης που επιδιώκουν την μείωση στην κατανάλωση ενέργειας.

2.6. Αρχιτεκτονική πολλαπλών αλυσίδων σάρωσης για μείωση της κατανάλωσης και του χρόνου ελέγχου

Διάφορες τεχνικές έχουν αναπτυχθεί για την μείωση της κατανάλωσης ενέργειας. Η συγκεκριμένη εργασία [37] επιδιώκει την μείωση της δυναμική κατανάλωση ενέργειας, μειώνοντας τον αριθμό των μεταβάσεων στο υπό δοκιμή κύκλωμα (CUT) και στους μανταλωτές (scan latches). Ένα σημαντικό ζήτημα που χειρίζεται είναι η μείωση του χρόνου ελέγχου. Όσο το υπό δοκιμή σύστημα γίνεται ολοένα και πιο περίπλοκο, ο χρόνος που επιζητεί ο έλεγχος του γίνεται μεγαλύτερος, προκειμένου να υπάρχει ίδιο ποσοστό κάλυψης σφαλμάτων. Η απαίτηση περισσότερου χρόνου κατά την διάρκεια του ελέγχου ορθής λειτουργίας, καθυστερεί τον χρόνο διάθεσης του στην αγορά και είναι πιθανό να μειωθεί η αγοραστική αξία του προϊόντος. Επομένως, η μείωση στον χρόνο ελέγχου ενός ολοκληρωμένου κυκλώματος αξίζει μεγάλης προσοχής.

Στην συγκεκριμένη τεχνική γίνεται αναδιάταξη των flip-flop, προκειμένου να ομαδοποιηθούν οι απροσδιόριστοι όροι του διανύσματος εισόδου. Η αναδιάταξη εισόδου γίνεται για ένα σύνολο διανυσμάτων ελέγχου (test set) που εφαρμόζεται σε μία αλυσίδα σάρωσης. Έστω ότι γίνεται χρήση ενός συνόλου διανυσμάτων ελέγχου με τις αντίστοιχες αποκρίσεις όπως φαίνεται στο Σχήμα 2.13.

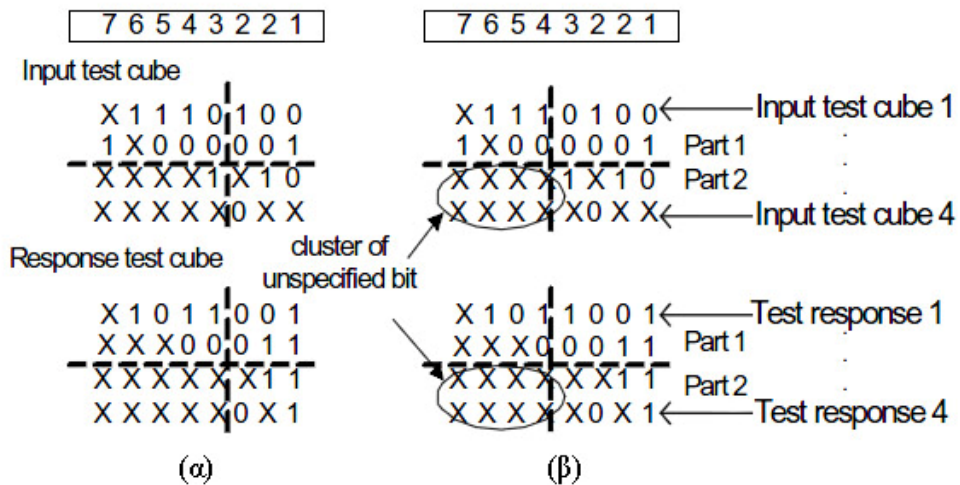


Σχήμα 2.13: Διάνυσμα εισόδου και αποκρίσεων πριν και μετά την αναδιάταξη

Η διαδικασία που ακολουθεί εξηγείται ως εξής:

- 1) Αρχικά γίνεται διερεύνηση στα διανύσματα ελέγχου για την κατανομή των απροσδιόριστων τιμών (Σχήμα 2.13 (α),(β))
- 2) Ακολουθεί αναδιάταξη στις στήλες των συνόλων δοκιμής σε φθίνουσα ή αύξουσα σειρά, ανάλογα με τον αριθμό των απροσδιόριστων όρων που υπολογίζονται σε κάθε κολώνα. (Σχήμα 2.13 (γ)) (Στο παράδειγμα η 5^η κολώνα έχει τους περισσότερους αδιάφορους όρους για αυτό και τοποθετείτε πρώτη)
- 3) Χωρίζονται τα σύνολα δοκιμής ανά στήλη και ανά γραμμή σύμφωνα με έναν αριθμό που καθορίζεται από το μέγεθος της ομάδας (cluster) των αδιάφορων όρων x (στο παράδειγμα μας είναι ο αριθμός 2, όπως φαίνεται στο Σχήμα 2.14)
- 4) Αν το σύνολο δοκιμής έχει αναδιάταξη φθίνουσας σειράς (ή αύξουσα), τότε το κάτω αριστερά (ή πάνω δεξιά) μέρος προορίζεται συνήθως για το πρώτο ομαδοποιημένο κομμάτι από αδιάφορους όρους. Το μέγεθος της ομάδας έχει οριστεί να είναι από την αρχή όσο το δυνατόν μεγαλύτερο.

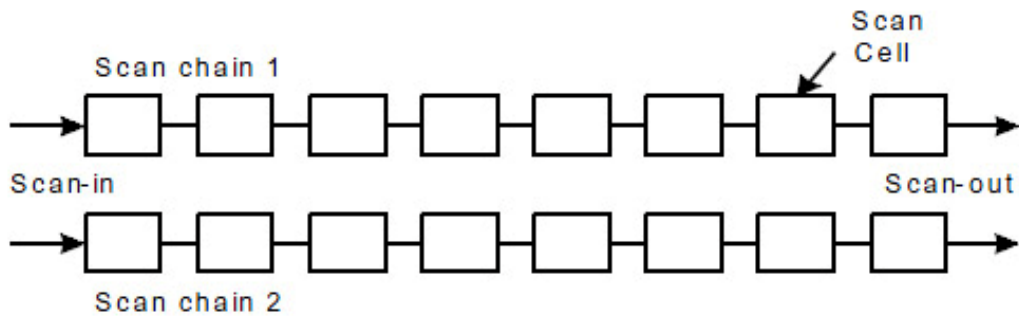
- 5) Σε περίπτωση που στο ομαδοποιημένο κομμάτι από αδιάφορους όρους βρεθεί κάποια συγκεκριμένη τιμή, όπως η τιμή 1 που φαίνεται στο Σχήμα 2.14(α), τότε γίνεται αναδιάταξη στήλης με σκοπό να απομακρυνθεί η συγκεκριμένη τιμή από αυτό το σύμπλεγμα. Εάν είναι αδύνατη η απομάκρυνση επαναλαμβάνεται το βήμα 4 με μικρότερο μέγεθος της ενδεικτικής ομάδας. Την στιγμή που κανένα προσδιορισμένο bit δεν εμφανίζεται στην ομάδα όπως είναι στο Σχήμα 2.14(β), προχωράμε στο επόμενο βήμα 6.
- 6) Τέλος, ενδεικτική ομάδα γίνεται η ομάδα με τους αδιάφορους όρους



Σχήμα 2.14 Τα διανύσματα εισόδου και οι αποκρίσεις πριν και μετά την αναδιάταξη τους. (α) Η πρώτη δοκιμή αναδιάταξης (μη αποδεκτή λόγω του 1 στην ομάδα), (β) Η δεύτερη αποδοτική δοκιμή λόγω ομοιομορφίας των x στην ομάδα (cluster).

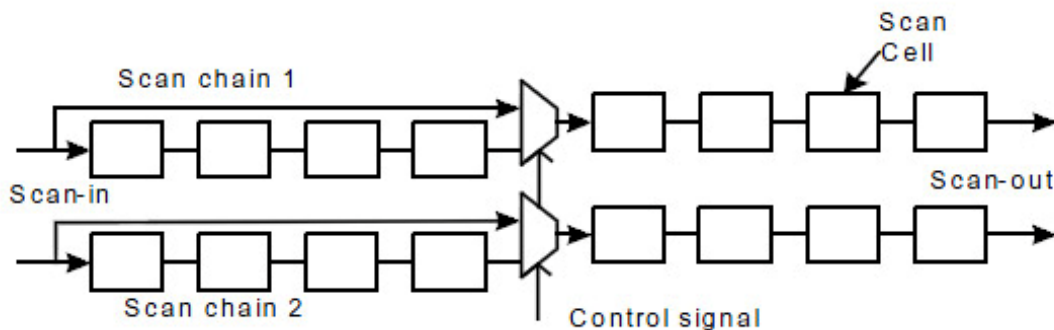
Η συγκεκριμένη τεχνική μας εξασφαλίζει ότι η πιθανότητα να αποτύχει είναι μικρή από την στιγμή που τα διανύσματα ελέγχου αποτελούνται στο σύνολό τους από ακαθόριστες τιμές. Λογικά θα δημιουργηθεί λοιπόν έστω και μια μικρού μεγέθους ομάδα.

Για καλύτερα αποτελέσματα τα παραπάνω βήματα χρησιμοποιούνται σε συνδυασμό με την τροποποίηση της αρχιτεκτονικής των πολλαπλών αλυσίδων σάρωσης (Σχήμα 2.15(α)) που γίνεται με βάση τις θέσεις όπου τα κύτταρα σάρωσης έχουν αδιάφορες τιμές x.



Σχήμα 2.15 (α): Αρχικές πολλαπλές αλυσίδες σάρωσης

Στην τροποποιημένη αρχιτεκτονική γίνεται προσθήκη ενός πολυπλέκτη σε κάθε αλυσίδα σάρωσης. Η θέση που τοποθετείται ο πολυπλέκτης προσδιορίζεται από τον αριθμό που διευκρινίζει η τελική της ομάδα. Για παράδειγμα, το σύνολο ελέγχου που ορίζεται στο Σχήμα 2.14(β) έχει 4 στήλες στην μικρότερη του διαίρεση, έτσι ο πολυπλέκτης τοποθετείται αμέσως μετά το τέταρτο flip-flop όπως φαίνεται στο Σχήμα 2.15(β).



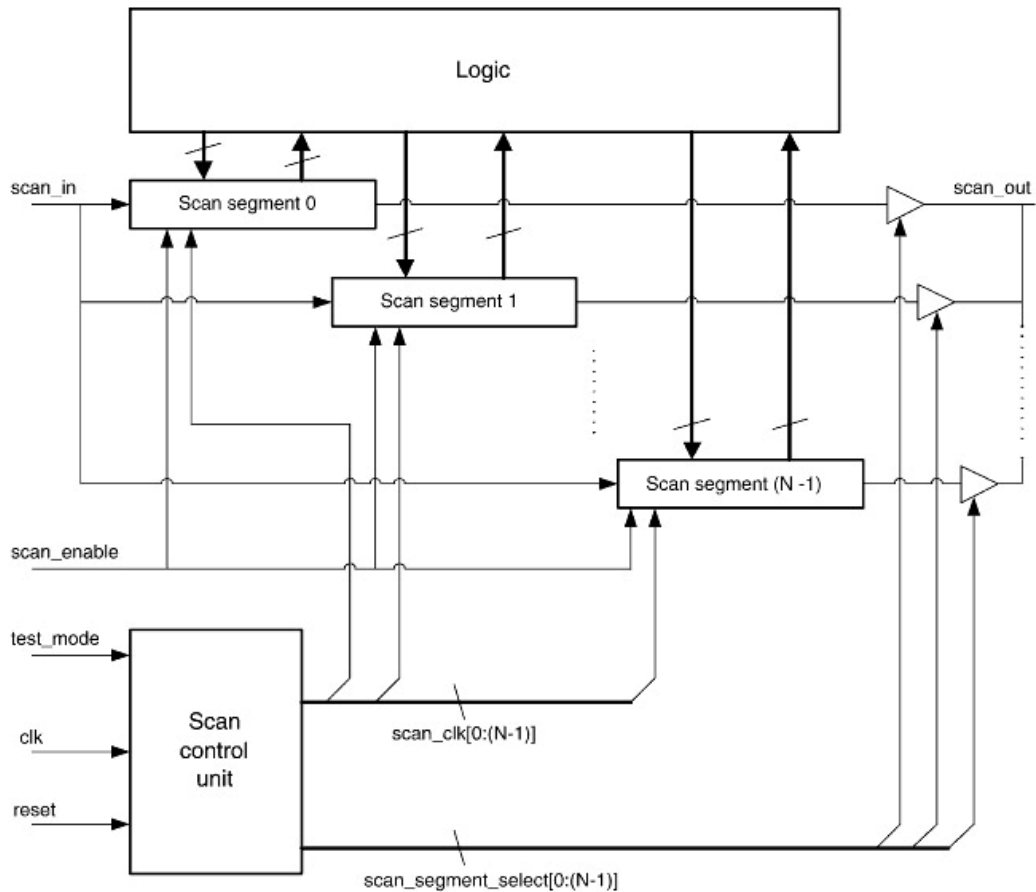
Σχήμα 2.15 (β): Τροποποιημένες αλυσίδες σάρωσης

Με την αρχιτεκτονική αυτή σε συνδυασμό με την αξιοποίηση των ομαδοποιημένων αδιάφορων όρων πετυχαίνει μείωση στην κατανάλωση ενέργειας. Κάνοντας χρήση ενός πολυπλέκτη με δύο εισόδους φορτώνεται απευθείας το τμήμα του διανύσματος ελέγχου που περιέχει τις αδιάφορες τιμές, παραλείποντας την ολίσθηση από το αριστερό τμήμα της αλυσίδας. Αποφεύγοντας την άσκοπη χρήση της αλυσίδας για την ολίσθηση των αδιάφορων όρων x , κερδίζει παράλληλα και σε κύκλους. Με

αποτέλεσμα να παρουσιάζει μείωση στον χρόνο ελέγχου του κυκλώματος. Για να εφαρμοστεί η παραπάνω διαδικασία επιβάλετε για κάθε διάνυσμα ελέγχου με ένα τμήμα με αδιάφορους όρους X και το διάνυσμα απόκρισης να αποτελείται από αδιάφορους όρους στο αντίστοιχο τμήμα.

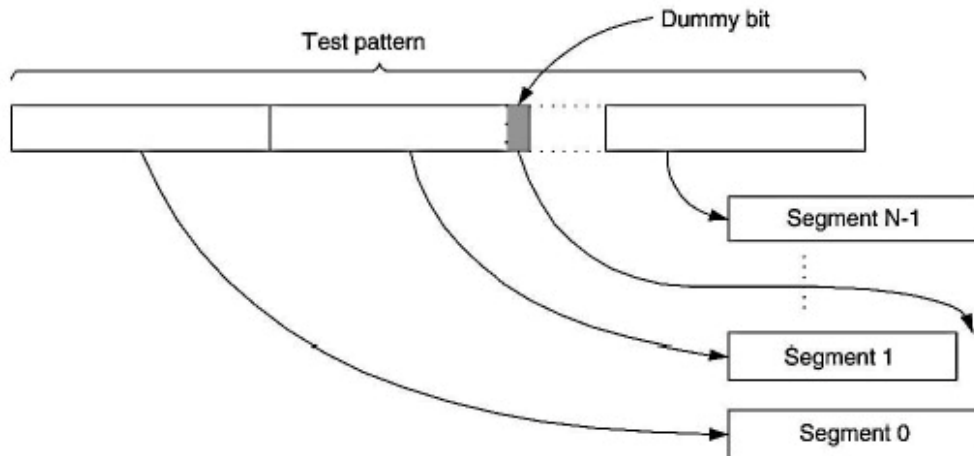
2.7. Αρχιτεκτονική σάρωσης με ενεργοποίηση αμοιβαία αποκλειόμενων τμημάτων σάρωσης για μείωση της καταναλισκόμενης ενέργειας κατά την ολίσθηση και την δέσμευση αποκρίσεων.

Η συγκεκριμένη τεχνική [28] προτείνει μια αρχιτεκτονική με ενεργοποίηση αποκλειόμενων τμημάτων σάρωσης που πετυχαίνει τόσο την μείωση ενέργειας κατά την ολίσθηση όσο και κατά την σύλληψη δεδομένων χωρίς επιπτώσεις στην απόδοση του σχεδιασμού και με ελάχιστη επίδραση στην επιφάνεια και στον χρόνο δοκιμής (περίπου 2%-3%). Η μέθοδος χωρίζει την αλυσίδα σάρωσης σε ένα δεδομένο αριθμό από ισομήκη τμήματα και μόνο ένα τμήμα κάθε φορά ενεργοποιείται μέσω του δικού του ρολογιού κάνοντας χρήση της βασικής τεχνικής πυλών απομόνωσης (clock gating), που αποτελεί σημαντικό μειονέκτημα εξαιτίας της ασάφειας στους χρόνους άφιξης που προκαλείται στο σήμα του ρολογιού (clock skew). Έτσι όλα τα τμήματα δέχονται το ίδιο Scan-in και Scan-enable σήμα, αλλά κάθε τμήμα έχει διαφορετικό σήμα ρολογιού όπως φαίνεται στο Σχήμα 2.16. Έτσι σε κάθε κύκλο ρολογιού, μόνο από ένα τμήμα της αλυσίδας, ολισθαίνουν τιμές από το διάνυσμα ελέγχου και συλλέγονται οι αποκρίσεις. Το διαφορετικό της τεχνικής αυτής είναι ότι συλλέγει αποκρίσεις σε μια διαδοχή από φάσεις ολίσθησης και όχι σε μία μόνο φάση. Αυτό περιορίζει τον αριθμό των εναλλαγών που γίνονται ταυτόχρονα σε ένα κύκλο ρολογιού κατά την ολίσθηση αλλά και κατά την δέσμευση αποκρίσεων και κατά συνέπεια μειώνει σημαντικά την καταναλισκόμενη ενέργεια του κυκλώματος.



Σχήμα 2.16 Αρχιτεκτονική Σάρωσης με Ενεργοποίηση Αμοιβαία Αποκλειόμενων Τμημάτων Σάρωσης

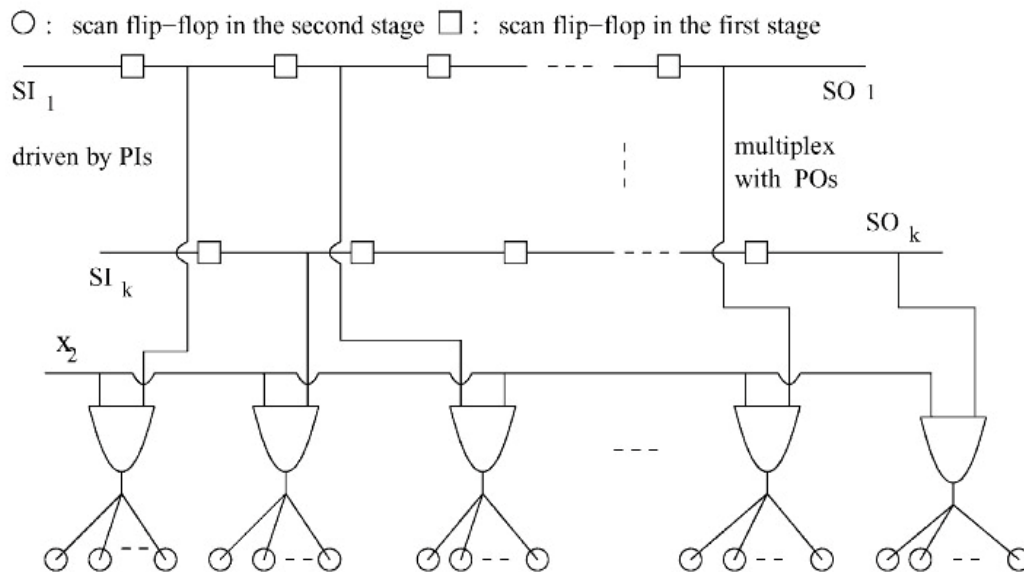
Συγκεκριμένα η αλυσίδα σάρωσης χωρίζεται σε N -ισομήκη τμήματα. Σε περίπτωση που ο αριθμός των κελιών δεν είναι πολλαπλάσιο του N , το άθροισμα των διαφορών ανάμεσα στα μήκη των τμημάτων οριοθετείτε με άνω φράγμα την τιμή $N-1$. Για τους υπολογισμούς αυτούς και για να μην αυξηθεί η πολυπλοκότητα της μονάδας ελέγχου σάρωσης, τα διανύσματα ελέγχου συμπληρώνονται με εικονικά (dummy) bits που αντιστοιχούν στα flip-flop που λείπουν από τα μικρότερα τμήματα όπως φαίνεται στο Σχήμα 2.17.



Σχήμα 2.17: Αντιστάθμιση μήκους στα N-ισομήκη τμήματα

2.8. Αρχιτεκτονική σάρωσης δύο σταδίων για επίτευξη χαμηλής κατανάλωσης ελέγχου με μείωση καθυστέρησης μετάδοσης

Η συγκεκριμένη αρχιτεκτονική [29] αποτελείται από δυο στάδια (Σχήμα 2.18) και προτείνεται για να επιτύχει ένα σχήμα ελέγχου σάρωσης με πολύ χαμηλή κατανάλωση ενέργειας, με μικρό κόστος και χαμηλό όγκο δεδομένων ελέγχου. Το πρώτο στάδιο περιλαμβάνει πολλαπλές αλυσίδες σάρωσης, όπου κάθε αλυσίδα οδηγείται από μια πρωτεύον είσοδο Scan-in. Ενώ κάθε κελί σάρωσης της πολλαπλής αλυσίδας σάρωσης οδηγεί μια ομάδα από κελιά που βρίσκονται στο δεύτερο στάδιο. Κάθε κελί της πολλαπλής αλυσίδας σάρωσης μαζί με τα κελιά με τα οποία συνδέεται από το δεύτερο στάδιο αποτελούν μια ομάδα. Όλα τα flip-flop που ανήκουν στην ίδια ομάδα δεν έχουν κανένα κοινό διάδοχο στο συνδυαστικό κομμάτι του κυκλώματος. Δύο κελιά u και v έχουν κοινό διάδοχο, αν υπάρχει πύλη v' τέτοια ώστε, να υπάρχουν συνδυαστικά μονοπάτια από το u στο v' και από το v στο v' αντίστοιχα. Τα κελιά σάρωσης που βρίσκονται σε διαφορετικά στάδια χρησιμοποιούν ξεχωριστά σήματα ρολογιού. Στα κελιά που βρίσκονται στην ίδια ομάδα δίνεται η ίδια τιμή για όλα διανύσματα ελέγχου. Τα κελιά σάρωσης του δεύτερου σταδίου συνδέονται μεταξύ τους σε δέντρα πολλαπλών XOR, όπου όλα τα κελιά που συνδέονται στο ίδιο XOR δέντρο δεν έχουν κοινό προκάτοχο στο συνδυαστικό κομμάτι του κυκλώματος. Δύο κελιά u και v έχουν κοινό προκάτοχο αν υπάρχει πύλη v' , τέτοια ώστε να υπάρχουν συνδυαστικά μονοπάτια από τη v' στο u και από τη v' στο v αντίστοιχα.

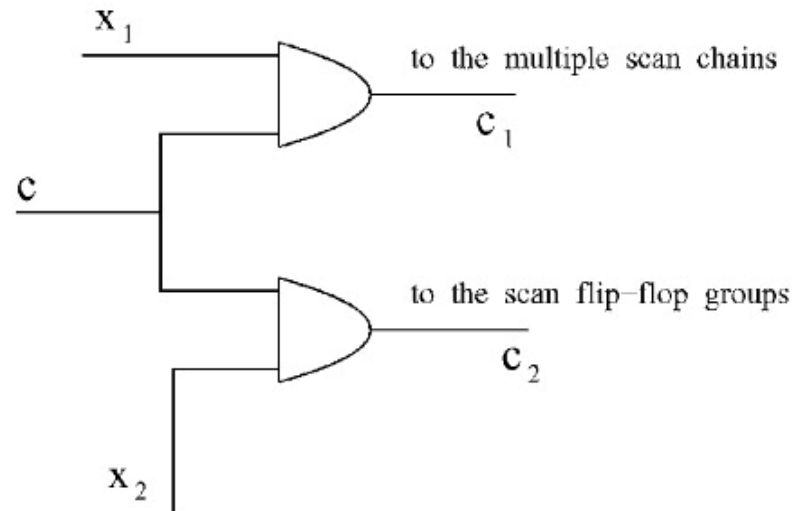


Σχήμα 2.18: Αρχιτεκτονική σάρωσης δύο σταδίων

Ο έλεγχος ορθής λειτουργίας χωρίζεται επίσης σε δύο στάδια:

- 1) Ένα διάνυσμα ελέγχου εισάγεται στις πολλαπλές αλυσίδες σάρωσης
- 2) Το διάνυσμα διαδίδεται στα κελιά του δεύτερου σταδίου, το οποίο ακολουθείται από ένα λειτουργικό κύκλο για την λήψη των αποκρίσεων.

Όπως έχει αναφερθεί η τεχνική κάνει χρήση δύο σημάτων ρολογιού, το C1 για το πρώτο στάδιο και το C2 για το δεύτερο όπως φαίνεται στο Σχήμα 2.19. Για τον έλεγχο ορθής λειτουργίας το ρολόι στο δεύτερο στάδιο απενεργοποιείται κατά την διάρκεια των κύκλων ολίσθησης, έτσι ώστε να περιορίζεται η κατανάλωση ενέργειας μέσα στις πολλαπλές αλυσίδες. Έπειτα από όλους τους απαιτούμενους κύκλους ολίσθησης απενεργοποιείται το σήμα του ρολογιού των κελιών που βρίσκονται στο πρώτο στάδιο, ώστε να διατηρηθούν οι τιμές στις πολλαπλές αλυσίδες. Έτσι οι τιμές που έχουν ολισθήσει στις πολλαπλές αλυσίδες διαδίδονται στο δεύτερο στάδιο. Κατά συνέπεια οι αποκρίσεις που έχουν δεσμευτεί στα κελιά σάρωσης ολισθαίνουν προς τα έξω με την εισαγωγή του επόμενου διανύσματος ελέγχου.

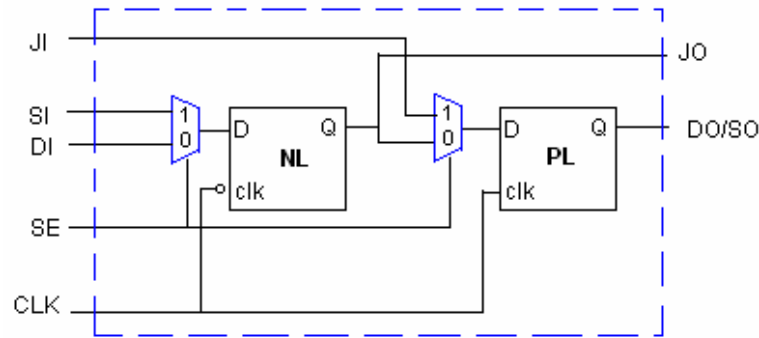


Σχήμα 2.19: Δυο σήματα ρολογιού

2.9. Αρχιτεκτονική παράκαμψης κυττάρων σάρωσης για χαμηλή κατανάλωση

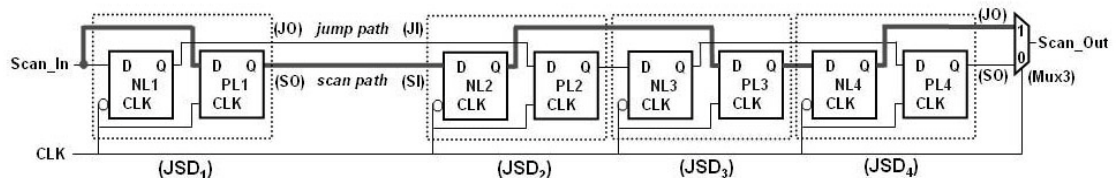
Η τεχνική αυτή [30] αναφέρεται και ως Jump-scan (J-scan) αφού σε κάθε χτύπο του ρολογιού ολισθαίνουν δυο bits στην αλυσίδα έτσι ώστε η συχνότητα να μειώνεται στο μισό χωρίς αύξηση στον χρόνο ελέγχου. Αυτή η τεχνική απαιτεί αλλαγές στην σχεδίαση των κυττάρων της αλυσίδας σάρωσης με επιβάρυνση στην επιφάνεια και υποβάθμιση της ταχύτητας στην κανονική λειτουργία του κυκλώματος.

Το παρακάτω Σχήμα 2.20, δείχνει την δομή ενός κυττάρου J-scan. Σύμφωνα με αυτό περιέχει έναν NL μανταλωτή (NL latch) στην αρνητική φάση του ρολογιού και έναν PL μανταλωτή (PL latch) στην θετική φάση και δύο πολυπλέκτες. Πρόκειται για μια υλοποίηση flip-flop 'αφέντη-σκλάβου' (master-slave) που πυροδοτείτε στην θετική ακμή του ρολογιού. Οι πολυπλέκτες που βρίσκονται στις εισόδους των μανταλωτών καθορίζουν αν το J-scan flip-flop θα λειτουργήσει ως ακμοπυροδότητο master-slave flip-flop στην κανονική λειτουργία του κυκλώματος ή σαν σύστημα δύο latches στην λειτουργία ελέγχου. Σε σύγκριση με το τυπικό flip-flop σάρωσης το flip-flop 'άλματος' έχει μια επιπρόσθετη είσοδο Jump Input (JI) και μια επιπρόσθετη έξοδο Jump Output (JO) όπως παρουσιάζεται στο σχήμα. Όταν το σήμα επιλογής στον πολυπλέκτη τίθεται στο 1 επιλέγονται οι εισόδους SI και JI για τα latches NL και PL αντίστοιχα. Με αυτό τον τρόπο η είσοδος SI οδηγεί στην έξοδο JO και η είσοδος JI στην έξοδο SO.



Σχήμα 2.20: J-scan flip-flop

Κάνοντας χρήση μιας αλυσίδας με τέσσερα J-scan flip-flops, όπως φαίνεται στο Σχήμα 2.21, παρουσιάζεται ο τρόπος λειτουργίας της τεχνικής. Οι πολυπλέκτες και τα σήματα SE και DI παραλείπονται για διευκόλυνση. Στην J-scan αλυσίδα, δύο J-scan flip-flop συνδέονται με δύο καλώδια ενώ το μονοπάτι από την SO στην SI ονομάζεται μονοπάτι σάρωσης (scan path) και το μονοπάτι από την JO στην JI ονομάζεται μονοπάτι 'άλματος' (jump path). Για παράδειγμα, η έξοδος SO του πρώτου J-scan flip-flop (JSD₁) συνδέεται στην είσοδο SI του δεύτερου J-scan flip-flop JSD₂ και η έξοδος JO του JSD₁ συνδέεται στην JI είσοδο του JSD₂.

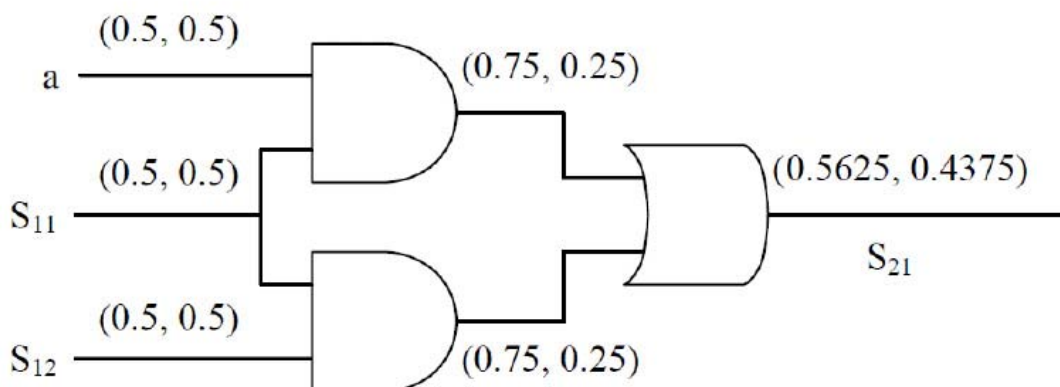


Σχήμα 2.21: Αλυσίδα σάρωσης τεσσάρων J-scan flip-flop

Η τεχνική αποδείχθηκε αποτελεσματική στην μείωση κατανάλωσης ενέργειας κατά 39% σε σχέση με την κλασική αλυσίδα ενώ δεν αυξάνει τους απαιτούμενους κύκλους ρολογιού για την ολοκλήρωση του ελέγχου [31].

2.10. Μέθοδος προεπιλογής τιμών για μείωση της κατανάλωσης σύλληψης αποκρίσεων.

Η συγκεκριμένη τεχνική [32] προτιμάται για τον έλεγχο ορθής λειτουργίας, δεδομένου ότι μειώνει κατανάλωση του κυκλώματος χωρίς να χρειάζεται καμιά τροποποίηση το κύκλωμα. Η τεχνική, επιχειρεί να μειώσει την απόσταση Hamming μεταξύ των αρχικών διανυσμάτων εισόδου και των αποκρίσεων κάνοντας χρήση μίας μεθόδου που βασίζεται στις πιθανότητες σήματος. Πρόκειται για μια τεχνική που λειτουργεί με την αντιστοίχιση των αδιάφορων όρων X-bit του διανύσματος εισόδου, με επιλογή κατάλληλων τιμών 0 και 1, έτσι ώστε να μειώνεται ο αριθμός των μεταβάσεων προς την λογική του κυκλώματος. Στην πράξη απροσδιόριστες θέσεις από bit στο αρχικό διάνυσμα εισόδου συμπληρώνονται με τις λεγόμενες προτιμώμενες τιμές (preffered fill), οι οποίες προσδιορίζονται από την ανάλυση μιας πιθανότητας σήματος στο υπο έλεγχο κύκλωμα (CUT). Για τον προσδιορισμό αυτών των τιμών, υπολογίζονται οι πιθανότητες από κάθε PPO κύκλωμα, όπως φαίνεται στο παρακάτω παράδειγμα του Σχήματος 2.22.



Σχήμα 2.22: Ανάλυση πιθανοτήτων σήματος

Γίνεται χρήση μιας μεθόδου για τον υπολογισμό πιθανοτήτων που αγνοεί την μεταξύ συσχέτιση των εισόδων. Δίνει την πιθανότητα 0.5 για κάθε κύρια είσοδο (primary input - PI) και για κάθε ψευδοκύρια είσοδο (pseudo primary input - PPI) και υπολογίζει την πιθανότητα κάθε σήματος μέχρι να φτάσει σε μία ψευδοκύρια έξοδο

(pseudo primary output - PPO). Εάν η ψευδοκύρια έξοδος έχει μεγαλύτερη πιθανότητα να είναι 1, τότε η προτεινόμενη τιμή που δίνεται στην αντίστοιχη ψευδοκύρια είσοδο είναι 1. Το ίδιο συμβαίνει και με το μηδέν, και αν έχουν ισοδύναμες πιθανότητες τότε η θέση συμπληρώνεται τυχαία (random fill).

Η μέθοδος αυτή αυξάνει σημαντικά τους υπολογισμούς γιατί μια σταθερά προκαθορισμένη τιμή χρησιμοποιείται για να γεμίσουν οι απροσδιόριστες θέσεις τιμών στα διανύσματα εισόδου ενώ απαιτεί μικρότερο χρόνο εκτέλεσης συγκριτικά με άλλες τεχνικές.

2.11. Μέθοδος στατικής συμπίεσης διανυσμάτων ελέγχου για την μείωση της κατανάλωσης ενέργειας

Στην βιομηχανία έχει παρατηρηθεί ότι με την συμπίεση των διανυσμάτων εισόδου αυξάνεται σημαντικά η κατανάλωση ενέργειας κατά τη διάρκεια του ελέγχου ορθής λειτουργίας. Με την χρήση όμως των ασυμπίεστων διανυσμάτων ελέγχου, μπορεί να λύνεται το πρόβλημα της κατανάλωσης ενέργειας αλλά αυξάνεται η μνήμη που χρειάζεται για την αποθήκευση των διανυσμάτων και κατά συνέπεια το κόστος.

Στην παρούσα εργασία, παρουσιάζεται μια διαδικασία στατικής συμπίεσης, ώστε να ελαχιστοποιείται η μέση ή μέγιστη κατανάλωση ενέργειας. Η συγκεκριμένη μέθοδος είναι απλή και μπορεί να χρησιμοποιηθεί για την εύρεση του ελάχιστου συνόλου από διανύσματα που να ικανοποιούν τους περιορισμούς της μέσης και της μέγιστης κατανάλωσης ενέργειας. Ένας τρόπος για να μειωθεί η κατανάλωση ενέργειας είναι η χαμηλή συχνότητα που είναι εις βάρος του χρόνου ελέγχου του κυκλώματος. Άλλος τρόπος είναι η προσθήκη επιπρόσθετων κυκλωμάτων στην αλυσίδα σάρωσης για να κρατήσει τις εισόδους προς την συνδυαστική λογική σε δεδομένες τιμές. Αυτό όμως επιφέρει την αύξηση της επιφάνειας του κυκλώματος. Έτσι για την συγκεκριμένη τεχνική επιλέγεται η τροποποίηση των διανυσμάτων εισόδου μέσω στατικής συμπίεσης.

Η στατική συμπίεση συνεπάγεται την μείωση του αριθμού των διανυσμάτων εισόδου που παράγονται από ένα ATPG εργαλείο, λόγω της συγχώνευσης των διανυσμάτων

που είναι συμβατά για όλες τις θέσεις των bit. Δυο διανύσματα ελέγχου είναι συμβατά αν για την ίδια θέση (bit position), τα διανύσματα ελέγχου έχουν την ίδια τιμή 0 ή 1 ή ένα από τα δύο έχει απροσδιόριστη τιμή. Για παράδειγμα το, το διάνυσμα 11XX0 είναι συμβατό με το 1X0X0 αλλά δεν είναι συμβατό με το 011X1 γιατί υπάρχει ασυμβατότητα στην πρώτη και στην τελευταία θέση. Η συγχώνευση συνεχίζεται μέχρι να τελειώσουν τα ζευγάρια από διανύσματα ελέγχου που μπορούν να συγχωνευτούν.

Για την συγκεκριμένη τεχνική [33] επιλέγεται προσεκτικά η σειρά με την οποία συγχωνεύονται τα διανύσματα ελέγχου, έτσι ώστε να πετύχει ελαχιστοποίηση των μεταβάσεων. Μάλιστα για την μέτρηση αυτού του αριθμού των μεταβάσεων, που προκύπτουν από την ολίσθηση του διανύσματος ελέγχου στην αλυσίδα σάρωσης, γίνεται χρήση μιας μετρικής, της λεγόμενης μέτρησης μεταβάσεων με βάρος (weighted transition count). Μέσω αυτής της μετρικής υπολογίζεται το πλήθος των εναλλαγών που προκαλούνται στα διαδοχικά κύτταρα της αλυσίδας σάρωσης και κατά συνέπεια των μεταβάσεων στις εισόδους της συνδυαστικής λογικής.

Τα βήματα που ακολουθεί η μέθοδος στατικής συμπίεσης ανταποκρίνονται στον παρακάτω ψευδοαλγόριθμο:

```

Δημιουργία ενός γράφου ;
Ενώ τα διανύσματα μπορούν να συνδυαστούν ;
{ Διάλεξε ένα ζεύγος που να συνδυάζεται ;
  Συνδύασε τα διανύσματα ;
  Ενημέρωσε το γράφο ;
}

```

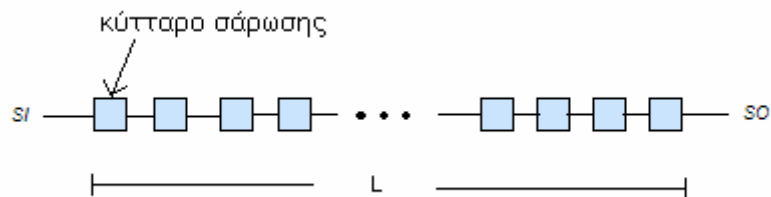
Η μέθοδος ξεκινά με την δημιουργία ενός γράφου στον οποίο υπάρχει ένας κόμβος για κάθε διάνυσμα εισόδου. Για κάθε ζεύγος συμβατών διανυσμάτων τοποθετείται μια ακμή (α , β) μεταξύ των αντίστοιχων κόμβων. Το βάρος που επισυνάπτεται στην ακμή, είναι η τιμή της κατανάλωσης ενέργειας που προκύπτει από την τοποθέτηση ενός νέου διανύσματος (α , β) αντί του προηγούμενου. Σε κάθε επανάληψη της διαδικασίας επιλέγεται ζεύγος που να συνδυάζεται. Στόχος είναι να πάρει κατάλληλα

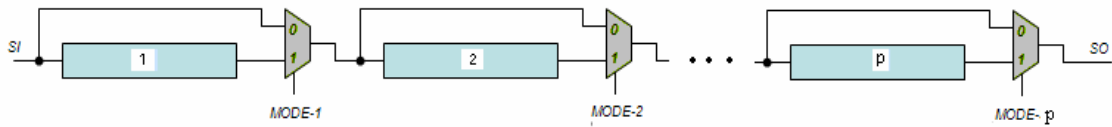
ζεύγη ώστε να πετυχαίνει μείωση κατανάλωσης ενέργειας. Όταν δύο ζεύγη συνδυάζονται, ενημερώνεται ο γράφος και οι παλιοί κόμβοι παύουν να ισχύουν. Η διαδικασία συνεχίζεται μέχρις ότου δεν υπάρχουν άλλα ζεύγη διανυσμάτων ελέγχου που να μπορούν να συνδυαστούν. Το μειονέκτημα είναι η περιπλοκότητα του προβλήματος λόγω της πολυπλοκότητας του γράφου.

2.12. Τεχνική σχεδίασης τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σάρωσης

Η κεντρική ιδέα πίσω από την συγκεκριμένη τεχνική [34] χαμηλής κατανάλωσης είναι η τμηματοποίηση της αλυσίδας σάρωσης και η ολίσθηση των δεδομένων ελέγχου σε κάθε τμήμα ξεχωριστά ενώ τα υπόλοιπα τμήματα παραμένουν σταθερά σε κατάσταση μνήμης (αναστολή σάρωσης). Με την υλοποίηση αυτή, κατά την ολίσθηση, ο αριθμός των μεταβάσεων προς την συνδυαστική λογική είναι δραστικά μειωμένος και κατά συνέπεια με τον ίδιο τρόπο μειωμένη είναι και η κατανάλωση ενέργειας.

Η τυπική αλυσίδα σάρωσης όπως και η τροποποιημένη φαίνονται στο Σχήμα 2.23. Η τμηματοποιημένη αλυσίδα είναι του ίδιου μήκους με την διαφορά ότι χωρίζεται σε p τμήματα και ανάμεσα σε αυτά προστίθεται ένας πολυπλέκτης, ο οποίος χρησιμοποιείται για να καθορίσει αν το τμήμα που ακολουθεί θα παρακαμφτεί ή αν μέσα από αυτό θα περάσουν τα δεδομένα ελέγχου. Η τεχνική κάνει χρήση ενός ειδικού κυττάρου σάρωσης, που δίνει την δυνατότητα παγίδευσης της τιμής στην έξοδο του μέσω ανατροφοδότησης, χωρίς να απαιτείται η απενεργοποίηση του σήματος ρολογιού (clock gating).





Σχήμα 2.23: (α) Τυπική αλυσίδα σειριακής σάρωσης μήκους L και
(β) Τμηματοποιημένη αλυσίδα σάρωσης με αναστολή σάρωσης

Η λειτουργία του ελέγχου ορθής λειτουργίας για την τμηματοποιημένη αλυσίδα σάρωσης με αναστολή σάρωσης περιλαμβάνει τα παρακάτω στάδια:

- 1) Κατά την ολίσθηση ενός διανύσματος ελέγχου μόνο ένα τμήμα της αλυσίδας σάρωσης ενεργοποιείται κάθε φορά. Για την ολοκλήρωση της διαδικασίας σάρωσης απαιτούνται L/p κύκλοι ρολογιού.
- 2) Τα υπόλοιπα $p-1$ τμήματα που παρακάμπτονται μέσω πολυπλεκτών παραμένουν σε κατάσταση μνήμης.
- 3) Η διαδικασία αυτή συνεχίζεται μέχρι να φορτωθεί κάθε τμήμα της αλυσίδας με ένα νέο διάνυσμα ελέγχου και παράλληλα να εξαχθεί εκτός της αλυσίδας η προηγούμενη απόκριση της συνδυαστικής λογικής.
- 4) Έπειτα από L κύκλους ρολογιού για την διαδικασία που προηγήθηκε το κύκλωμα επαναφέρεται στην κανονική λειτουργία για την δέσμευση νέων αποκρίσεων στα κελιά της αλυσίδας σάρωσης.
- 5) Τα παραπάνω βήματα επαναλαμβάνονται μέχρι να εξαντληθούν όλα τα διανύσματα ελέγχου.

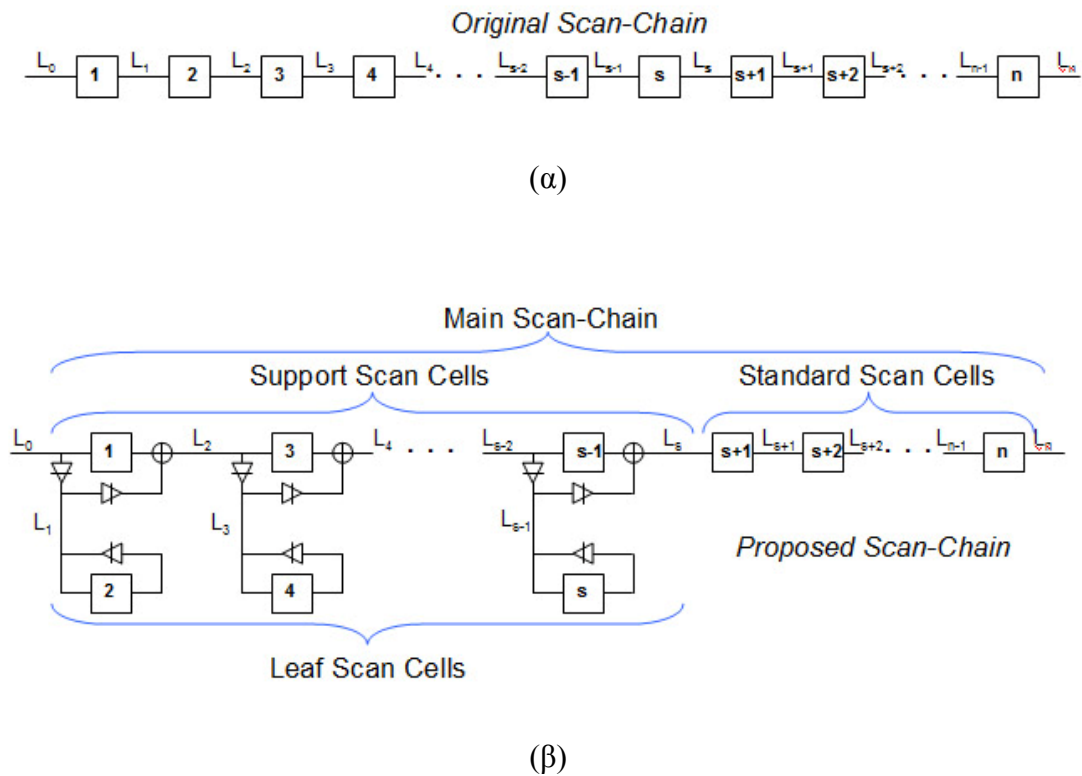
Η χρήση της τεχνικής προσφέρει μείωση των μεταβάσεων αφού το συνολικό άθροισμα των μεταβάσεων όλων των p τμημάτων είναι μικρότερο περίπου κατά $1/p$ σε σχέση με την τυπική αλυσίδα σάρωσης. Η εξοικονόμηση αυτή οφείλεται στην ολίσθηση δεδομένων σε μικρότερου μήκους τμήματα αντί της κλασικής αλυσίδας σάρωσης μήκους L .

ΚΕΦΑΛΑΙΟ 3. ΠΡΟΤΕΙΝΟΜΕΝΗ ΤΕΧΝΙΚΗ ΣΧΕΔΙΑΣΗΣ ΑΝΑΔΙΠΛΟΥΜΕΝΩΝ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ

- 3.1 Προτεινόμενη τεχνική σχεδίασης αναδιπλούμενων αλυσίδων σάρωσης
 - 3.2 Αιτιοκρατικός Έλεγχος Σάρωσης
 - 3.3 Επίτευξη μείωσης του χρόνου ελέγχου
 - 3.4 Επίτευξη χαμηλής κατανάλωσης κατά την ολίσθηση
 - 3.4.1 Υπολογισμό διανύσματος εισόδου
 - 3.4.2 Υπολογισμός αριθμού μεταβάσεων
 - 3.5 Κάλυψη σφαλμάτων στην προτεινόμενη τεχνική
-

3.1. Προτεινόμενη τεχνική Σχεδίασης Αναδιπλούμενων Αλυσίδων Σάρωσης

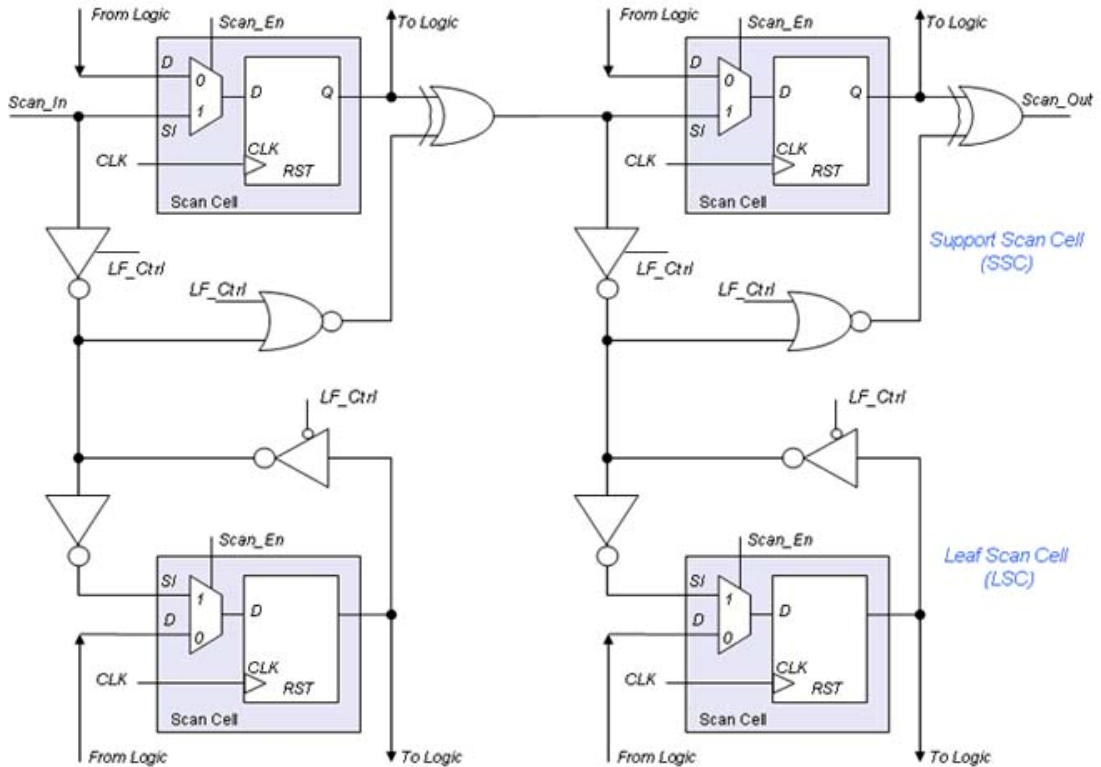
Για την αύξηση της ταχύτητας του ελέγχου έχει προταθεί από την ερευνητική ομάδα του Πανεπιστημίου Ιωαννίνων η τεχνική σχεδίασης ‘αναδιπλούμενων αλυσίδων σάρωσης’ [36], [40]. Σύμφωνα με αυτήν την τεχνική η τυπική αλυσίδα σάρωσης τροποποιείται (Σχήμα 3.1 (α)) και αναδιπλώνεται σε δύο βασικά μέρη, την κύρια αλυσίδα σάρωσης (main scan chain) και τη δευτερεύουσα αλυσίδα σάρωσης (secondary scan chain) με τα κελιά φύλλα (leaf cells). Επιπρόσθετα η κύρια αλυσίδα χωρίζεται σε δύο τμήματα, το τμήμα της τυπικής αλυσίδας σάρωσης (standard scan chain) και το τμήμα της αλυσίδας σάρωσης υποστήριξης (support scan chain) όπως φαίνεται στο Σχήμα 3.1 (β).



Σχήμα 3.1: (α)Τυπική Αλυσίδα Σάρωσης, (β)Αλυσίδα Σάρωσης Προτεινόμενης Τεχνικής

Τα κελιά της αλυσίδας σάρωσης υποστήριξης έχουν μια ένα-προς-ένα αντιστοιχία με τα κελιά φύλλα, έτσι ώστε να επιτρέπουν την ενημέρωση των δεδομένων ελέγχου από την ίδια είσοδο σάρωσης (SI) κατά την λειτουργία σάρωσης. Στην προτεινόμενη σχεδιαστική τεχνική αν (n) είναι ο αριθμός των κελιών της αρχικής αλυσίδας, ο μέγιστος αριθμός των κελιών της αλυσίδας υποστήριξης και άρα των κελιών φύλλων, είναι ίσος με το μισό της αρχικής αλυσίδας, δηλαδή $k \leq \lceil n/2 \rceil$ (συγκεκριμένα με το ακέραιο μέρος του αριθμού για την περίπτωση που η αλυσίδα έχει μήκος ίσο με περιττό αριθμό).

Για τις ανάγκες της τεχνικής χρησιμοποιήθηκαν ζεύγη κελιού υποστήριξης και κελιού φύλλου με συγκεκριμένη δομή όπως φαίνεται στο Σχήμα 3.2. Διαδοχικά ζεύγη κελιού υποστήριξης και κελιού φύλλου συνθέτουν την αλυσίδα υποστήριξης (Σχήμα 3.3). Εκτός από τα συνηθισμένα flip-flop σάρωσης που χρησιμοποιούνται σε μια τυπική



Σχήμα 3.3: Αλυσίδα Υποστήριξης και Κελιά Φύλλα (Ζεύγος κελιών).

Η διαδικασία ελέγχου ενός ολοκληρωμένου κυκλώματος της προτεινόμενης αλυσίδας σάρωσης περιλαμβάνει τα ακόλουθα στάδια: ολίσθηση εντός του διανύσματος ελέγχου και παράλληλη ολίσθηση εκτός των αποκρίσεων του προηγούμενου διανύσματος ελέγχου, επαναφορά του κυκλώματος στην κανονική λειτουργία και συλλογή των νέων αποκρίσεων και επανάληψη των διαδικασιών μέχρι να ολοκληρωθεί ο έλεγχος ορθής λειτουργίας. Ο έλεγχος ξεκινάει με την αρχικοποίηση της αλυσίδας σάρωσης και πραγματοποιείται σύμφωνα με όσα ακολουθούν [36].

Αρχικοποίηση Αλυσίδας Σάρωσης

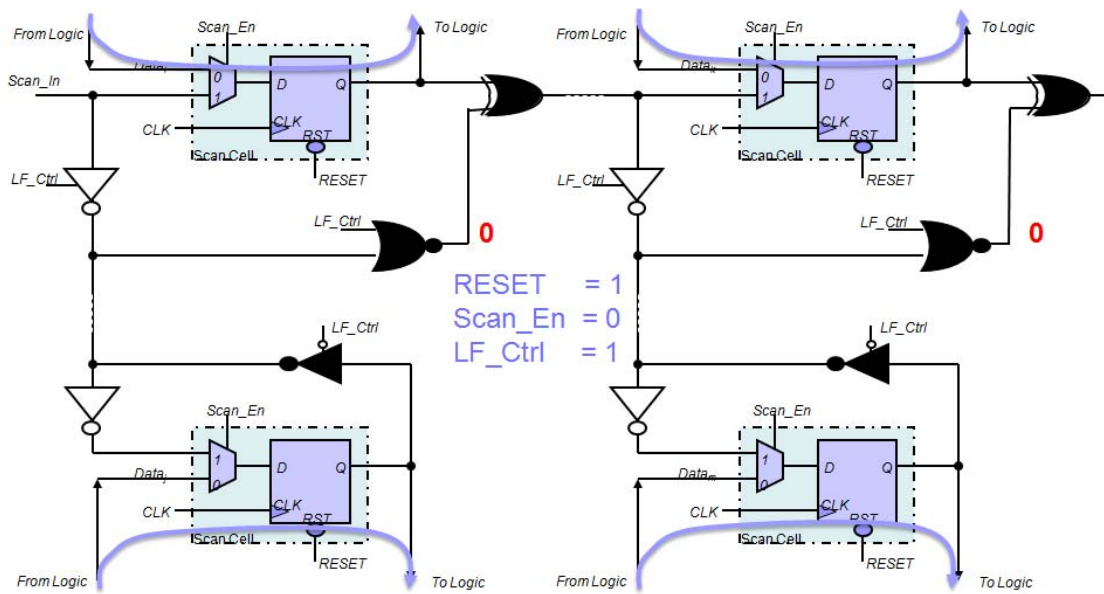
Η αρχικοποίηση της αλυσίδας οδηγεί τα flip-flop σάρωσης σε συγκεκριμένη αρχική κατάσταση δίνοντας τις τιμές $RESET=0$, $Scan_En=1$, $LF_Ctrl=1$.

Κανονική Λειτουργία

Όταν ένα κύκλωμα βρίσκεται σε κατάσταση κανονικής λειτουργίας, τα δεδομένα δεν ολισθαίνουν στην αλυσίδα σάρωσης και τα flip-flop κάνουν ανταλλαγή δεδομένων

αποκλειστικά με την συνδυαστική λογική, δηλ. λαμβάνουν τα δεδομένα από την συνδυαστική λογική και παρέχουν δεδομένα σε αυτή. Να σημειωθεί ότι στο Σχήμα 3.4 οι σκιασμένες πύλες αναφέρονται σε διαδρομές σήματος που δεν είναι ενεργές (LF_Ctrl=1).

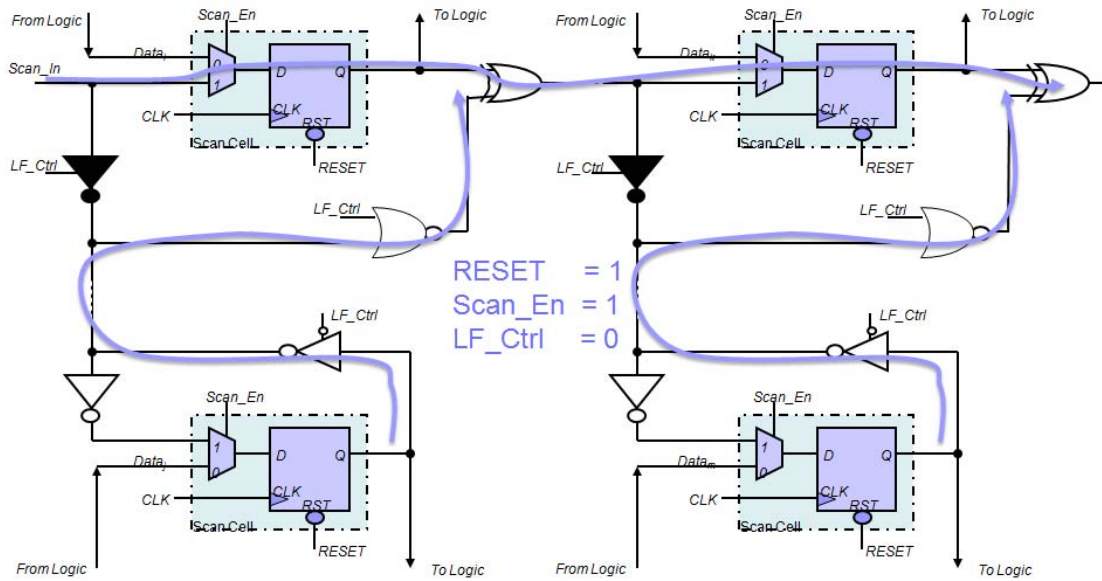
Για να βρίσκεται η προτεινόμενη αλυσίδα σάρωσης σε κανονική λειτουργία, τα σήματα RESET, Scan_En, LF_Ctrl έχουν τις τιμές 1,0,1 αντίστοιχα όπως φαίνεται στο Σχήμα 3.4.



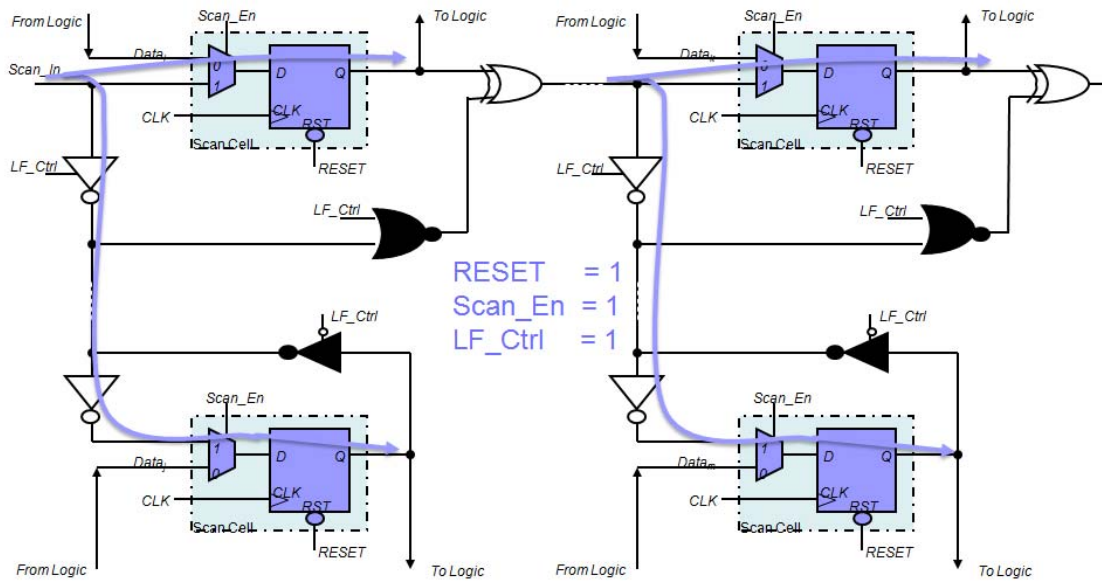
Σχήμα 3.4: Κανονική Λειτουργία

Εισαγωγή Διανύσματος ελέγχου

Τα δεδομένα ελέγχου ολισθαίνουν αρχικά στην κύρια αλυσίδα, για τις τιμές RESET=1, Scan_Sel=1 και LF_Ctrl=0 (Σχήμα3.5). Μετά τον τελευταίο κύκλο ολίσθησης, στη φάση της ενημέρωσης (update) των κελιών φύλλων, το LF_Ctrl γίνεται 1, για έναν κύκλο, για να φορτωθούν παράλληλα με τα κελιά της αλυσίδας υποστήριξης και τα κελιά φύλλα (Σχήμα 3.6).



Σχήμα 3.5: Εισαγωγή Διανύσματος Ελέγχου

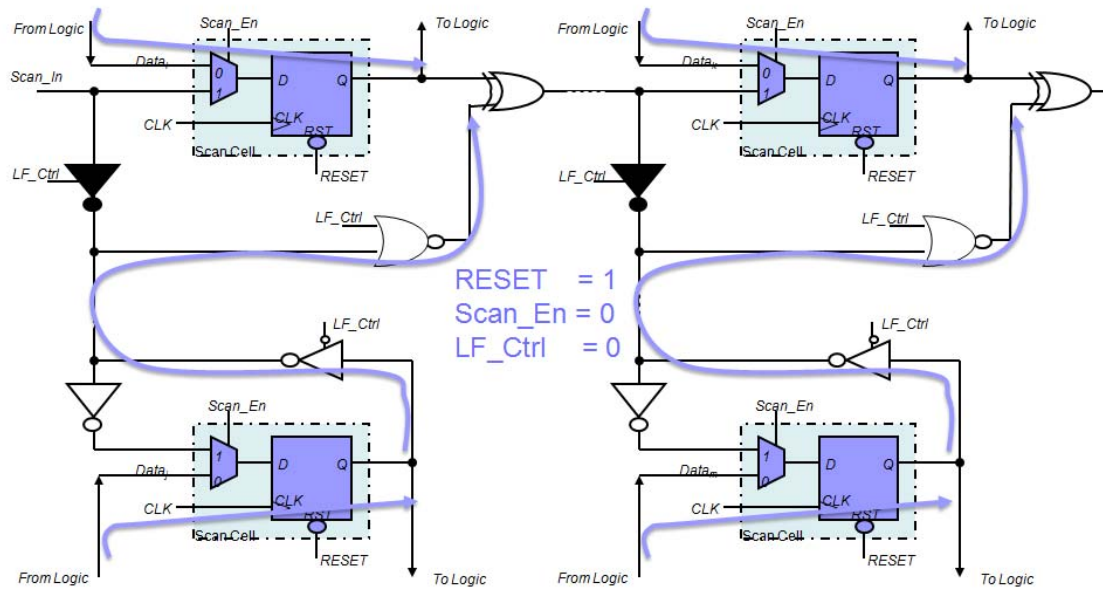


Σχήμα 3.6 : Παράλληλη Εισαγωγή τιμών στα Κελιά Φύλλα.

Δέσμευση Αποκρίσεων

Μετά την ολοκλήρωση των ολισθήσεων ακολουθεί η φάση της δέσμευσης των αντίστοιχων αποκρίσεων (capture). Οι κατάλληλες τιμές για να γίνει αυτό είναι RESET=1, Scan_Sel=0, LF_Ctrl=0. Οι αποκρίσεις που δεσμεύονται ανά ζεύγος

κελιού υποστήριξης και κελιού φύλλου δίνονται ως είσοδοι σε μια πύλη XOR η οποία τροφοδοτεί το επόμενο κελί της αλυσίδας υποστήριξης όπως φαίνεται και στο Σχήμα 3.7 ώστε να οδηγηθούν στην έξοδο της αλυσίδας.

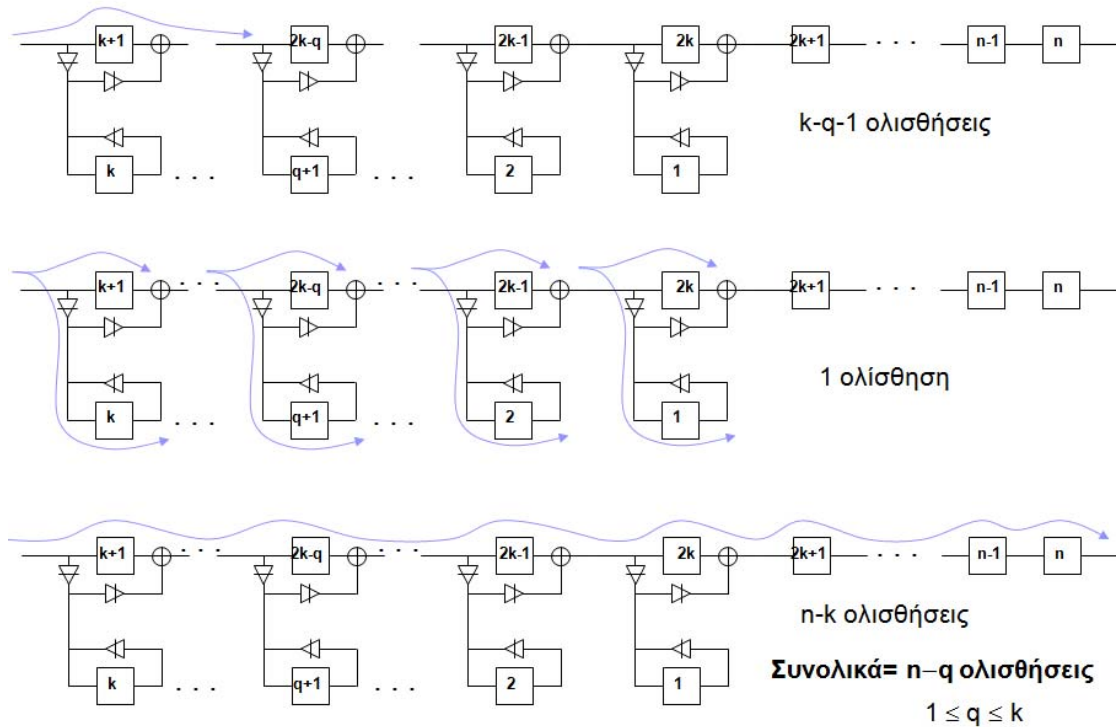


Σχήμα 3.7: Δέσμευση Αποκρίσεων

Εξαγωγή Αποκρίσεων

Με τα σήματα $RESET=1$, $Scan_Sel=1$, $LF_Ctrl=0$, γίνεται η εξαγωγή των αποκρίσεων μέσω ολίσθησης και η εισαγωγή του επόμενου διανύσματος ελέγχου (Σχήμα 3.8).

συνθήκες η λειτουργία σάρωσης της αλυσίδας χρειάζεται $(k-q-1)$ ολισθήσεις για να προωθηθούν οι τιμές για τα $(k-q-1)$ κελιά της αλυσίδας σάρωσης, ένας κύκλος για την ενημέρωση των κελιών φύλλων και $(n-k)$ ολισθήσεις για την φόρτωση της κύριας αλυσίδας σάρωσης όπως φαίνεται στο Σχήμα 3.9. Οπότε χρειάζονται συνολικά $(n-q)$ ολισθήσεις.



Σχήμα 3.9: Κύκλοι ολίσθησης για κάθε διάνυσμα ελέγχου

Το διάνυσμα ελέγχου Y που εφαρμόζεται στο κύκλωμα προσδιορίζεται από το προηγούμενο διάνυσμα απόκρισης (Z) και το επόμενο διάνυσμα εισόδου W που πρόκειται να εισαχθεί στην αλυσίδα σάρωσης. Για την εν λόγω τεχνική ο υπολογισμός αυτός χωρίζεται στις περιπτώσεις για $q=k$ και για $q < k$ και δίνεται από τους παρακάτω τύπους.

Av $q=k$

$$y_j = z_j \quad 1 \leq j \leq k$$

$$y_j = w_j \quad k < j \leq k+1$$

$$y_j = w_j \oplus (y_{2k-j+2} \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=2k-j+2}^k y_i \quad k+2 \leq j \leq 2k$$

$$y_j = w_j \oplus (y_1 \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=1}^k y_i \quad 2k+1 \leq j \leq n$$

Av $q < k$

$$y_j = z_{k+q-j+1} \oplus (z_{j+1} \oplus \dots \oplus z_{k-q+j}) = z_{k+q-j+1} \oplus \bigoplus_{i=j+1}^{k-q+j} z_i \quad 1 \leq j \leq q$$

$$y_j = w_j \oplus (z_{j+1} \oplus \dots \oplus z_k) = w_j \oplus \bigoplus_{i=j+1}^k z_i \quad q+1 \leq j \leq k-1$$

$$y_j = w_j \quad k \leq j \leq k+1$$

$$y_j = w_j \oplus (y_{2k-j+2} \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=2k-j+2}^k y_i \quad k+2 \leq j \leq 2k$$

$$y_j = w_j \oplus (y_1 \oplus \dots \oplus y_k) = w_j \oplus \bigoplus_{i=1}^k y_i \quad 2k+1 \leq j \leq n$$

[Τύποι 3.1]

Από τις παραπάνω εξισώσεις προκύπτει το διάνυσμα εισόδου W που πρέπει να εφαρμοστεί στην είσοδο της αλυσίδας σάρωσης στο υπό έλεγχο κύκλωμα, για ένα δεδομένο διάνυσμα προηγούμενων αποκρίσεων Z , αντί των διανυσμάτων Y που παρέχουν τα εργαλεία αυτόματης εξαγωγής διανυσμάτων ελέγχου ορθής λειτουργίας (automatic test pattern generation – ATPG tools), για την αρχική αλυσίδα πριν την εφαρμογή της τεχνικής. Συνεπώς τα διανύσματα που αποθηκεύονται στο σύστημα ελέγχου ορθής λειτουργίας (automatic test equipment - ATE) για να εισαχθούν στην αλυσίδα, είναι τα διανύσματα W .

3.3. Επίτευξη μείωσης του χρόνου ελέγχου

Πρωταρχικός σκοπός της προτεινόμενης τεχνικής σχεδίασης αλυσίδων σάρωσης είναι αυτός της μείωσης του χρόνου ελέγχου συγκριτικά με αυτόν που επιζητεί μια τυπική αλυσίδα σάρωσης. Αυτό επιτυγχάνεται λόγω της μείωσης των κύκλων ολίσθησης για να φορτωθούν τα δεδομένα ελέγχου και οφείλεται στην κατάλληλη αξιοποίηση των αδιάφορων όρων στα διανύσματα που εισάγονται στην αλυσίδα. Ο τρόπος με τον οποίο είναι σχεδιασμένη η αλυσίδα σάρωσης, επιτρέπει την ολίσθηση δεδομένων μέσα από τα τμήματα υποστήριξης και τυπικής αλυσίδας σάρωσης, ενώ το τμήμα των φύλλων διατηρεί τις τιμές του αμετάβλητες (εκτός ενός κύκλου), μειώνοντας τον αριθμό των κύκλων που απαιτούνται για να ολισθήσει το διάνυσμα ελέγχου και οι προηγούμενες αποκρίσεις στην αλυσίδα σάρωσης καθώς τα q δεξιότερα κελιά φύλλα που φέρουν αδιάφορες τιμές στο νέο διάνυσμα δεν φορτώνονται από την είσοδο της αλυσίδας σάρωσης. Έτσι απαιτούνται συνολικά $(n-q)$ ολισθήσεις αντί των (n) ολισθήσεων της τυπικής αλυσίδας. Οπότε υπάρχει μια μείωση κατά q ολισθήσεις ανά διάνυσμα ελέγχου που ολισθαίνει, που αθροιστικά στο σύνολο των διανυσμάτων ελέγχου των σύγχρονων κυκλωμάτων καταλήγει να είναι ένας σημαντικά μεγάλος αριθμός. Φανερά λοιπόν η αύξηση στο χρόνο ελέγχου της αλυσίδας μπορεί να αγγίξει και το 50% σε περίπτωση που ο αριθμός των αδιάφορων όρων (q) είναι ίσος με τον αριθμό των κελιών φύλλων και αυτά ίσα με το μισό του συνολικού αριθμού των κελιών (n).

Παράλληλα η προτεινόμενη τεχνική δεν επιβαρύνει με σημαντικό πρόσθετο κόστος σε επιφάνεια πυριτίου τη σύνθεση της αλυσίδας σάρωσης. Επίσης είναι φανερό ότι στατιστικά το αθροιστικό μήκος των γραμμών διασύνδεσης της νέας τοπολογίας παραμένει ίδιο με αυτό των γραμμών διασύνδεσης της τυπικής αλυσίδας.

Επιπρόσθετα, τα δεδομένα ελέγχου που αποθηκεύονται στον εξοπλισμό ελέγχου (ATE) μειώνονται κατά q -bit ανά διάνυσμα ελέγχου και κατά q -bit ανά διάνυσμα απόκρισης με αποτέλεσμα την πολύ σημαντική μείωση της μνήμης που απαιτείται για την αποθήκευση τους (test data volume reduction).

3.4. Επίτευξη χαμηλής κατανάλωσης κατά την ολίσθηση

Από την λειτουργία της προτεινόμενης αρχιτεκτονικής γίνεται φανερό ότι συμβάλλει και στην μείωση της δυναμικής κατανάλωσης ενέργειας κατά την ολίσθηση των δεδομένων ελέγχου. Κατά την εισαγωγή ενός διανύσματος ελέγχου στην αλυσίδα σάρωσης και την εξαγωγή των αποκρίσεων, τα k κελιά φύλλα της αλυσίδας παραμένουν μόνιμα παγωμένα σε δεδομένες τιμές για όλους τους κύκλους ρολογιού εκτός από ένα κύκλο ολίσθησης για την φόρτωση τους. Η μείωση στις μεταβάσεις τιμών στις εισόδους της συνδυαστικής λογικής που οδηγούνται από τα κελιά φύλλα, συνεπάγεται την μείωση της δυναμικής κατανάλωσης κατά την φάση της ολίσθησης. Επιπλέον υπάρχει και μείωση της κατανάλωσης εξαιτίας του μήκους του διανύσματος ελέγχου που φορτώνεται, που είναι μικρότερο από αυτό της τυπικής αλυσίδας. Έτσι η προτεινόμενη τεχνική πετυχαίνει μείωση της κατανάλωσης ενέργειας από τη μείωση των κελιών που συμμετέχουν στην ολίσθηση, από τη μείωση του αριθμών των ολισθήσεων και από το γεγονός ότι τα κελιά που δεν συμμετέχουν παραμένουν παγωμένα σε μια συγκεκριμένη τιμή εκτός από έναν κύκλο. Όπως στον χρόνο ελέγχου έτσι και στην κατανάλωση ενέργειας σημαντικό ρόλο για την συγκεκριμένη τεχνική παίζει η ύπαρξη των αδιάφορων όρων στα διανύσματα ελέγχου που εφαρμόζονται σε ένα κύκλωμα υπό έλεγχο.

Στην πράξη θα περίμενε κανείς ότι τα k κελιά φύλλα της αλυσίδας, που παραμένουν καθ' όλη την διάρκεια παγωμένα σε δεδομένες τιμές, θα επηρεάζουν αρνητικά τις εναλλαγές τιμών των κελιών του τμήματος της αλυσίδας σάρωσης υποστήριξης, λόγω της μεταξύ τους σύνδεσης με XOR πύλες. Στατιστικά είναι αναμενόμενο ότι οι εναλλαγές τιμών που οφείλονται στα κελιά φύλλα στην προτεινόμενη αλυσίδα σάρωσης δεν διαφέρουν σε αριθμό από τις εναλλαγές τιμών που εμφανίζονται στο αντίστοιχο τμήμα της τυπικής αλυσίδας σάρωσης. Αυτό αποδείχθηκε όπως θα δούμε σε επόμενο κεφάλαιο και πειραματικά. Έτσι στην προτεινόμενη τεχνική η μείωση του αριθμού των μεταβάσεων προέρχεται πρώτον από το τμήμα που αποτελείται από τα κελιά φύλλα στα οποία δεν ολισθαίνουν τιμές, παρά μόνο για έναν κύκλο στον οποίο ενημερώνονται με νέες τιμές και δεύτερον από το γεγονός ότι το εισερχόμενο διάνυσμα ελέγχου στην προτεινόμενη τεχνική έχει μικρότερο μήκος λόγω της ύπαρξης των αδιάφορων όρων (q). Το κέρδος στην πρώτη περίπτωση προκύπτει από

το γεγονός ότι μόνο $(n-k)$ από τα n κελιά μπορούν να επιφέρουν μεταβάσεις στις εισόδους της συνδυαστικής λογικής συγκριτικά με τα n κελιά της τυπικής αλυσίδας. Στη δεύτερη περίπτωση, στην τυπική αλυσίδα μήκους (n) , απαιτούνται n κύκλοι για την ολίσθηση ενός διανύσματος ελέγχου, ενώ στην προτεινόμενη τεχνική απαιτούνται μόλις $(n-q)$ κύκλοι.

Έτσι η προτεινόμενη τεχνική πετυχαίνει κέρδος στην κατανάλωση ενέργειας κατά την ολίσθηση των δεδομένων ελέγχου στην αλυσίδα σάρωσης, που είναι ανάλογο του μεγέθους των αδιάφορων όρων (q) και του αριθμού των κελιών φύλλων (k) που έχουν επιλεχτεί για την αναδίπλωση της αλυσίδας.

Για να εξακριβωθεί η μείωση της κατανάλωσης ενέργειας, ακολουθεί ανάλυση του τρόπου με τον οποίο ολισθαίνουν οι τιμές στην προτεινόμενη αλυσίδα.

3.4.1. Υπολογισμός διανύσματος εισόδου

Ακολουθώντας τους τύπους 3.1, υπολογίζεται το νέο διάνυσμα ελέγχου W , που πρέπει να εισαχθεί στην αλυσίδα σάρωσης, ώστε να εφαρμοστεί στο κύκλωμα με το αντίστοιχο διάνυσμα Y που εφαρμόζεται στην τυπική αλυσίδα σάρωσης. Το διάνυσμα ελέγχου Y που θα εφαρμοστεί στο κύκλωμα κατά τον έλεγχο ορθής λειτουργίας, συσχετίζεται με το διάνυσμα Z της υπάρχουσας απόκρισης στην αλυσίδα και το διάνυσμα εισόδου W σύμφωνα με τους ανωτέρω τύπους. Τα διανύσματα Y , Z είναι γνωστά αφού το πρώτο δίνεται από εργαλεία αυτόματης εξαγωγής διανυσμάτων ελέγχου ορθής λειτουργίας, ενώ το δεύτερο το δίνει ένας προσομοιωτής που έχει ως είσοδο τα διανύσματα ελέγχου. Επιλύοντας τις εξισώσεις ως προς W , για ένα δεδομένο διάνυσμα ελέγχου Y που επιθυμούμε να εφαρμοστεί στο υπό έλεγχο κύκλωμα και ένα δεδομένο διάνυσμα προηγούμενης απόκρισης Z , είναι εύκολο να προσδιοριστεί το διάνυσμα εισόδου W που πρέπει να εισαχθεί στην αλυσίδα σάρωσης της προτεινόμενης τεχνικής. Ακολουθεί ένα παράδειγμα για την περίπτωση που $q < k$.

Παράδειγμα 3.1 : Έστω ότι γίνεται χρήση αλυσίδας με $n=10$ κελιά σάρωσης στα οποία συμπεριλαμβάνονται $q=1$ αδιάφοροι όροι και με $k=3$ κελιά φύλλα. Οι τύποι

που θα χρησιμοποιηθούν για την εύρεση του νέου διανύσματος ελέγχου Y είναι αυτοί για την περίπτωση που $q < k$.

$$y_1 = z_4 \oplus (z_2 \oplus z_3)$$

$$y_2 = w_2 \oplus (z_3)$$

$$y_3 = w_3$$

$$y_4 = w_4$$

$$y_5 = w_5 \oplus (y_3)$$

$$y_6 = w_6 \oplus (y_2 \oplus y_3)$$

$$y_7 = w_7 \oplus (y_1 \oplus y_2 \oplus y_3)$$

$$y_8 = w_8 \oplus (y_1 \oplus y_2 \oplus y_3)$$

$$y_9 = w_9 \oplus (y_1 \oplus y_2 \oplus y_3)$$

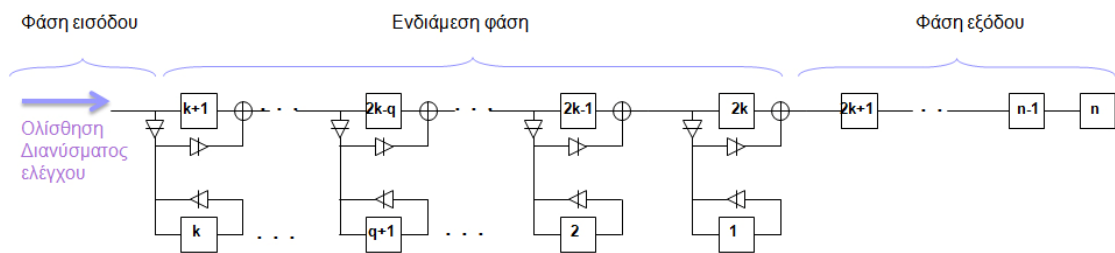
$$y_{10} = w_{10} \oplus (y_1 \oplus y_2 \oplus y_3)$$

Επιλύοντας τις παραπάνω εξισώσεις ως προς το W , για δεδομένο διάνυσμα αποκρίσεων $Z=1011110100$ και δεδομένο το διάνυσμα $Y=X110001101$ που εφαρμόζεται στην τυπική αλυσίδα σάρωσης, παίρνουμε το διάνυσμα $W=X010101101$ που πρέπει να εισάγουμε στην αλυσίδα της προτεινόμενης τεχνικής.

3.4.2. Υπολογισμός αριθμού μεταβάσεων

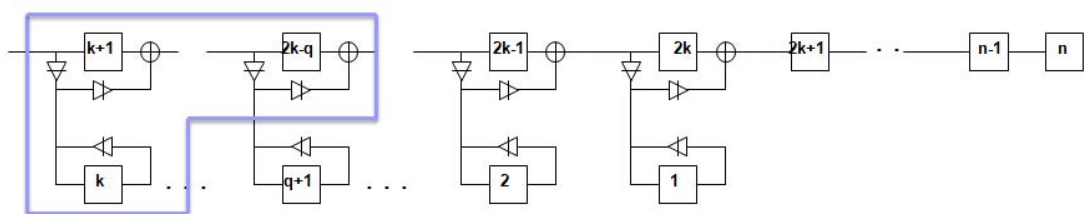
Η ολίσθηση των διανυσμάτων εισόδου W και των σχετικών διανυσμάτων απόκρισης Z στην αλυσίδα σάρωσης, προκαλεί μεταβάσεις στις εισόδους της συνδυαστικής λογικής. Για τον υπολογισμό των μεταβάσεων η διαδικασία χωρίζεται σε τρεις φάσεις: τη φάση εισόδου, την ενδιάμεση φάση και τη φάση εξόδου (Σχήμα 3.10). Η φάση εισόδου αντιστοιχεί στις μεταβάσεις που προκαλεί η ολίσθηση του διανύσματος ελέγχου στην αλυσίδα ενώ η φάση εξόδου στις μεταβάσεις που προκαλούνται κατά την ολίσθηση εκτός της αλυσίδας των αποκρίσεων του προηγούμενου διανύσματος

ελέγχου. Τέλος οι μεταβάσεις στην ενδιάμεση φάση αναφέρονται στις εναλλαγές τιμών που προκαλούνται κατά την είσοδο του διανύσματος ελέγχου και την έξοδο των αποκρίσεων στις πύλες XOR των ζευγών από κελιά της αλυσίδας υποστήριξης και της αλυσίδας φύλλων.



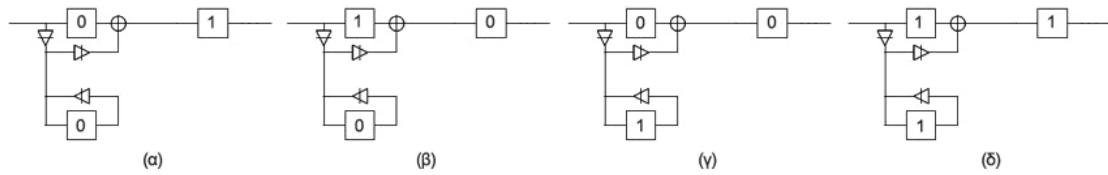
Σχήμα 3.10: Μελέτη μεταβάσεων προτεινόμενης τεχνικής (σε 3 φάσεις)

Για την μελέτη της ενδιάμεσης φάσης πρέπει να αναλυθεί η έννοια της τριπλέτας. Με τον όρο τριπλέτα ονομάζουμε τα ζεύγος των flip flop που συνδέονται με την XOR πύλη μεταξύ της αλυσίδας σάρωσης υποστήριξης και των κελιών φύλλων καθώς και του αμέσως επόμενου flip flop στην αλυσίδα σάρωσης υποστήριξης όπως φαίνεται στο παράδειγμα του Σχήματος 3.11.



Σχήμα 3.11: Παράδειγμα τριπλέτας

Ορίζουμε ως κακό σενάριο τριπλέτας την περίπτωση εκείνη όπου οι υπάρχουσες καταστάσεις των flip flop οδηγούν στην αμέσως επόμενη ολίσθηση στην εμφάνιση μετάβασης στο δεξιότερο flip flop της τριπλέτας σύμφωνα με τις τέσσερις περιπτώσεις του Σχήματος 3.12.



Σχήμα 3.12: Περιπτώσεις κακού σεναρίου τριπλέτας

Σύμφωνα με τους τύπους 2.2 υπολογίζονται οι μεταβάσεις της προτεινόμενης τεχνικής για την φάση εισόδου και εξόδου. Στην ενδιάμεση φάση, αποδεικνύεται ότι από τη στιγμή που θα εμφανιστεί ένα κακό σενάριο τριπλέτας στην αριστερότερη τριπλέτα της αλυσίδας, τότε η σχετική τιμή που θα προκύψει από την XOR πύλη θα προκαλέσει μεταβάσεις τιμών σε όλα τα p flip-flop που ακολουθούν στο τμήμα της αλυσίδας σάρωσης υποστήριξης κατά την ολίσθησή της σε αυτό τους επόμενους p κύκλους του ρολογιού.

Στηριζόμενοι στην ανωτέρω ανάλυση, προκύπτει ένας τελικός τύπος υπολογισμού των μεταβάσεων της προτεινόμενης τεχνικής σε όλες τις περιπτώσεις.

Εάν $q=k$

$\begin{aligned} \text{Αριθμός Μεταβάσεων} &= \text{Μεταβάσεις διανύσματος εισόδου} \\ &+ \\ &\text{Μεταβάσεις διανύσματος εξόδου} \\ &= \\ &\Sigma (\text{μήκος αλυσίδας} - \text{θέση της μετάβασης}) + \Sigma (\text{θέση της μετάβασης}) \end{aligned}$

Εάν $0 \leq q < k$

$$\begin{aligned}
 \text{Αριθμός Μεταβάσεων} &= \text{Μεταβάσεις διανύσματος εισόδου και εξόδου για } s1 \text{ κύκλους} \\
 &+ \\
 &\text{Μεταβάσεις διανύσματος εισόδου και εξόδου για } s2 \text{ κύκλους} \\
 &= \\
 &(\text{Μεταβάσεις διανύσματος εισόδου για } s1 \text{ κύκλους} + \text{Μεταβάσεις διανύσματος} \\
 &\text{απόκρισης για } s1 \text{ κύκλους} + \text{Μεταβάσεις για την ενημέρωση των κελιών φύλλων}) \\
 &+ \\
 &(\text{Μεταβάσεις διανύσματος εισόδου για } s2 \text{ κύκλους} + \text{Μεταβάσεις διανύσματος} \\
 &\text{εξόδου για } s2 \text{ κύκλους}) \\
 &= \\
 &(\sum (s1 - \text{θέση της μετάβασης}) + \sum (Mi) + \text{Μεταβάσεις για την ενημέρωση των} \\
 &\text{κελιών φύλλων}) \\
 &+ \\
 &(\sum (s2 - \text{θέση της μετάβασης}) + \sum (\text{θέση της μετάβασης}))
 \end{aligned}$$

[Τύπος 3.2]

όπου $s1 = (k-q)$ κύκλους για την ενημέρωση των κελιών φύλλων και $s2 = (n-k)$ κύκλους για την ενημέρωση της κύριας αλυσίδας σάρωσης. Ο υπολογισμός των μεταβάσεων $\sum (Mi)$ του διανύσματος απόκρισης της κύριας αλυσίδας για τους $s1$ αρχικούς κύκλους γίνεται ως ακολούθως, εάν Ti είναι η θέση της μετάβασης στο διάνυσμα απόκρισης τότε:

- $Mi = s1$ εάν $Ti > s1$
- $Mi = Ti$, εάν $Ti \leq s1$

Για τον υπολογισμό του αριθμού των συνολικών μεταβάσεων προστίθενται και ένας επιπλέον αριθμός μεταβάσεων, η λεγόμενη διεπαφή (interface), μόνο στην περίπτωση που το bit που εισάγεται στην αλυσίδα σάρωσης είναι διαφορετικό από το πρώτο bit του διανύσματος απόκρισης. Η διεπαφή είναι ίση με το μήκος της αλυσίδας για την περίπτωση που το $q=k$, ενώ παίρνει τιμή ίση με το $s1$ ή $s2$ για την περίπτωση που το $0 \leq q < k$.

Προφανώς, στα διανύσματα εισόδου όπου τα πρώτα q bit είναι αδιάφοροι όροι, αυτοί δεν λαμβάνονται υπόψη. Εδώ, η αρίθμηση ξεκινάει από τον πρώτο μη αδιάφορο όρο που εισάγεται στο κύκλωμα. Στο διάνυσμα αποκρίσεων η αρίθμηση ξεκινάει από το δεξιότερο κελί σάρωσης της κύριας αλυσίδας, που αντιστοιχεί στο n -οστό κελί

σάρωσης. Ακολουθούν δύο παράδειγμα επεξήγησης της αρίθμησης και του υπολογισμού των μεταβάσεων σύμφωνα με τον τύπο 3.2.

Παράδειγμα 3.2 Το παράδειγμα χρησιμοποιεί αλυσίδα μήκους $n=10$ κελιών σάρωσης με $k=3$ κελιά φύλλα και $q=1$ αδιάφορους όρους. Γίνεται χρήση του διανύσματος εισόδου που υπολογίστηκε παραπάνω μέσω αιτιοκρατικού ελέγχου επομένως για $W=X010101101$ με διάνυσμα απόκρισης $Z=1011110100$ όπως φαίνεται στο Σχήμα 3.13.

Στην περίπτωση αυτή έχουμε $0 < q < k$ και επομένως για την εφαρμογή του διανύσματος ελέγχου πρέπει να γίνουν αρχικά $(n-q-1)$ ολισθήσεις, να ακολουθήσει μία ολίσθηση για τη φόρτωση των κελιών φύλλων και τέλος οι υπόλοιπες $(n-k)$ ολισθήσεις, σύμφωνα με όσα αναφέραμε νωρίτερα για τη λειτουργία της αλυσίδας. Έτσι για τον υπολογισμό των μεταβάσεων χρησιμοποιείται μια αρχική αρίθμηση των τμημάτων για τη φάση πριν την ενημέρωση των κελιών φύλλων και μια δεύτερη αρίθμηση έπειτα από την ενημέρωση των κελιών φύλλων.

Σύμφωνα με τον αιτιοκρατικό έλεγχο για το διάνυσμα του παραδείγματος χρειάζονται συνολικά 1 αρχική ολίσθηση, 1 ενημέρωση και 7 ακόμη ολισθήσεις. Ο συνολικός αριθμός των μεταβάσεων υπολογίζεται σε δύο φάσεις: την Α φάση που περιλαμβάνει την αρχική ολίσθηση και την ενημέρωση και τη Β φάση που περιλαμβάνει τις επόμενες 7 ολισθήσεις. Έτσι ο συνολικός αριθμός μεταβάσεων προκύπτει από το άθροισμα των μεταβάσεων που προκύπτουν από τις ολισθήσεις των $(k-q)$ κελιών και τις ολισθήσεις των $(n-k)$ κελιών όπως φαίνεται ακολούθως:

$$\begin{aligned} \text{Αριθμός Μεταβάσεων} &= \\ &\text{Μεταβάσεις διανύσματος εισόδου και εξόδου για } s1 \text{ κύκλους} + \\ &\text{Μεταβάσεις διανύσματος εισόδου και εξόδου για } s2 \text{ κύκλους} \\ &= \text{«Μεταβάσεις Α φάσης»} + \text{«Μεταβάσεις Β φάσης»} \end{aligned}$$

$$\text{Για } s1 = k - q = 2$$

$$\text{«Μεταβάσεις Α φάσης»} =$$

$\sum (s_1 - \text{θέση της μετάβασης}) + \sum_i (M_i) + \text{Μεταβάσεις για την ενημέρωση των κελιών φύλλων} + \text{διεπαφή}$

όπου

$$\sum (s_1 - \text{θέση της μετάβασης}) = (2-1) = 1$$

$$\sum_i (M_i) = 2 + 2 + 2 = 6$$

Μεταβάσεις για την ενημέρωση των κελιών φύλλων = 2

Διεπαφή = 0

Έτσι προκύπτει ότι «Μεταβάσεις A φάσης» = 9

Για $s_2 = n-k = 7$

«Μεταβάσεις B φάσης» =

$\sum (s_2 - \text{θέση της μετάβασης}) + \sum (\text{θέση της μετάβασης}) + \text{διεπαφή}$

όπου

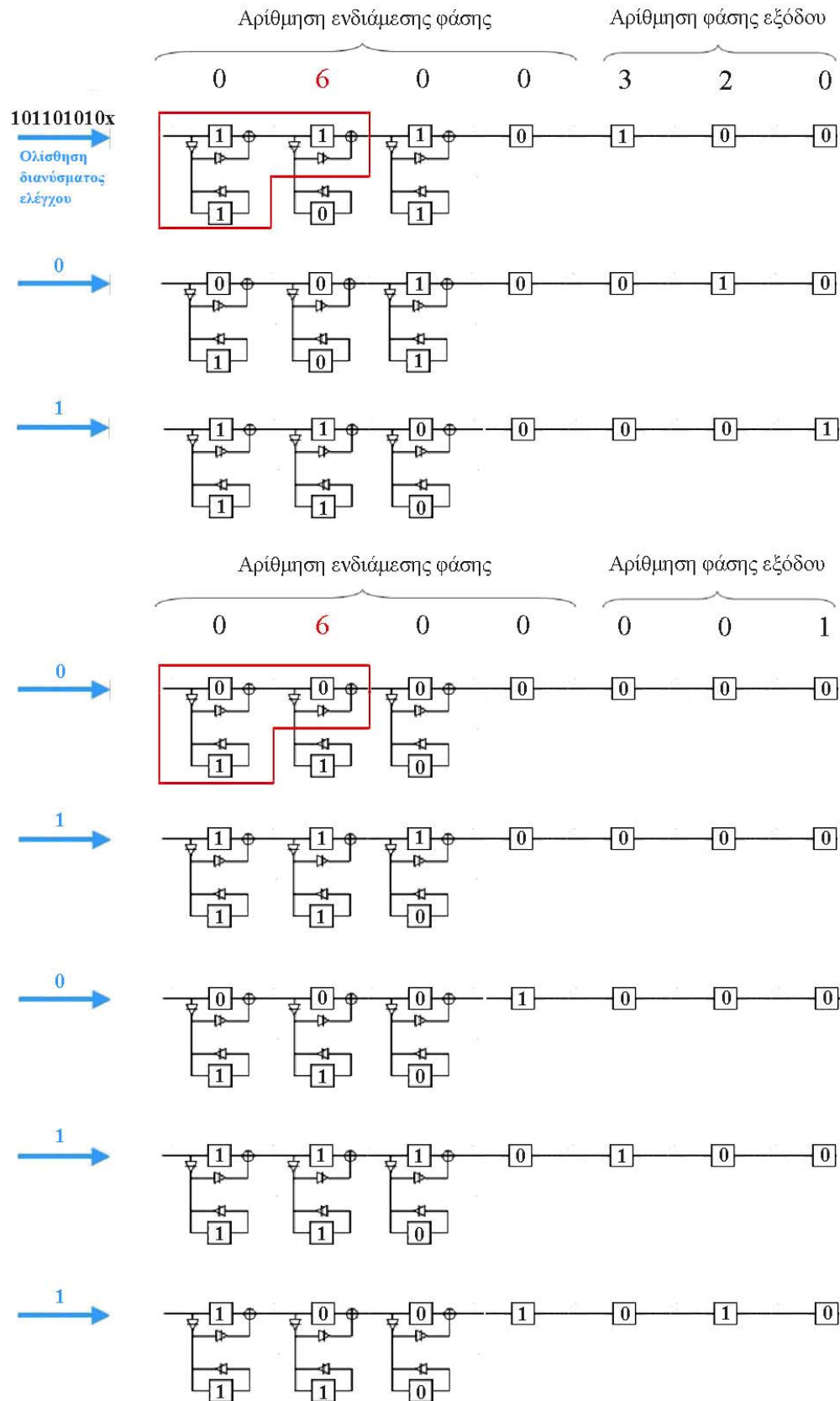
$$\sum (s_2 - \text{θέση της μετάβασης}) = (7-6) + (7-5) + (7-3) + (7-2) + (7-1) = 18$$

$$\sum (\text{θέση της μετάβασης}) = 6 + 1 = 7$$

Διεπαφή = 7

Έτσι προκύπτει ότι οι «Μεταβάσεις B φάσης» = 32

Έτσι ο συνολικός αριθμός μεταβάσεων στο τέλος της ολίσθησης του διανύσματος ελέγχου είναι το άθροισμα της A και της B φάσης και ίσο με 41 μεταβάσεις.



Σχήμα 3.13: ολίσθηση διανύσματος ελέγχου παραδείγματος 3.2

Παράδειγμα 3.3 Το παράδειγμα χρησιμοποιεί αλυσίδα μήκους $n=10$ κελιών σάρωσης με $k=3$ κελιά φύλλα και $q=3$ αδιάφορους όρους. Γίνεται χρήση του διανύσματος εισόδου που υπολογίστηκε παραπάνω μέσω αιτιοκρατικού ελέγχου επομένως για $W=XXX0101101$ με διάνυσμα απόκρισης $Z=0110111001$, όπως φαίνεται στο Σχήμα 3.14.

Στην περίπτωση αυτή έχουμε $q=k$ επομένως για την εφαρμογή του διανύσματος ελέγχου πρέπει να γίνουν $(n-k)$ ολισθήσεις. Έτσι για τον υπολογισμό των μεταβάσεων χρησιμοποιείται μια μόνο αρίθμηση των τμημάτων στην αρχή αφού δεν γίνεται ενημέρωση με νέες τιμές των κελιών φύλλων. Για το διάνυσμα του παραδείγματος χρειάζονται συνολικά 7 ολισθήσεις. Ο συνολικός αριθμός των μεταβάσεων περιλαμβάνει τις ολισθήσεις από την είσοδο του διανύσματος εισόδου και τις ολισθήσεις από την έξοδο των αποκρίσεων όπως φαίνεται παρακάτω:

Αριθμός Μεταβάσεων

$$= \sum (\text{μήκος αλυσίδας} - \text{θέση της μετάβασης}) + \sum (\text{θέση της μετάβασης}) + \text{διεπαφή}$$

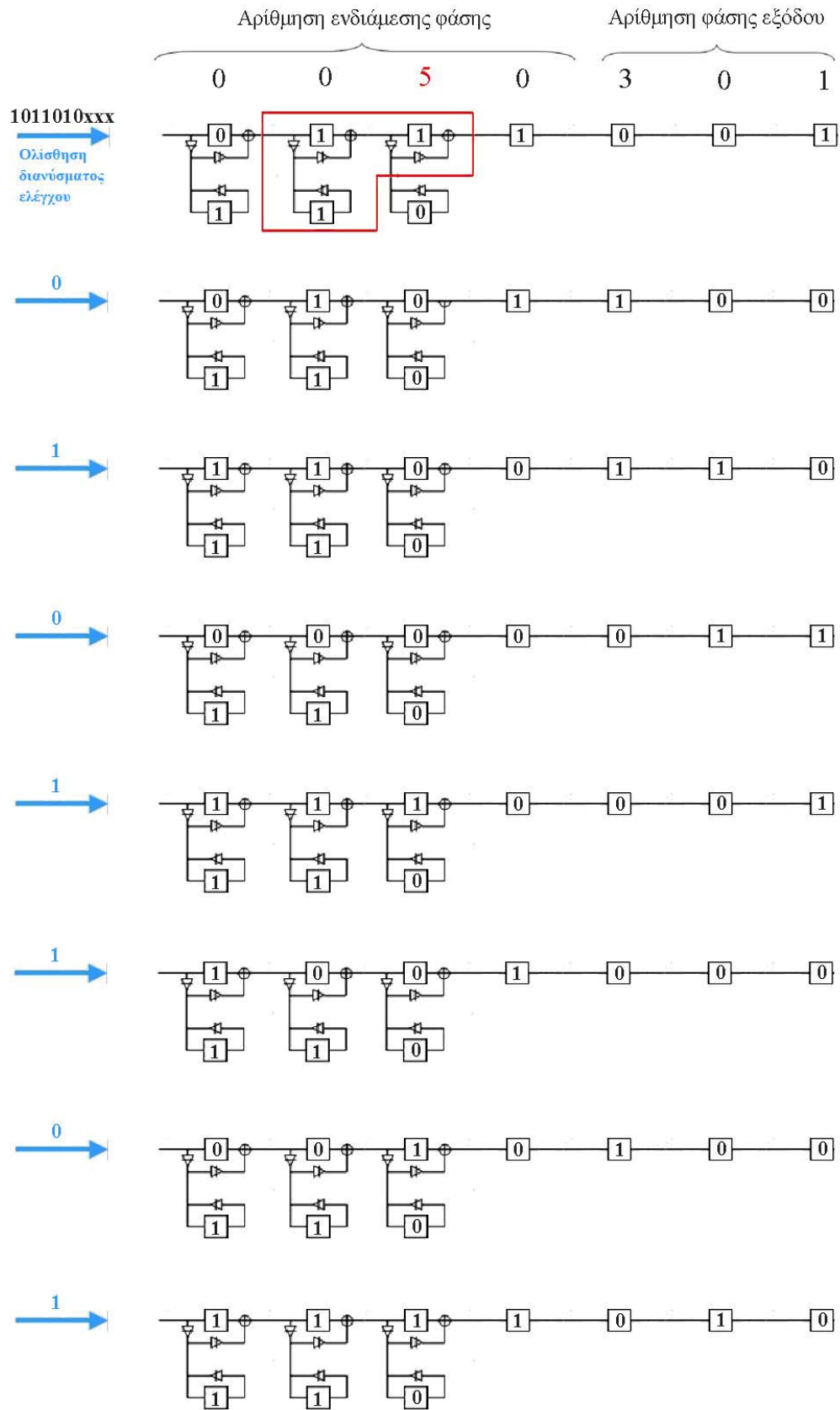
Το μήκος της αλυσίδας δίνεται από το $s = n - k = 7$

$$\sum (\text{μήκος αλυσίδας} - \text{θέση της μετάβασης}) = (7-6) + (7-5) + (7-3) + (7-2) + (7-1) = 18$$

$$\sum (\text{θέση της μετάβασης}) = 5 + 3 + 1 = 9$$

$$\text{Διεπαφή} = 0$$

Έτσι ο συνολικός αριθμός μεταβάσεων στο τέλος της ολίσθησης του διανύσματος ελέγχου στην αλυσίδα σάρωσης είναι ίσος με 27 μεταβάσεις.

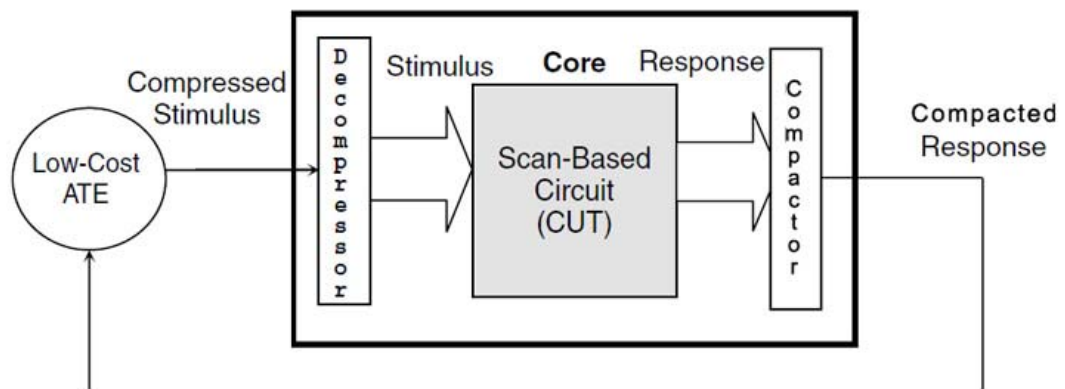


Σχήμα 3.14: ολίσθηση διανύσματος ελέγχου παραδείγματος 3.3

3.5. Κάλυψη σφαλμάτων στην προτεινόμενη τεχνική

Με τη χρήση των αλυσίδων σάρωσης η ανίχνευση των σφαλμάτων επιτυγχάνεται με τον εντοπισμό των λανθασμένων αποκρίσεων της λογικής στα flip-flop της αλυσίδας. Εν συγκρίσει με την τυπική αλυσίδα σάρωσης, στην προτεινόμενη αλυσίδα σάρωσης πραγματοποιείται εσωτερικά στις XOR πύλες συμπίεση των αποκρίσεων η οποία μπορεί να οδηγήσει σε φαινόμενα απόκρυψης σφάλματος (aliasing / masking) στην περίπτωση που στις αποκρίσεις ενός ζεύγους κελιού υποστήριξης και κελιού φύλου έχουν συλληφθεί ταυτόχρονα λανθασμένες τιμές. Το πρόβλημα αυτό δεν απαντάται μόνο στη συγκεκριμένη τεχνική καθώς XOR πύλες υπάρχουν και στην έξοδο των αλυσίδων σάρωσης για τη συμπίεση των αποκρίσεων όπως φαίνεται στο Σχήμα 3.15.

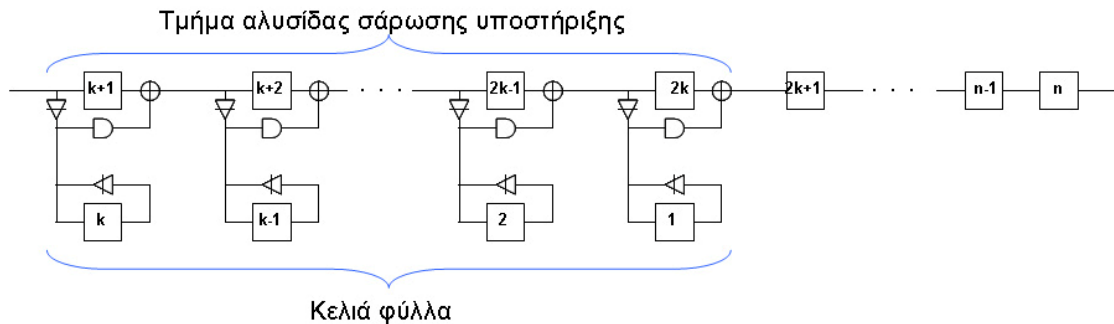
Είναι φανερό πως αν υπάρχει μόνο μία λανθασμένη απόκριση, ανεξαρτήτως αν αυτή είναι στα κελιά φύλλα ή στην αλυσίδα υποστήριξης, πάντα μια λανθασμένη (μη αναμενόμενη) τιμή θα εμφανιστεί στην έξοδο της αλυσίδας.



Σχήμα 3.15: Αρχιτεκτονική για συμπίεση δεδομένων [9]

Ακολουθώς παρέχετε η απαραίτητη ανάλυση για τον υπολογισμό της πιθανότητας απόκρυψης λάθους (aliasing) με την προτεινόμενη σχεδιαστική τεχνική. Ο κίνδυνος απόκρυψης σφάλματος αναμένεται στο ενδιάμεσο τμήμα της αλυσίδας σάρωσης, δηλαδή στο τμήμα της αλυσίδας σάρωσης υποστήριξης με τα κελιά φύλλα (βλ Σχήμα 3.16). Αν μελετηθεί το σχετικό πρόβλημα σε δύο συνεχόμενα ζεύγη από κελιά των

αλυσίδων σάρωσης υποστήριξης και κελιών φύλλων τότε μπορούν να καλυφθούν όλες οι δυνατές περιπτώσεις. Έτσι, αν δοθεί λύση για προβλήματα σε συνεχόμενα ζεύγη τότε μπορεί να δοθεί λύση για κάθε περίπτωση στην προτεινόμενη αλυσίδα. Ακολούθως μελετούνται όλοι οι πιθανοί συνδυασμοί για ένα, δύο, τρία ή τέσσερα λάθη σε συνεχόμενα ζεύγη.

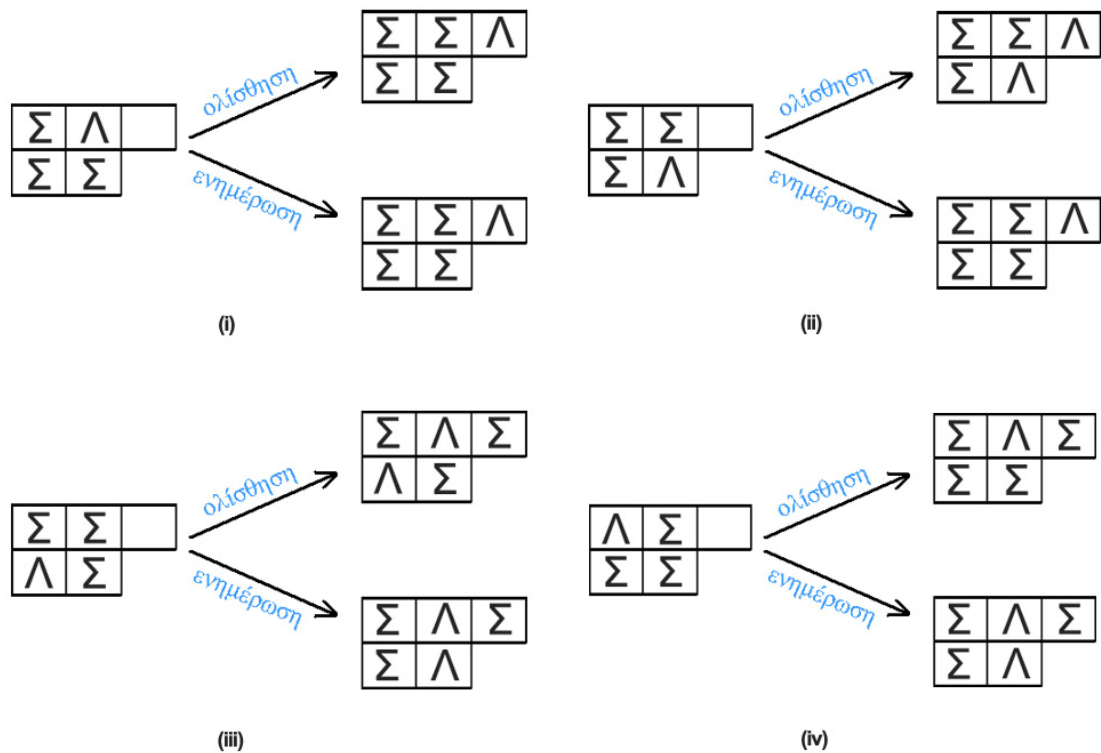


Σχήμα 3.16: Τμήμα αλυσίδας σάρωσης υποστήριξης και τμήμα κελιών φύλλων της αλυσίδας σάρωσης

Περίπτωση εμφάνισης ενός λάθους

Αρχικά γίνεται ο έλεγχος των τεσσάρων συνδυασμών για την περίπτωση που εμφανιστεί ένα λάθος στην αλυσίδα σάρωσης (βλ. Σχήμα 3.17). Τα βελάκια της ολίσθησης και της ενημέρωσης αντιστοιχούν στις δυνατές επόμενες καταστάσεις ενός ζεύγους κελιών υποστήριξης-φύλλου και του επόμενου κελιού στην κύρια αλυσίδα, σύμφωνα με τον τρόπο με τον οποίο γίνεται ο έλεγχος στην προτεινόμενη αρχιτεκτονική. Με την ολίσθηση τα κελιά φύλλα παραμένουν σταθερά στις προηγούμενες τιμές ενώ με την ενημέρωση τα κελιά φύλλα φορτώνονται με νέες τιμές ώστε να προκύψει μια νέα κατάσταση. Στις περιπτώσεις (i) και (ii) ένα λάθος πάντοτε διαδίδεται στο επόμενο κελί της κύριας αλυσίδας και συνεπώς στην κύρια έξοδο. Στις περιπτώσεις (iii) και (iv) και πάλι το λάθος διαδίδεται καθώς ανάγεται σε περιπτώσεις που θα ερευνηθούν ακολούθως. Συγκεκριμένα η (iii) ανάγεται στο σχήμα 3.18(vi) για αυτό που έχει προκύψει από την ολίσθηση και στο σχήμα 3.18(iii) για αυτό που έχει προκύψει από την ενημέρωση. Ενώ η (iv) ανάγεται στο σχήμα 3.17(i) για αυτό που έχει προκύψει από την ολίσθηση και στο σχήμα 3.18(iii) για

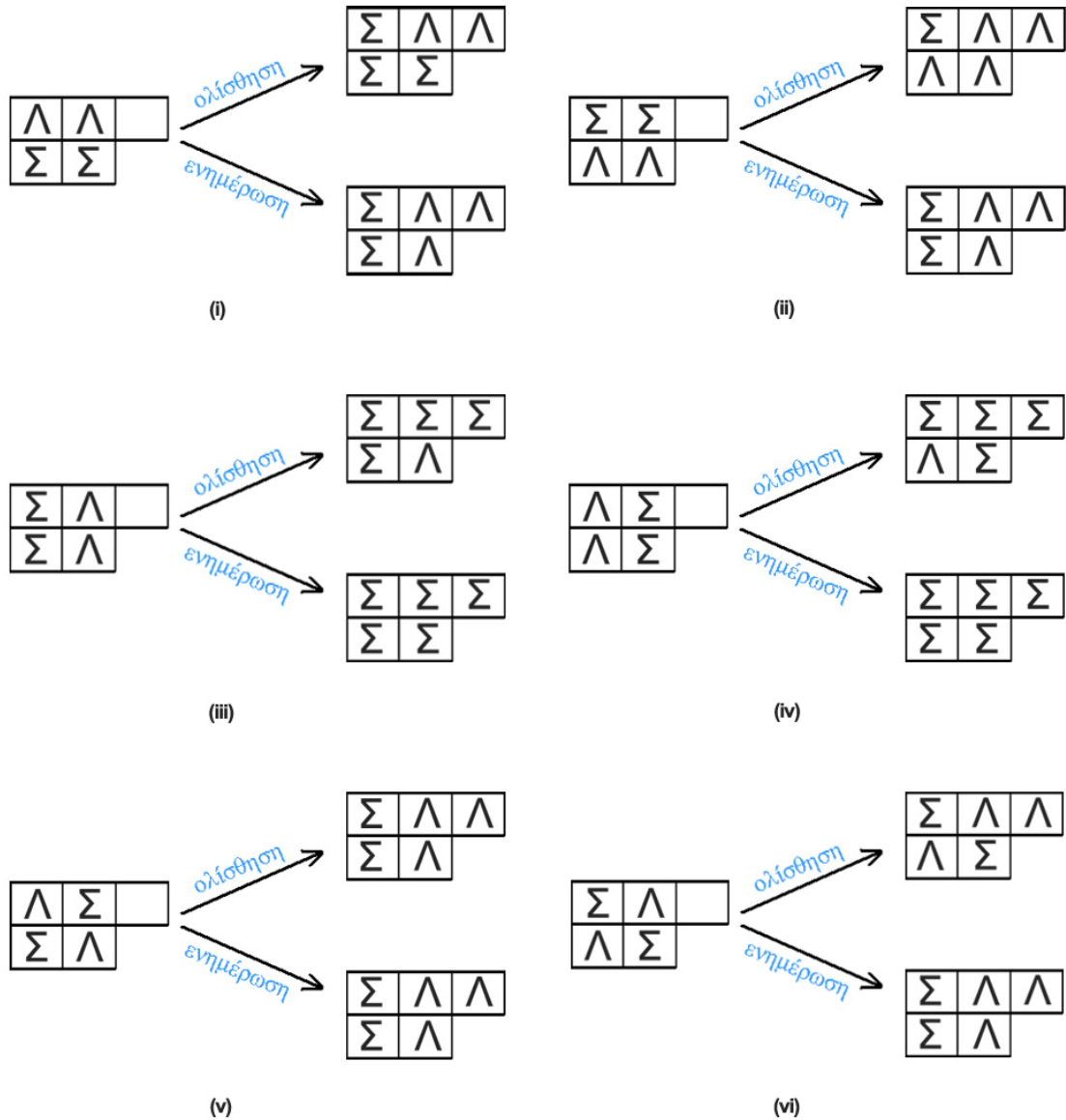
αυτό που έχει προκύψει από την ενημέρωση. Μάλιστα και οι δύο περιπτώσεις που ανάγονται στο σχήμα 3.18(iii) καλύπτονται πλήρως γιατί έχουν ήδη ενημερωθεί τα κελιά φύλλα με νέες τιμές και δεν χρειάζεται να ενημερωθούν ξανά.



Σχήμα 3.17: Περίπτωση εμφάνισης ενός λάθους

Περίπτωση εμφάνισης δύο λαθών

Ακολουθεί ο έλεγχος των δύο ζευγών για την περίπτωση που προκύψουν δύο λάθη στην αλυσίδα σάρωσης (Σχήμα 3.18). Σε αυτή την περίπτωση υπάρχει δυνατότητα απόκρυψης σφάλματος. Η απόκρυψη πραγματοποιείται μόνο στην περίπτωση που υπάρξει ενημέρωση των κελιών φύλλων. Διακρίνεται καθαρά ότι στις περιπτώσεις (iii) και (iv) την στιγμή που γίνεται ενημέρωση, το λάθος χάνεται και δεν διαδίδεται στο επόμενο κελί της κύρια αλυσίδας με αποτέλεσμα να μη φτάσει ποτέ στην έξοδο του κυκλώματος. Για τις ίδιες περιπτώσεις όμως αν γίνει αρχικά ολίσθηση το λάθος αποκαλύπτεται λόγω αναγωγής στο Σχήμα 3.17(ii) και 3.17(iii) αντίστοιχα.

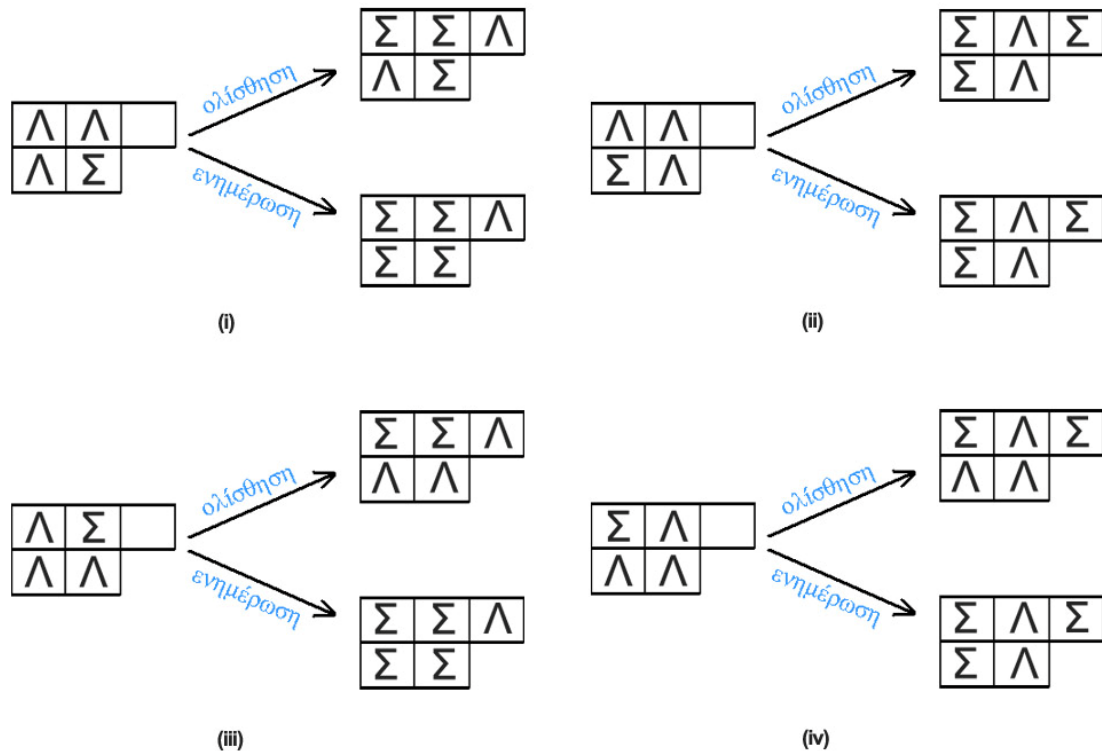


Σχήμα 3.18: Περίπτωση εμφάνισης δύο λαθών

Περίπτωση εμφάνισης τριών λαθών

Ακολουθώς, μελετάμε την περίπτωση των τεσσάρων συνδυασμών για την περίπτωση που προκύπτουν τρία λάθη στην αλυσίδα σάρωσης (Σχήμα 3.19). Πρόβλημα προκύπτει μόνο στις περιπτώσεις που στο ζεύγος λάθους προηγείται ακόμη ένα λάθος ανεξάρτητα εάν αυτό βρίσκεται στην τυπική αλυσίδα ή στα κελιά. Συγκεκριμένα στις περιπτώσεις 3.19(ii) και 3.19(iv) την στιγμή που γίνεται ολίσθηση το λάθος χάνεται για συγκεκριμένες περιπτώσεις, αφού ανάγονται στο σχήμα 3.18(iii), από το οποίο διακρίνεται καθαρά ότι σε περίπτωση ενημέρωσης το λάθος αποκρύβεται. Ενώ για τις

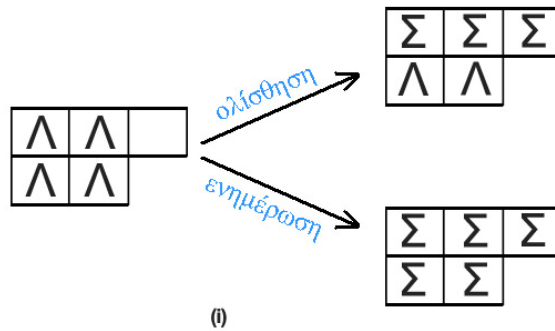
ίδιες περιπτώσεις η ενημέρωση δεν αντιμετωπίζει πρόβλημα γιατί ενώ ανάγεται πάλι στο σχήμα 3.18(iii), έχει εξασφαλιστεί ότι δεν μπορεί να κάνει άλλη ενημέρωση. Αυτό λόγω της αρχιτεκτονικής της προτεινόμενης τεχνικής όπου η ενημέρωση γίνεται μόνο για έναν κύκλο και εδώ η αναγωγή ακολουθεί της ενημέρωσης, όπου η 3.18(iii) εξασφαλίζει την διάδοση λάθους για την φάση της ολίσθησης



Σχήμα 3.19: Περίπτωση εμφάνισης τριών λαθών

Περίπτωση εμφάνισης τεσσάρων λαθών

Τέλος για την περίπτωση που και τα τέσσερα κελιά της αλυσίδας σάρωσης φέρουν λάθη έχουμε την εικόνα του Σχήματος 3.20. Παρουσιάζεται απόκρυψη λάθους μόνο στην περίπτωση που γίνεται απευθείας ενημέρωση των κελιών φύλλων με νέες τιμές. Ενώ για την περίπτωση ολίσθησης το λάθος αποκαλύπτεται λόγω αναγωγής στο σχήμα 3.18 (ii).

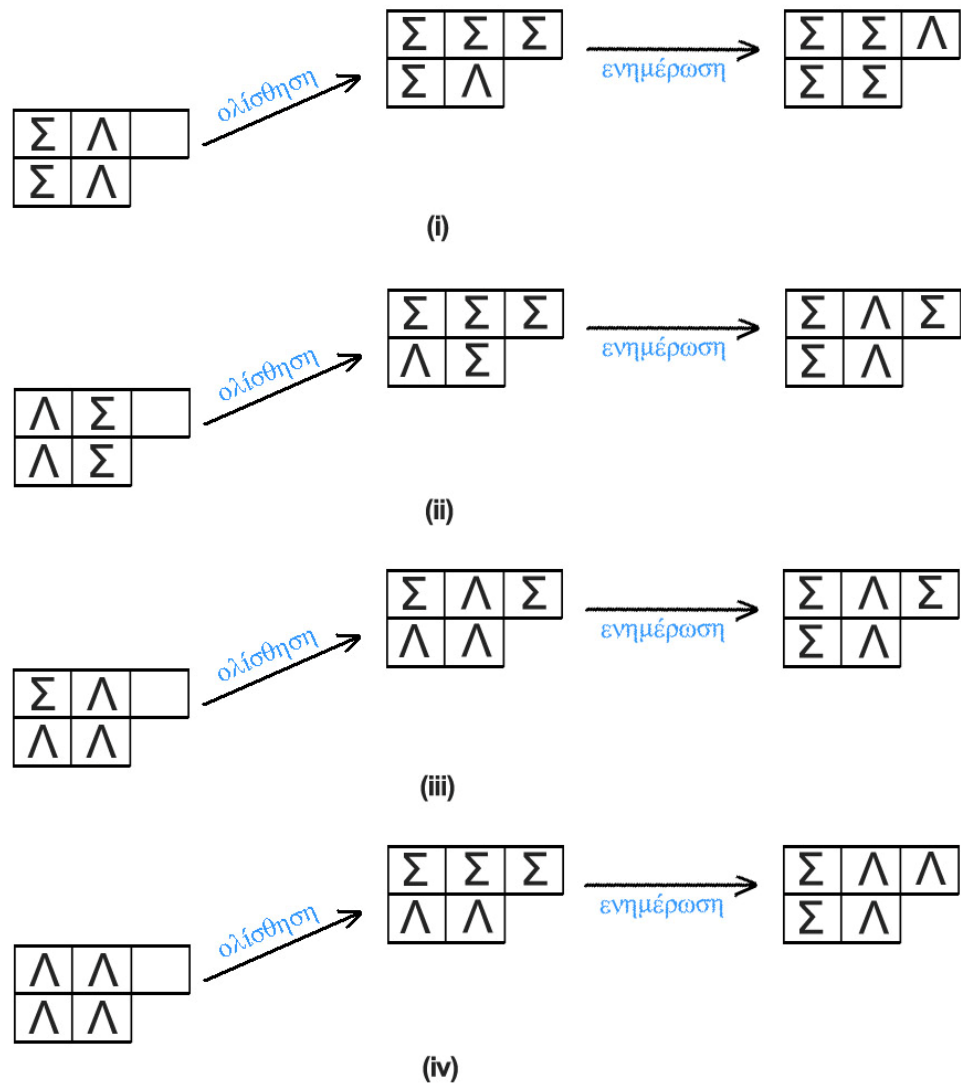


Σχήμα 3.20: Περίπτωση εμφάνισης τεσσάρων λαθών

Από τα παραπάνω συμπεραίνουμε ότι υπάρχουν πέντε δυνατές περιπτώσεις απόκρυψης σφάλματος. Αν και το να βρεθεί η αλυσίδα σάρωσης σε κάποια από αυτές τις καταστάσεις ενδέχεται να είναι εξαιρετικά σπάνιο, θα πρέπει βρεθεί λύση ώστε να εξασφαλίσουμε ότι σε οποιαδήποτε περίπτωση δεν θα έχουμε μείωση στην κάλυψη σφαλμάτων σε σχέση με αυτή που προσφέρει η κλασική αλυσίδα.

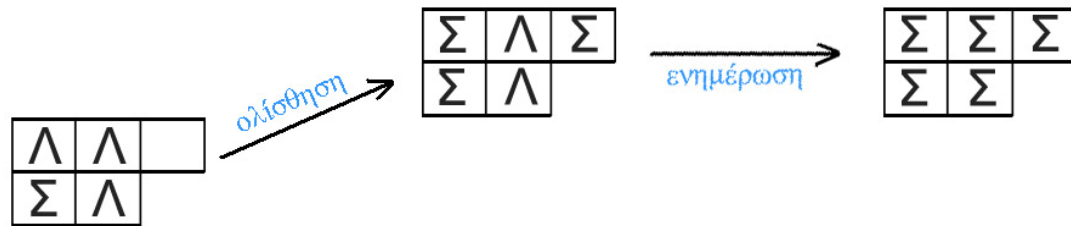
Προσθήκη μιας επιπλέον ολίσθησης

Μία πρώτη λύση μπορεί να δοθεί με την προσθήκη μιας επιπλέον αδιάφορης (dummy) ολίσθησης στις υπάρχουσες $(n-q-1)$ αρχικές ολισθήσεις. Η προσθήκη μιας επιπλέον ολίσθησης (shift) έχει αμελητέο αντίκτυπο στο χρόνο του ελέγχου. Αυτή η κίνηση εγγυάται την επίλυση κάποιων από τις παραπάνω περιπτώσεις απόκρυψης. Στο Σχήμα 3.21 παρουσιάζονται οι περιπτώσεις που παραπάνω εμφάνισαν πρόβλημα και πως επιλύονται με την προσθήκη μιας ολίσθησης.



Σχήμα 3.21: Προσθήκη μιας αδιάφορης ολίσθησης στις αρχικές ολισθήσεις πριν την ενημέρωση των κελιών φύλλων

Στο Σχήμα 3.22 παρουσιάζει την μοναδική περίπτωση απόκρυψης σφάλματος που παραμένει έπειτα από την προσθήκη μιας αδιάφορης ολίσθησης στην αλυσίδα σάρωσης.



Σχήμα 3.22: Μοναδική περίπτωση απόκρυψης σφάλματος έπειτα από προσθήκη μιας αδιάφορης ολίσθησης

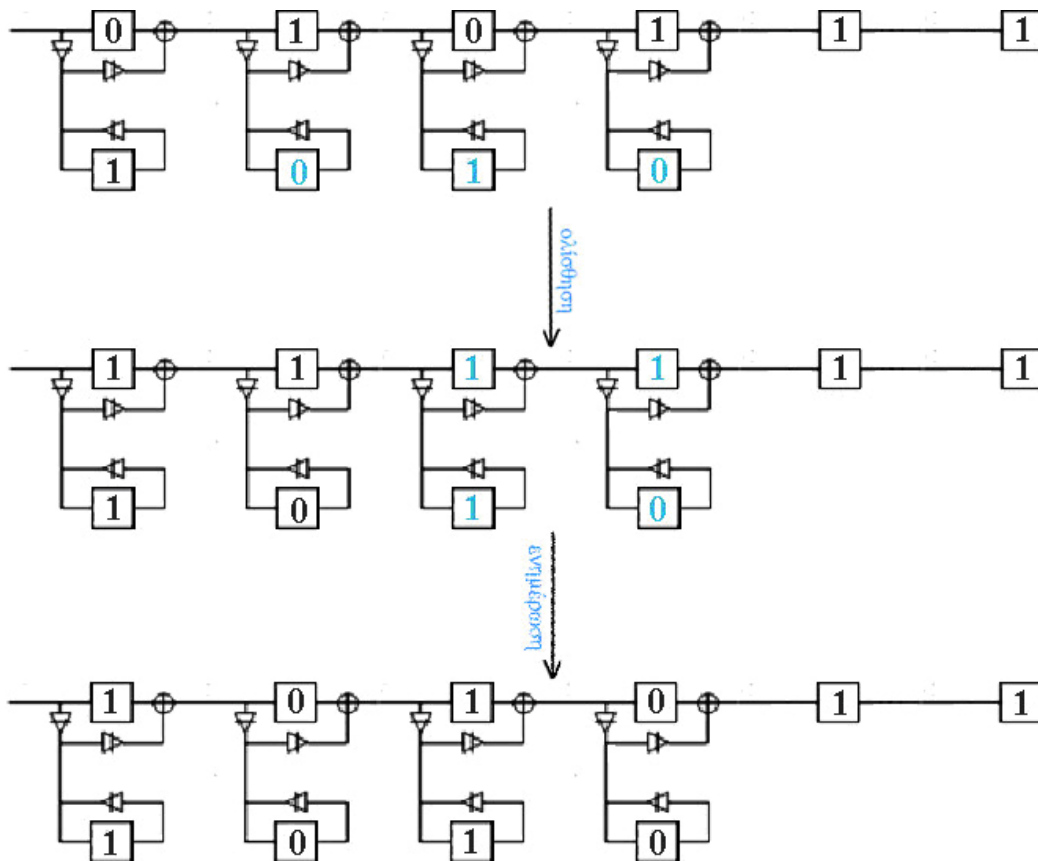
Προσθήκη δύο επιπλέον ολισθήσεων

Για να καλυφθεί και η τελευταία περίπτωση και να εξασφαλίσουμε την πλήρη κάλυψη σφαλμάτων που παρέχει η κλασσική αλυσίδα σάρωσης προτείνεται η προσθήκη μιας ακόμη αδιάφορης ολίσθησης στην αλυσίδα σάρωσης. Με την προσθήκη συνολικά δύο αδιάφορων ολισθήσεων στη φάση πριν την ενημέρωση των κελιών φύλλων στην προτεινόμενη τεχνική επιτυγχάνεται η πλήρης κάλυψη σφαλμάτων. Φυσικά αυτό επηρεάζει το χρόνο ολοκλήρωσης του ελέγχου αλλά η επιβάρυνση είναι ασήμαντη μπροστά στη συνολική μείωση του χρόνου που προσφέρει η τεχνική με δεδομένο μάλιστα ότι διατηρείται η κάλυψη σφαλμάτων που προσφέρει η κλασσική τεχνική. Έστω για παράδειγμα ότι έχουμε μια αλυσίδα στην τυπική σάρωση που αποτελείται από 100 κελιά. Το κέρδος της προτεινόμενης τεχνικής ως προς την μείωση του χρόνου ελέγχου μπορεί να είναι μέχρι και περίπου 50%. Με την προσθήκη δύο επιπλέον ολισθήσεων το κέρδος πέφτει στο 48%. Μία απώλεια της τάξης των δύο ποσοστιαίων μονάδων στο κέρδος του χρόνου ελέγχου του ολοκληρωμένου κυκλώματος για την επίτευξη υψηλής κάλυψης σφαλμάτων είναι χωρίς συζήτηση αποδεκτή. Με τα παρακάτω παραδείγματα φαίνεται πως με την προσθήκη μίας ή δύο ολισθήσεων μπορεί να λυθεί το πρόβλημα της απόκρυψης λάθους.

Παράδειγμα 3.4

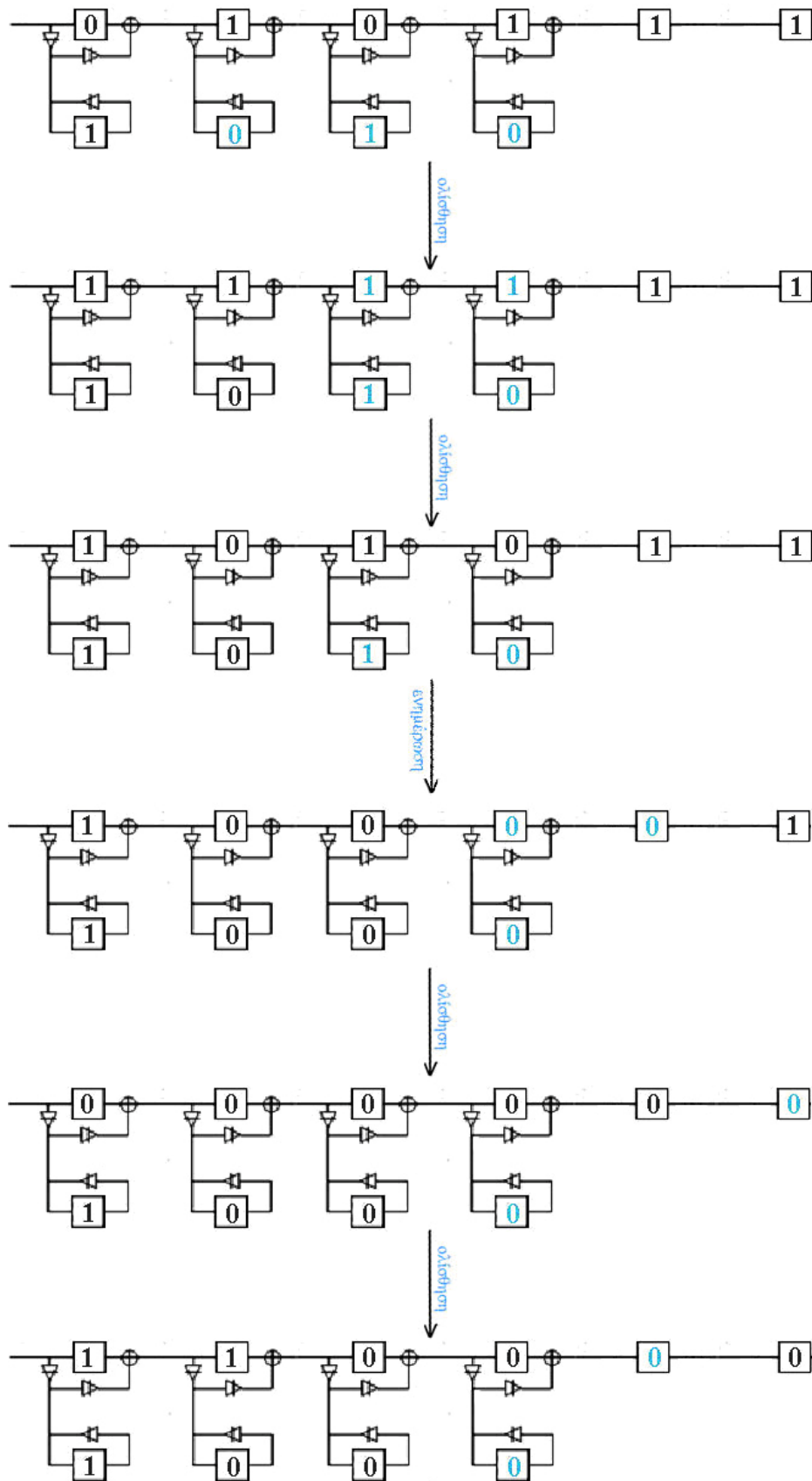
Έστω έχουμε αλυσίδα σάρωσης $n=10$ στοιχείων με $q=2$ αδιάφορους όρους και $k=4$ κελιά φύλλα. Οι τιμές σημειωμένες με μπλε χρώμα είναι οι λανθασμένες τιμές που πέρασαν στην αλυσίδα σάρωσης. Σύμφωνα με τον αιτιοκρατικό έλεγχο της προτεινόμενης τεχνικής, για την πλήρη εισαγωγή ενός διανύσματος ελέγχου στην αλυσίδα σάρωσης, απαιτούνται διαδοχικά μία ολίσθηση, μία ενημέρωση των κελιών

φύλλων και ακολούθως έξι ολισθήσεις. Στο Σχήμα 3.23 γίνεται η εφαρμογή των παραπάνω κύκλων. Όπως διαπιστώνουμε μετά την ενημέρωση κανένα λάθος δεν υπάρχει στην αλυσίδα και συνεπώς κανένα λάθος δεν φτάνει ποτέ στην έξοδο της αλυσίδας, οπότε το(τα) σχετικό(ά) σφάλμα(τα) δεν ανιχνεύεται(ονται).



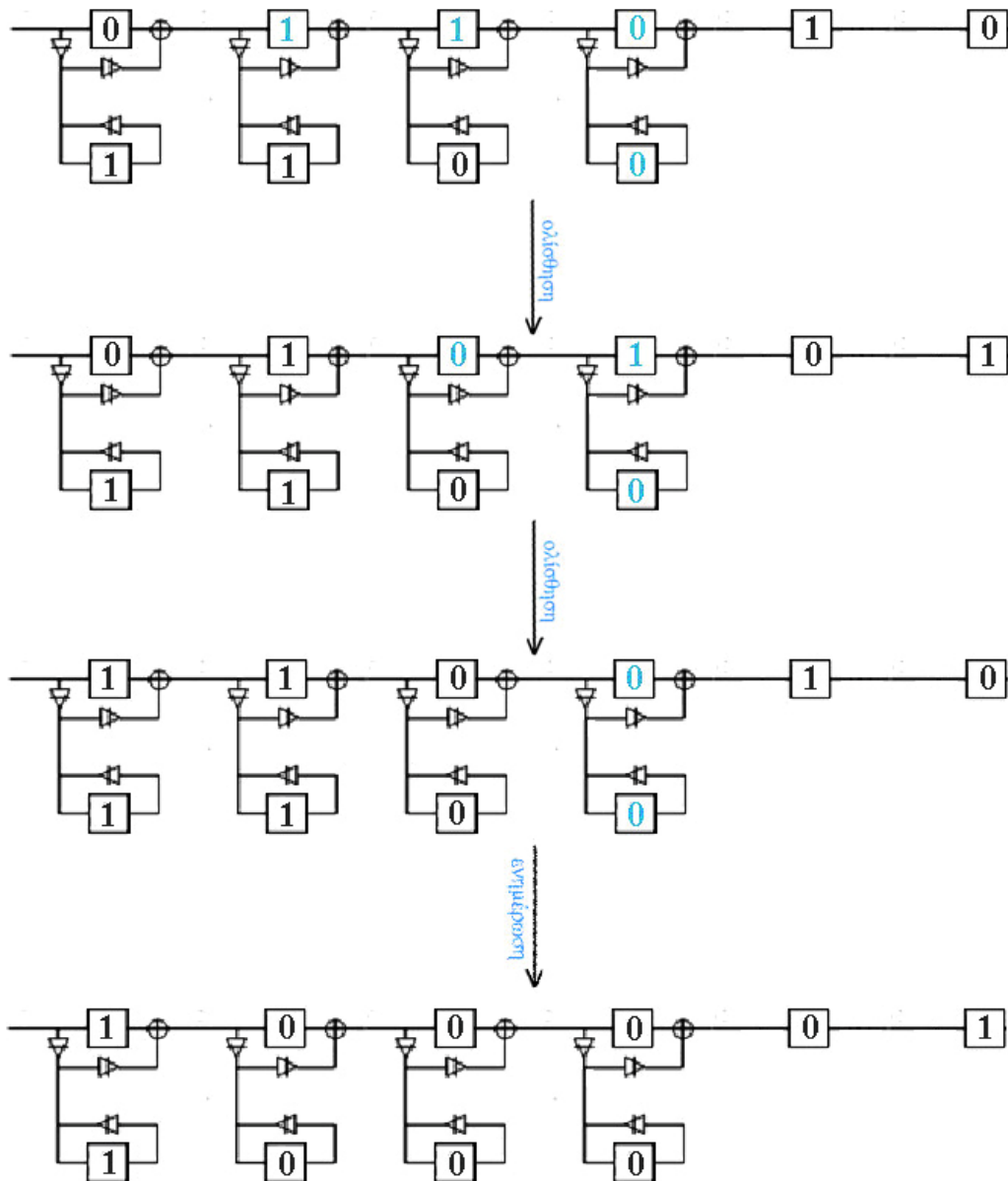
Σχήμα 3.23: Παράδειγμα απόκρυψης λαθών στην προτεινόμενη τεχνική

Εφαρμόζοντας μία επιπλέον ολίσθηση πριν την ενημέρωση των κελιών φύλλων το πρόβλημα λύνεται όπως φαίνεται Σχήμα 3.24. Εδώ μια ολίσθηση αρκεί για να αντιμετωπιστεί το πρόβλημα.

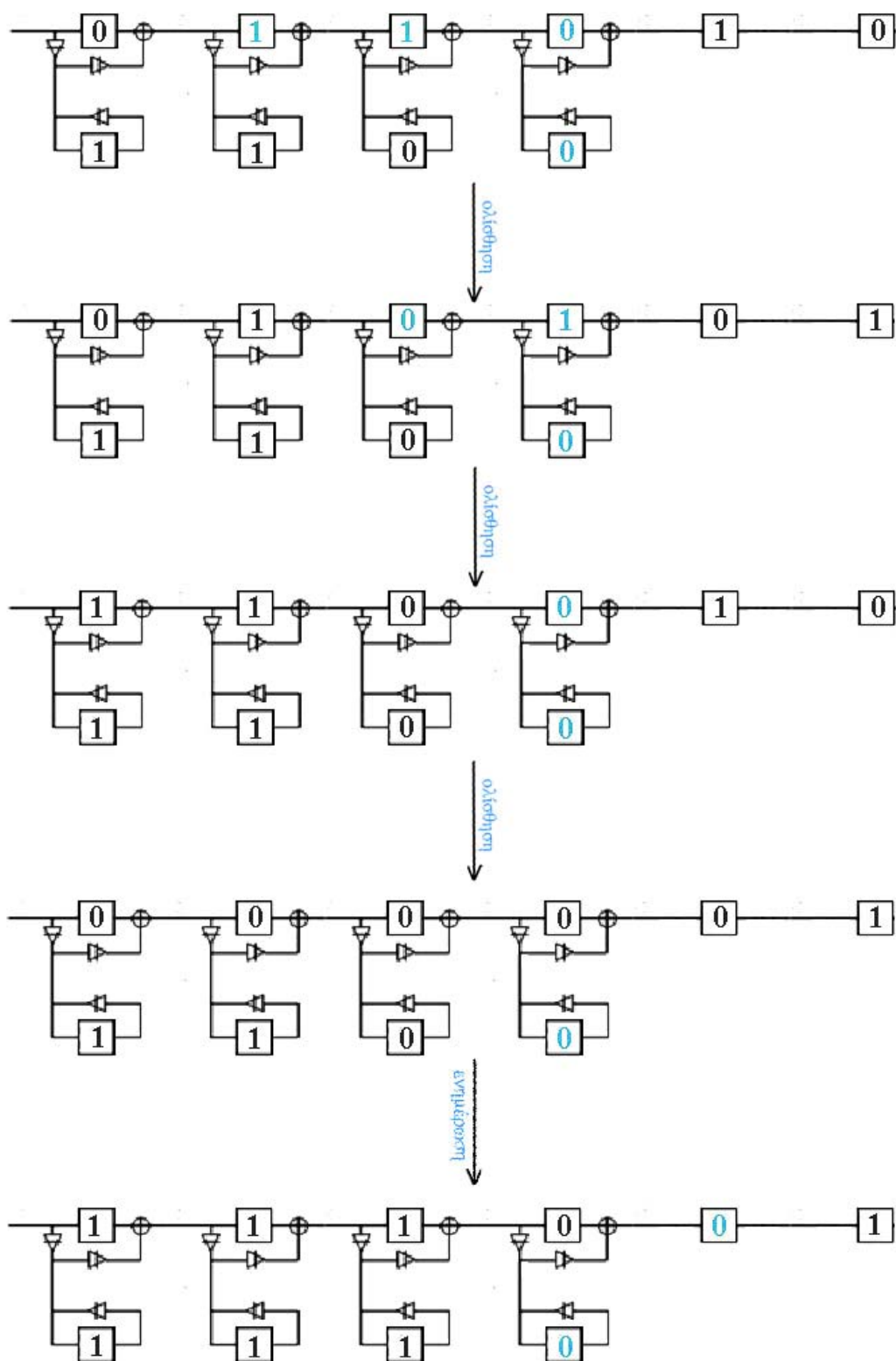


Σχήμα 3.24: Αποφυγή απόκρυψης σφάλματος με την προσθήκη μιας ολίσθησης

Υπάρχει όμως περίπτωση, η προσθήκη μιας ολίσθησης, να μην καλύπτει την απόκρυψη σφάλματος. Όπως φαίνεται στο Σχήμα 3.25 ακόμη και έπειτα από την προσθήκη μιας επιπλέον ενημέρωσης και πάλι υπάρχει απόκρυψη σφάλματος. Για να εγγυηθούμε πάντα την πλήρη κάλυψη σφαλμάτων απαιτείται η προσθήκη δύο ολισθήσεων πριν την ενημέρωση, όπως φαίνεται και στο Σχήμα 3.26.



Σχήμα 3.25: Περίπτωση για την οποία η προσθήκη μιας ολίσθησης δεν επαρκεί για την αποφυγή απόκρυψης σφάλματος



Σχήμα 3.26: Πλήρη κάλυψη σφαλμάτων με την προσθήκη δύο ολισθήσεων

ΚΕΦΑΛΑΙΟ 4. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ

4.1 Πειραματικά μείωσης του χρόνου ελέγχου

4.2 Πειραματικά αποτελέσματα μείωσης της κατανάλωσης ενέργειας

4.1. Πειραματικά μείωσης του χρόνου ελέγχου

Για την αποτελεσματικότητα της προτεινόμενης τεχνικής, έγινε χρήση διανυσμάτων ελέγχου για κυκλώματα αναφοράς (benchmark circuits) ISCAS'89 και IWLS'05. Τα διανύσματα ελέγχου δημιουργήθηκαν με την χρήση ATPG εργαλείων και οι υπολογισμοί έγιναν με την χρήση κατάλληλων προγραμμάτων γραμμένων σε κώδικα C, που αναπτύχθηκαν για τον σκοπό αυτό. Πληροφορίες σχετικά με τα κυκλώματα που χρησιμοποιήθηκαν αναφέρονται στους Πίνακες 4.1 και 4.2 (για τα ISCAS και IWLS αντίστοιχα). Στους πίνακες αυτούς οι πρώτες τέσσερις στήλες αναφέρονται στο όνομα του κυκλώματος, τον αριθμό εισόδων, τον αριθμό εξόδων και τον αριθμό των διανυσμάτων ελέγχου. Για τα IWLS στην θέση των διανυσμάτων ελέγχου υπάρχουν δύο στήλες που αναφέρονται στα συμπιεσμένα (compact) και ασυμπιεστα (uncompact) σύνολα διανυσμάτων ελέγχου. Στα συμπιεσμένα σύνολα δεν περιλαμβάνονται διανύσματα ελέγχου για τα οποία όλα τα σφάλματα έχουν ήδη ανιχνευτεί από προηγούμενα διανύσματα ελέγχου. Οι υπόλοιπες στήλες αναφέρονται στον αριθμό των flip-flop και των πυλών (NOT, AND κ.λ.π) αντίστοιχα που έχει κάθε κύκλωμα.

Για τις ανάγκες της αξιολόγησης ακολουθήθηκαν δύο σχεδιαστικές προσεγγίσεις αναδιάταξης. Στην πρώτη, τοποθετήθηκαν αριστερότερα οι απροσδιόριστες τιμές κάθε διανύσματος ελέγχου έτσι ώστε να έχουν την μορφή $XX \dots XXt_{i+1} \dots t_n$, όπου $t_i=0$ ή 1 (με $0 \leq i \leq n-1$) και n το μέγεθος σε bit του διανύσματος. Η αρίθμηση των στοιχείων δίνεται με βάση την αρίθμηση που παίρνουν τα κελιά της προτεινόμενης τεχνικής ονοματίζοντας νούμερο 1 το αριστερότερο bit του κάθε διανύσματος. Συνεπώς εδώ θεωρούμε ότι έχει γίνει κατάλληλη αναδιάταξη των flip-flop στην αλυσίδα. Στην δεύτερη σχεδιαστική προσέγγιση, τα διανύσματα αφέθηκαν με την

διάταξη που δόθηκε από το εργαλείο ATPG και αριθμήθηκαν με τον ίδιο τρόπο ξεκινώντας από το αριστερότερο bit. Συνεπώς με την ίδια διάταξη θεωρείται ότι εμφανίζονται και τα flip-flop στην αλυσίδα σάρωσης η οποία αντιστοιχεί σε μια τυχαία διάταξη των στοιχείων μνήμης (μη αναδιατεταγμένη αλυσίδα). Η δεύτερη προσέγγιση χρησιμοποιήθηκε μόνο για τα IWLS κυκλώματα. Στα ISCAS όπως φαίνεται στους πίνακες 4.3 και 4.4 που ακολουθούν, έγιναν μετρήσεις για τις περιπτώσεις όπου τα κελιά φύλλα αποτελούν το 1/8, τα 2/8, τα 3/8 και τα 4/8 της αρχικής αλυσίδας, ενώ για τα IWLS οι μετρήσεις έγιναν για τις δύο ακραίες περιπτώσεις όπου η δευτερεύουσα αλυσίδα είναι το 1/8 και το 4/8 αντίστοιχα της αρχικής αλυσίδας (οι πίνακες προέρχονται από την εργασία [36] και παρουσιάζονται εδώ για πληρότητα.).

Για τον υπολογισμό του κέρδους σε κύκλους ολίσθησης έγινε χρήση του Τύπου 4.1.

$$\text{κέρδος} = \frac{\# \text{ κύκλων ολίσθησης σειριακής σάρωσης} - \# \text{ κύκλων ολίσθησης προτεινόμενης τεχνικής}}{\# \text{ κύκλων ολίσθησης σειριακής σάρωσης}} \times 100\%$$

[Τύπος 4.1]

Ενώ το κόστος σε επιφάνεια πυριτίου υπολογίστηκε από τον Τύπο 4.2.

$$\text{κόστος} = \frac{\text{επιφάνεια πρόσθετης λογικής για την εφαρμογή της τεχνικής}}{\text{συνολική επιφάνεια πριν την εφαρμογή της τεχνικής}} \times 100\%$$

[Τύπος 4.2]

Στους Πίνακες 4.3 και 4.4 παρουσιάζονται τα αποτελέσματα των ISCAS και IWLS, έχοντας κάθε στήλη να αντιστοιχεί σε ένα κύκλωμα ενώ η τελευταία αντιστοιχεί στο μέσο όρο των αποτελεσμάτων ανά γραμμή. Αρχικά παρουσιάζονται (δεύτερη και

τρίτη γραμμή) οι κύκλοι και οι επιφάνεια που απαιτούνται σε μια τυπική αλυσίδα σάρωσης. Ενώ οι επόμενες γραμμές αντιστοιχούν στους κύκλους ολίσθησης (cycles), το ποσοστιαίο κέρδος από την μείωση των κύκλων ολίσθησης (reduction %), την επιφάνεια υλοποίησης (area) και την ποσοστιαία επιβάρυνση σε επιφάνεια (increment %) σε σχέση με την τυπική σειριακή σάρωση. Όλα τα παραπάνω αναλύονται για κάθε μια από τις περιπτώσεις αναδίπλωσης της αλυσίδας σάρωσης (1/8, 2/8, 3/8, 4/8). Ενώ για τα ISCAS παρουσιάζεται ο υπολογισμός σε κέρδος για περιπτώσεις όπου χρησιμοποιούνται παράλληλες αλυσίδες σάρωσης (με αριθμούς 5, 10, 20 και 50). Στους πίνακες 4.4 και 4.5 οι στήλες ανά δύο αναφέρονται σε κάθε κύκλωμα για την μη αναδιατεταγμένη και την αναδιατεταγμένη αλυσίδα σάρωσης.

Πίνακας 4.1 Πληροφορίες σχετικά με τα ISCAS '89 κυκλώματα

circuit	inputs	outputs	test vectors	DFF	NOT	AND2	AND3	AND4	NAND2	NAND3	NAND4	OR2	OR3	OR4	NOR2	NOR3	NOR4
s420.1	18	1	1900	16	78	49	-	-	25	4	-	20	8	-	24	7	3
s641	35	24	2920	19	272	60	18	12	4	-	-	3	9	1	-	-	-
s713	35	23	3527	19	254	58	24	12	28	-	-	7	9	1	-	-	-
s838.1	34	1	4093	32	158	105	-	-	49	8	-	40	16	-	48	15	7
s953	16	23	5015	29	84	49	-	-	97	15	2	36	-	-	94	18	-
s1196	14	14	7846	18	141	83	33	2	92	26	1	86	12	3	43	5	2
s1238	14	14	7835	18	80	92	39	3	97	27	1	96	13	3	47	8	2
s5378	35	49	33956	179	1775	-	-	-	-	-	-	126	63	50	511	242	12
s9234	19	22	43746	228	3570	914	32	9	463	29	36	354	19	58	77	11	25
s13207	31	121	40310	669	5378	986	35	93	831	14	4	320	57	135	43	39	16
s38417	28	106	195855	1636	13470	3803	258	93	1949	84	17	122	91	13	1838	421	20
s38584	12	278	193767	1452	7805	4930	287	299	1618	236	272	2464	63	94	1063	105	17
s15850	14	87	61985	597	6324	1554	49	16	924	23	21	587	62	61	98	11	42

Πίνακας 4.2 Πληροφορίες σχετικά με τα IWLS'05 κυκλώματα

circuit	inputs	outputs	uncompacted test vectors	compacted test vectors	DFF	NOT	AND2	AND2	NAND2	OR2	NOR2	XOR2
ac97_ctrl	2253	2246	17880	1090	5205	9268	6203	6203	2758	4037	977	106
aes_core	788	659	15336	2450	1736	9650	6632	6632	6653	4238	2294	638
mem_ctrl	1194	1228	9020	904	2925	6275	7184	7184	3436	3606	1175	223
pci_bridge32	3517	3523	27321	1584	9223	13652	12290	12290	2560	6132	852	346
systemcaes	928	799	9186	1843	1957	5062	5009	5009	1936	3276	456	605
tv80	372	391	5956	1685	923	3806	4144	4144	2002	2395	806	147
usb_func	1858	1844	15713	1742	4495	7606	6234	6234	3407	3520	1298	521
wb_conmax	1899	2186	7650	7264	4188	15474	24867	24867	8768	11794	2911	-
ethernet	10637	10649	97684	9570	22843	48815	53799	53799	3577	26311	1705	485

Πίνακας 4.3 Πειραματικά Αποτελέσματα για τα ISCAS'89 κυκλώματα

basic scan	s420.1	s641	s713	s838.1	s953	s1196	s1238	s5378	s9234	s13207	s15850	s38417	s38584	mean
cycles	24720	47994	58311	107840	121481	123912	123606	5374117	8760900	21560532	31531152	278512640	239185056	
area	3324	4046	4322	6790	6062	6776	7139	36085	54959	105889	109990	276300	286521	
cycles	21996	42957	52188	95618	108926	110150	109878	4714468	7691726	18892967	27632060	243827186	209629963	
reduction %	11.02	10.50	10.50	11.33	10.33	11.11	11.11	12.27	12.20	12.37	12.37	12.45	12.36	11.53
area	3426	4148	4424	6994	6215	6878	7241	37207	56387	110122	113764	286704	295752	
increment%	3.07	2.52	2.36	3.01	2.52	1.51	1.43	3.11	2.60	4.00	3.43	3.77	3.22	2.81
cycles	19729	37942	46087	85566	92214	96534	96230	4071730	6677243	16226133	23766584	209799540	181446878	
reduction %	20.19	20.94	20.96	20.65	24.09	22.09	22.15	24.23	23.78	24.74	24.63	24.67	24.14	22.87
area	3528	4250	4526	7188	6419	6980	7343	38329	57866	114406	117589	297159	305034	
increment%	6.14	5.04	4.72	6.02	5.89	3.01	2.86	6.22	5.29	8.04	6.91	7.55	6.46	5.70
cycles	17944	33881	41060	77615	79701	83116	82749	3482455	5859993	13644668	20188491	178624963	157365323	
reduction %	27.41	29.41	29.58	28.03	34.39	32.92	33.05	35.20	33.11	36.71	35.97	35.86	34.21	32.76
area	3630	4352	4628	7392	6572	7082	7445	39451	59294	118639	121363	307563	314265	
increment%	9.21	7.56	7.08	9.03	8.41	4.52	4.29	9.33	7.89	12.04	10.34	11.31	9.68	8.51
cycles	16618	29644	35832	71407	63045	63413	62951	2953961	5229833	11195328	1699249	154944757	138938799	
reduction %	32.78	38.23	38.55	33.78	48.10	48.82	49.07	45.03	40.30	48.07	46.09	44.37	41.91	42.70
area	3732	4505	4781	7596	6776	7235	7598	40624	60773	122923	125188	318018	323547	
increment%	12.27	11.34	10.62	12.04	11.78	6.77	6.43	12.58	10.58	16.09	13.82	15.10	12.92	11.72

Πίνακας 4.6 Πειραματικά Αποτελέσματα για τα IWLS'05 Κοκλόματα με Συμπεσιμένα Διανόματα Ελέγχου (Συνέχεια)

		IWLS compacted test vectors															
		wb_conmax		tv80		systemcaes		ethernet		mean							
		original	reordered	original	reordered	original	reordered	original	reordered	original	reordered						
10chains	1/8	1340044	1243873	-	-	170089	154012	10072242	9310968	-	-	-	-	-	-	-	-
		2,91	9,87	-	-	0,76	10,14	1,08	8,56	1,87	10,49	-	-	-	-	-	-
		751760		-	-	241674		2208753		-	-	-	-	-	-	-	-
		1,63		-	-	2,51		3,17		2,57		-	-	-	-	-	-
20 chains	4/8	674833	573832	-	-	-	-	5015297	4450369	-	-	-	-	-	-	-	-
		2,21	16,85	-	-	-	-	1,49	12,59	1,81	19,72	-	-	-	-	-	-
		788072		-	-	-	-	241219		-	-	-	-	-	-	-	-
		6,54		-	-	-	-	12,67		11,33		-	-	-	-	-	-
proposed architecture	1/8	675012	625036	-	-	-	-	5015310	4658125	-	-	-	-	-	-	-	-
		2,18	9,43	-	-	-	-	1,49	8,51	1,79	9,99	-	-	-	-	-	-
		751760		-	-	-	-	2208753		-	-	-	-	-	-	-	-
		1,63		-	-	-	-	3,17		2,83		-	-	-	-	-	-
50 chains	4/8	-	-	-	-	-	-	2002471	1784992	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	1,76	12,43	1,76	12,43	-	-	-	-	-	-
		-	-	-	-	-	-	241219		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	12,67		12,67		-	-	-	-	-	-
1/8	1/8	-	-	-	-	-	-	2002471	1869112	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	1,76	8,31	1,76	8,31	-	-	-	-	-	-
		-	-	-	-	-	-	2208753		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	3,17		3,17		-	-	-	-	-	-

Από τον Πίνακα 4.3 παρατηρείται ότι για τα ISCAS κυκλώματα το μέγιστο επιτεύξιμο ποσοστιαίο κέρδος από την μείωση των κυκλωμάτων ολίσθησης είναι κατά μέσο όρο 42,7% με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 11,72%, όταν η κατανομή κελιών στην δευτερεύουσα αλυσίδα είναι στα 4/8 της αρχικής, ενώ το μικρότερο ποσοστιαίο κέρδος είναι κατά μέσο όρο 11,53% με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 2,81% όταν η κατανομή των κελιών στην δευτερεύουσα αλυσίδα είναι στο 1/8 της αρχικής αλυσίδας. Όπως ήταν αναμενόμενο, το ποσοστιαίο κέρδος σε κύκλους ολίσθησης κατά μέσο όρο σχεδόν διπλασιάζεται (σε 22,8%), όπως φαίνεται και στον Πίνακα 4.3, με αντίστοιχο σχεδόν διπλασιασμό στην μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 8,51% όταν η κατανομή των κελιών στην δευτερεύουσα αλυσίδα είναι στα 3/8 της αρχικής.

Για τα κυκλώματα IWLS παρατηρείται επίσης σημαντική βελτίωση του μέσου ποσοστιαίου κέρδους σε κύκλους ολίσθησης, μέχρι και τριπλασιασμός, στην περίπτωση των αναδιατεταγμένων αλυσίδων. Η βελτίωση αυτή οφείλεται στο γεγονός ότι η αναδιάταξη εξασφαλίζει με πολύ υψηλή συχνότητα την εμφάνιση αδιάφορων τιμών στα διανύσματα ελέγχου για τα κελιά φύλλα της δευτερεύουσας αλυσίδας. Συγκεκριμένα στην περίπτωση των αναδιατεταγμένων αλυσίδων το μεγαλύτερο κατά μέσο όρο ποσοστιαίο κέρδος σε κύκλους ολίσθησης είναι 38,81% με μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης 12,67% για 50 αλυσίδες σάρωσης, με κατανομή των κελιών στις δευτερεύουσες αλυσίδες στα 4/8 των αρχικών αλυσίδων. Όπως και πριν, παρατηρείται ότι η κατανομή των κελιών στις δευτερεύουσες αλυσίδες στα 4/8 των αρχικών προσφέρει μεγαλύτερο κέρδος σε κύκλους ολίσθησης από την κατανομή στο 1/8 αλλά και μεγαλύτερη μέση ποσοστιαία επιβάρυνση σε επιφάνεια υλοποίησης.

4.2. Πειραματικά αποτελέσματα μείωσης της κατανάλωσης ενέργειας

Για την εκτίμηση της αποτελεσματικότητας της προτεινόμενης τεχνικής ως προς την κατανάλωση ενέργειας χρησιμοποιήθηκαν τα ίδια με με την προηγούμενη ενότητα διανύσματα ελέγχου για τα κυκλώματα αναφοράς ISCAS'89 [55] και IWLS'05 [56]. Υπολογισμοί έγιναν με τη χρήση κατάλληλων προγραμμάτων που αναπτύχθηκαν σε C στην παρούσα εργασία, ώστε να προσδιοριστεί ο αριθμός των μεταβάσεων

(transition) στις εισόδους της συνδυαστικής λογικής, όταν εφαρμόζεται στο κύκλωμα η προτεινόμενη τεχνική συγκριτικά με τη χρήση μιας τυπικής αλυσίδα σάρωσης. Όπως έχει αναφερθεί, η κατανάλωση ενέργειας κατά την ολίσθηση δεδομένων ελέγχου στην αλυσίδα σάρωσης, είναι ανάλογη του αριθμού των συγκεκριμένων μεταβάσεων.

Για τις ανάγκες της αξιολόγησης χρησιμοποιήθηκαν διανύσματα ελέγχου με την διάταξη που δόθηκαν από το εργαλείο ATPG, δηλαδή με τυχαία διάταξη. Τα αποτελέσματα, όπως φαίνεται και στους πίνακες 4.7 και 4.8 που ακολουθούν, δόθηκαν με μετρήσεις για τις περιπτώσεις όπου τα κελιά φύλλα αποτελούν το 1/8, τα 2/8, τα 3/8 και τα 4/8 της αρχικής αλυσίδα, τόσο για τα ISCAS όσο και για τα IWLS κυκλώματα. Ενώ μόνο για τα ISCAS, δίνονται αποτελέσματα για διάφορες τιμές των αδιάφορων όρων X (για $q=0$, $q=k/2$, $q=k$). Με τον τρόπο αυτό προκύπτουν αποτελέσματα, όπως αυτά που θα μπορούσαν να προκύψουν, αν στα διανύσματα ελέγχου είχε εφαρμοστεί κατάλληλη σχεδιαστική προσέγγιση αναδιάταξης. Αφού είναι γνωστό ότι η τεχνική αξιοποιεί τους αδιάφορους όρους των διανυσμάτων ελέγχου, όσο περισσότερες απροσδιόριστες τιμές περιέχει το αριστερότερο τμήμα και μέχρι ωστόσο ο αριθμός των απροσδιόριστων όρων είναι ίσος με τον αριθμό των κελιών φύλλων, τόσο μεγαλύτερα είναι τα περιθώρια κέρδους.

Για τα κυκλώματα ISCAS και IWLS υπολογίζεται το ποσοστιαίο κέρδος χαμηλής κατανάλωσης σε σύγκριση με την τυπική αλυσίδα σάρωσης. Το κέρδος προκύπτει από τον τύπο 4.3 όπου T_o είναι το πλήθος των μεταβάσεων στην τυπική (original) αλυσίδα σάρωσης και T_p οι μεταβάσεις της προτεινόμενης (proposed) αλυσίδα σάρωσης.

$$\text{Ποσοστιαίο κέρδος } K = (T_o - T_p) / T_o \text{ (\%)}$$

[Τύπος 4.3]

Στους Πίνακες 4.7 και 4.8 παρουσιάζονται τα αποτελέσματα των ISCAS και IWLS, αντίστοιχα έχοντας κάθε στήλη να αντιστοιχεί σε ένα κύκλωμα. Αρχικά στην δεύτερη γραμμή παρουσιάζονται οι μεταβάσεις που γίνονται σε μια τυπική αλυσίδα σάρωσης. Ενώ στις επόμενες γραμμές, παρουσιάζονται ο αριθμός των μεταβάσεων για την προτεινόμενη τεχνική (transitions) και το ποσοστιαίο κέρδος της μείωσης της κατανάλωσης ενέργειας (reduction %). Όλα τα παραπάνω αναλύονται για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα (1/8, 2/8, 3/8, 4/8), και για τις διάφορες τιμές των αδιάφορων όρων που υπάρχουν στα διανύσματα εισόδου ($q=\text{random}$, $q=k/2$, $q=k$), μόνο για τα ISCAS. Ενώ για τα IWLS παρουσιάζονται ο αριθμός των μεταβάσεων και το ποσοστιαίο κέρδος της μείωσης κατανάλωσης ενέργειας για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα (1/8, 2/8, 3/8, 4/8).

Πίνακας 4.7: Πειραματικά αποτελέσματα για τα ISCAS'89 Κυκλώματα

ISCAS '89		s5378		s9234		s13207		s15850		s38417		Mean
1/8	Basic Scan	2.761.921		4.533.788		65.933.392		25.191.878		134.899.294		
	Transitions	Q_{random}	2.407.181	Q_{random}	4.010.524	Q_{random}	57.753.105	Q_{random}	22.135.712	Q_{random}	121.278.806	
		q=k/2	2.229.214	q=k/2	3.767.393	q=k/2	54.251.361	q=k/2	20.679.482	q=k/2	112.148.574	
		q=k	2.079.231	q=k	3.538.665	q=k	50.723.053	q=k	19.367.366	q=k	105.125.151	
	Reduction %	12.84395897		11.5414307		12.40689543		12.13155288		10.09678227		11.80412405
2/8		Q_{random}	2.156.184	Q_{random}	3.445.414	Q_{random}	49.525.828	Q_{random}	19.125.568	Q_{random}	106.946.983	
	Transitions	q=k/2	1.861.691	q=k/2	3.014.104	q=k/2	42.763.283	q=k/2	16.495.929	q=k/2		
		q=k	1.589.743	q=k	2.602.533	q=k	37.212.539	q=k	14.306.427	q=k	79.102.267	
	Reduction %	21.93172795		24.00584236		24.88505976		24.08041989		20.72087271		23.12478453
3/8		Q_{random}	1.883.072	Q_{random}	2.856.041	Q_{random}	41.246.312	Q_{random}	16.045.233	Q_{random}	90.971.192	
	Transitions	q=k/2	1.486.573	q=k/2	2.261.915	q=k/2	32.349.977	q=k/2	12.597.902	q=k/2		
		q=k	1.166.353	q=k	1.788.486	q=k	25.882.047	q=k	9.987.808	q=k	55.095.832	
	Reduction %	31.82020775		37.00541357		37.44245405		36.30791242		32.56362632		35.02792282
4/8		Q_{random}	1.534.217	Q_{random}	2.293.765	Q_{random}	32.948.251	Q_{random}	12.828.451	Q_{random}	73.356.368	
	Transitions	q=k/2	1.054.167	q=k/2	1.580.739	q=k/2	22.707.850	q=k/2	8.832.114	q=k/2		
		q=k	705.522	q=k	1.145.424	q=k	16.372.910	q=k	6.334.498	q=k	34.601.902	
	Reduction %	44.45109038		49.4073168		50.0279752		49.07703586		45.62138479		47.71696061

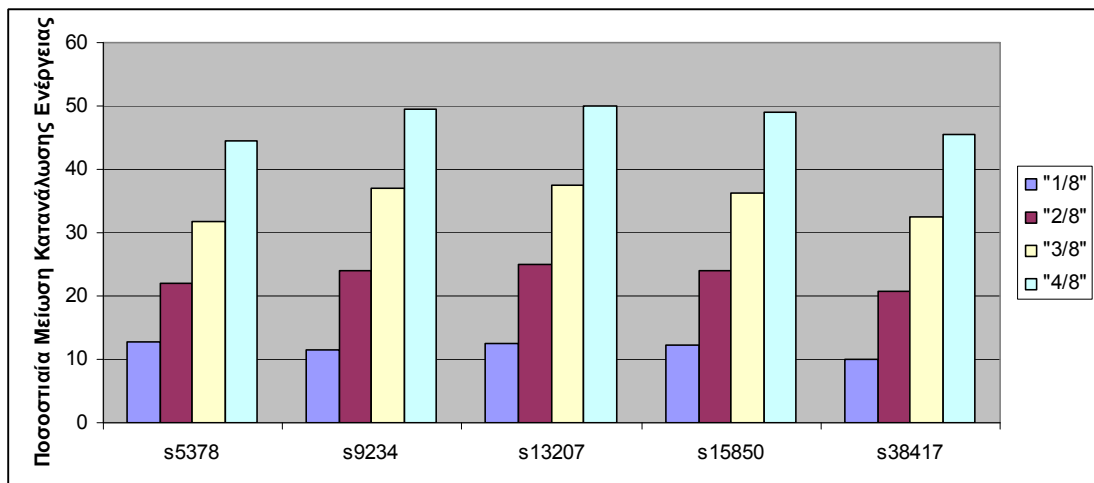
Πίνακας 4.8: Πειραματικά αποτελέσματα για τα IWLS Κυκλώματα

IWLS	ac97_ctrl	aes_core	ethernet	pci_bridge32
L	2253	788	10649	3523
Basic Scan	811.636.729	189.771.472	230.903.910.125	6.199.763.167
k	281	98	1331	440
1/8	Transitions	675.782.394	197.811.255.680	5.160.306.502
	q_{random}	q_{random}	q_{random}	q_{random}
Reduction %	16,738	23,621	14,332	16,766
k	563	197	2662	880
2/8	Transitions	574.590.372	173.628.055.680	4.355.304.104
	q_{random}	q_{random}	q_{random}	q_{random}
Reduction %	29,206	44,295	24,805	29,750
k	844	295	3993	1321
3/8	Transitions	472.847.638	142.688.616.990	3.033.593.815
	q_{random}	q_{random}	q_{random}	q_{random}
Reduction %	41,741	58,809	38,204	51,069
k	1126	394	5324	1761
4/8	Transitions	372.054.753	116.410.906.770	2.898.070.989
	q_{random}	q_{random}	q_{random}	q_{random}
Reduction %	54,160	68,490	49,585	53,255

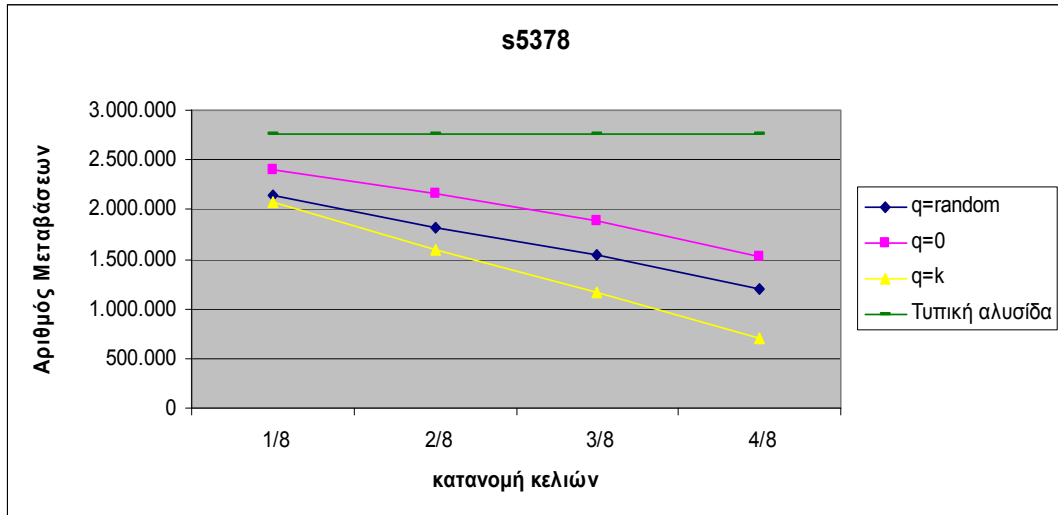
Πίνακας 4.8: Πειραματικά αποτελέσματα για τα IWLS Κυκλώματα(Συνέχεια)

IWLS		systemcaes	tv80	usb_funct	wb_conmax	Mean
Basic Scan	L	928	391	1858	2186	
	Transitions	127.707.230	67.786.398	1.991.497.798	1.756.948.281	
1/8	k	116	48	232	273	
	Transitions	Q _{random} 109.692.498	Q _{random} 61.176.000	Q _{random} 995.293.525	Q _{random} 1.713.007.198	
	Reduction %	14,106	9,752	50,023	2,501	18,480
2/8	k	232	97	464	546	
	Transitions	Q _{random} 93.788.130	Q _{random} 52.043.596	Q _{random} 1.089.214.508	Q _{random} 1.445.803.988	
	Reduction %	26,560	23,224	45,307	17,709	30,107
3/8	k	348	146	696	819	
	Transitions	Q _{random} 77.704.574	Q _{random} 42.985.709	Q _{random} 1.090.420.892	Q _{random} 1.164.454.382	
	Reduction %	39,154	36,587	45,246	33,723	43,067
4/8	k	464	195	929	1093	
	Transitions	Q _{random} 61.493.352	Q _{random} 35.098.676	Q _{random} 906.697.328	Q _{random} 983.957.029	
	Reduction %	51,848	48,222	54,472	43,996	53,003

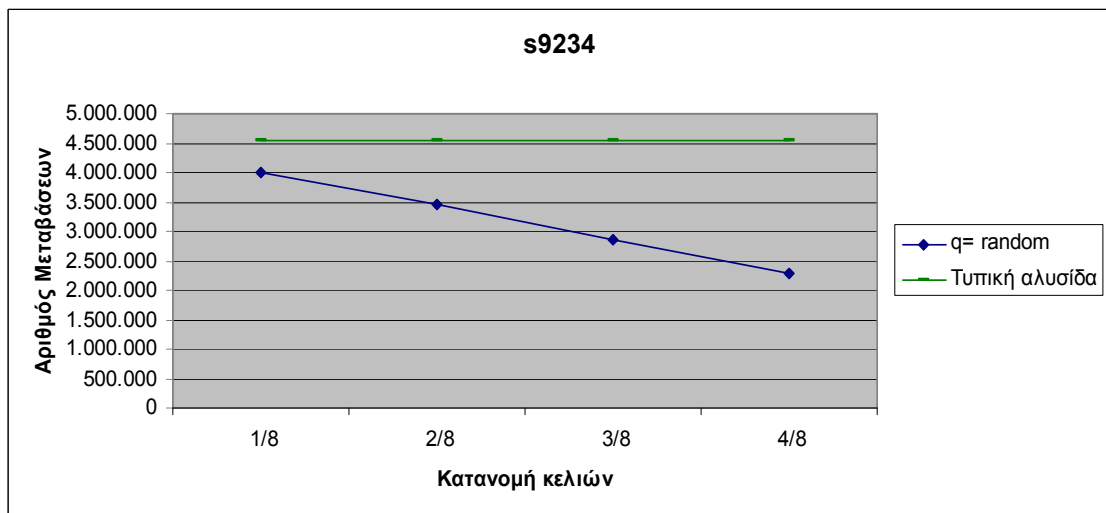
Στα Σχήματα 4.1 έως 4.4 παρουσιάζονται τα πειραματικά αποτελέσματα με την χρήση γραφικών παραστάσεων και ιστογραμμάτων. Στο σχήμα 4.1 δίνεται η ποσοστιαία μείωση μεταβάσεων, για τα μεγαλύτερα ISCAS κυκλώματα, για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα σε σχέση με την αρχική αλυσίδα. Στο σχήμα 4.2 δίνεται ο αριθμός των μεταβάσεων για το s5378, για κάθε κατανομή (1/8, 2/8, 3/8, 4/8) δίνοντας και ακραίες τιμές στους αδιάφορους όρους ($q=k/2$, $q=k$) εκτός από αυτές που διαθέτουν τα διανύσματα ($q=\text{random}$). Ενώ τα σχήματα 4.3, 4.4 απεικονίζουν τον αριθμό μεταβάσεων για κάθε κατανομή σε σύγκριση με τον αριθμό μεταβάσεων σε μια τυπική αλυσίδα για τα αντίστοιχα διανύσματα εισόδου και αποκρίσεων που απεικονίζεται με την γαλάζια οριζόντια γραμμή.



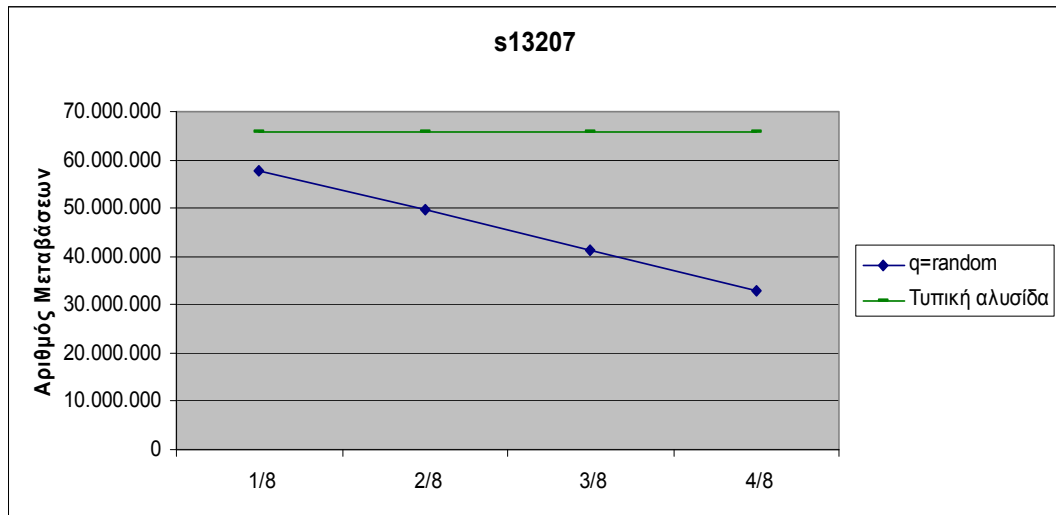
Σχήμα 4.1: Ποσοστιαία μείωση μεταβάσεων για τα κυκλώματα ISCAS



Σχήμα 4.2: Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος s5378

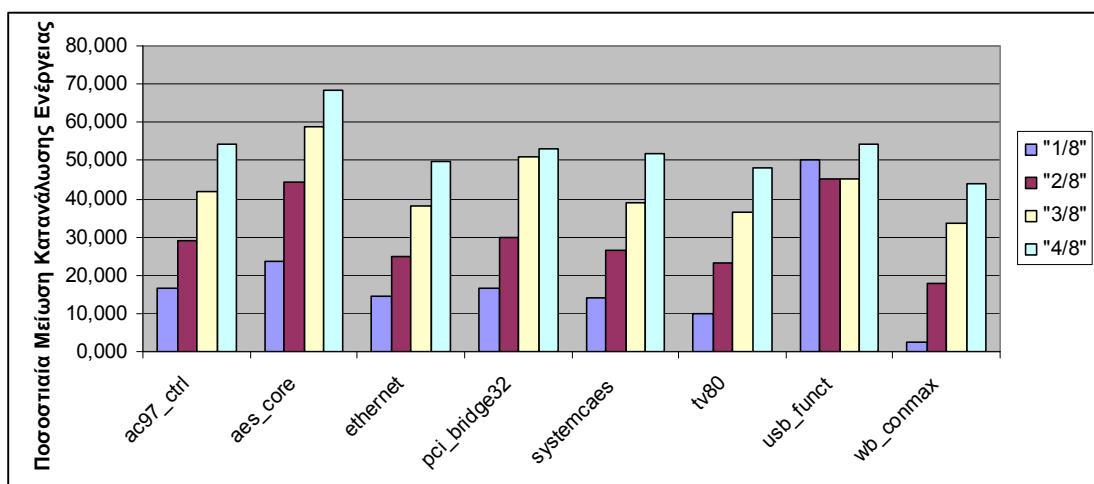


Σχήμα 4.3 : Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος s9234

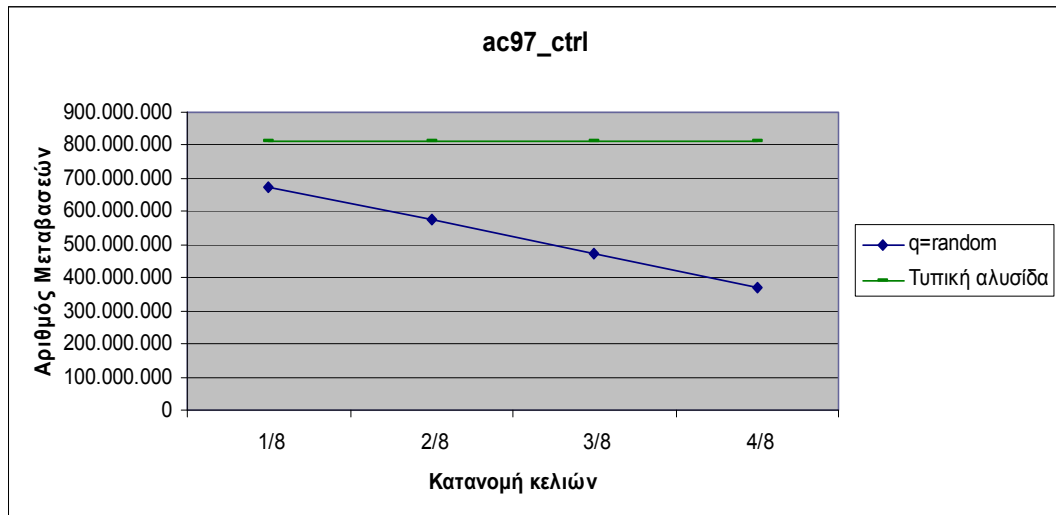


Σχήμα 4.4: Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος s13207

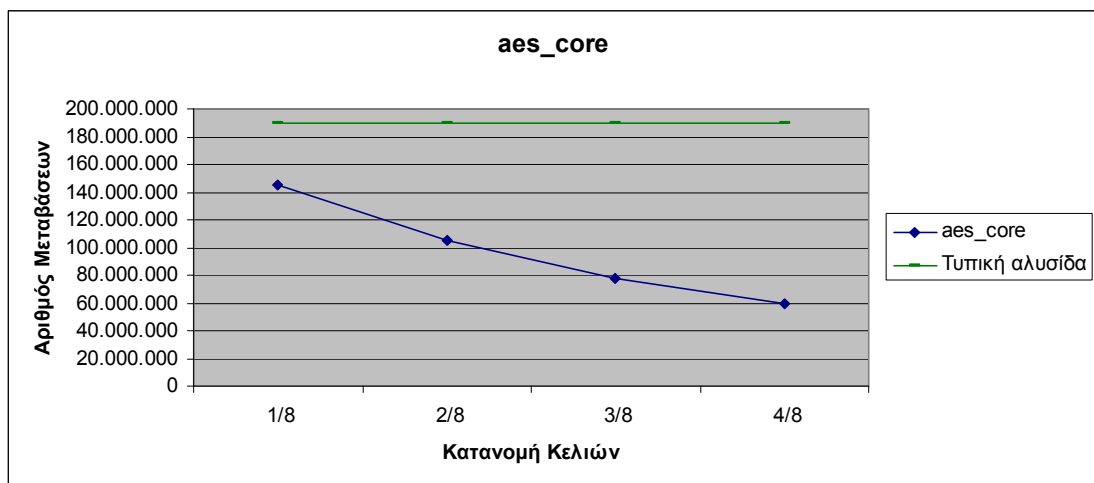
Αντίστοιχα το Σχήμα 4.5 παρουσιάζει τα αποτελέσματα της ποσοστιαίας μείωσης των μεταβάσεων σε κυκλώματα IWLS, για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα σε σχέση με την αρχική αλυσίδα. Ενώ στα Σχήματα 4.6 έως 4.8 δίνεται για κάθε κύκλωμα ξεχωριστά οι μεταβάσεις για κάθε κατανομή (1/8, 2/8, 3/8, 4/8) των κελιών στην δευτερεύουσα αλυσίδα σε σχέση με την αρχική αλυσίδα.



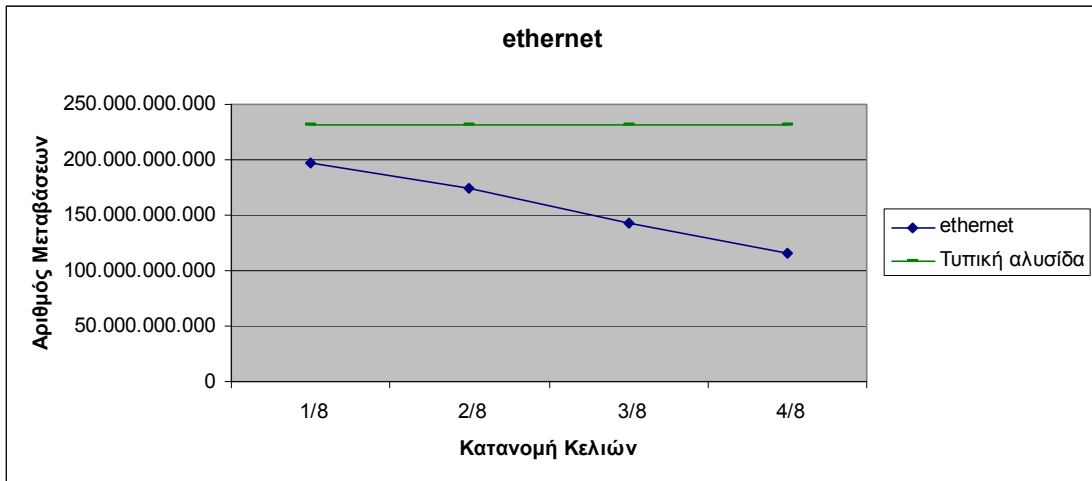
Σχήμα 4.5: Ποσοστιαία μείωση μεταβάσεων για τα κυκλώματα IWLS



Σχήμα 4.6 : Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος ac97_ctrl.

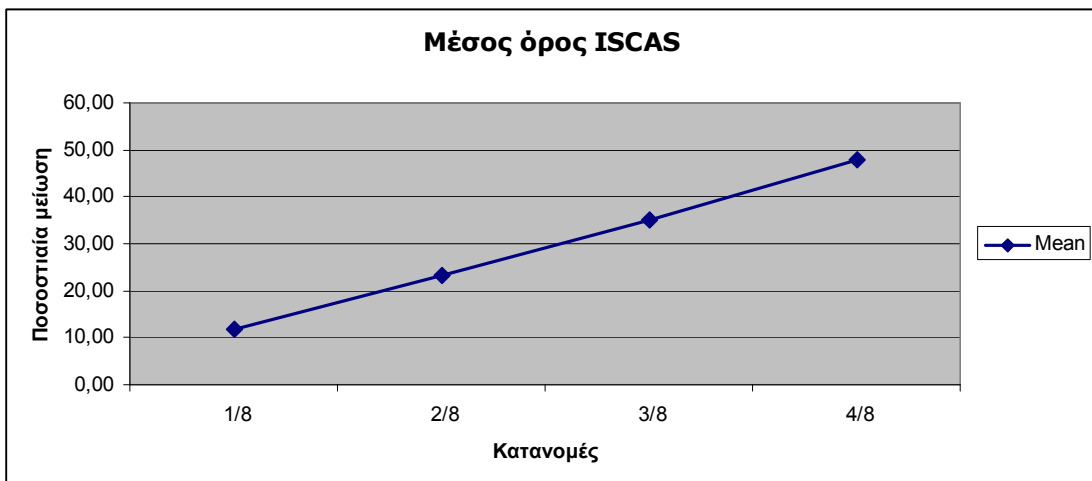


Σχήμα 4.7: Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος aes_core

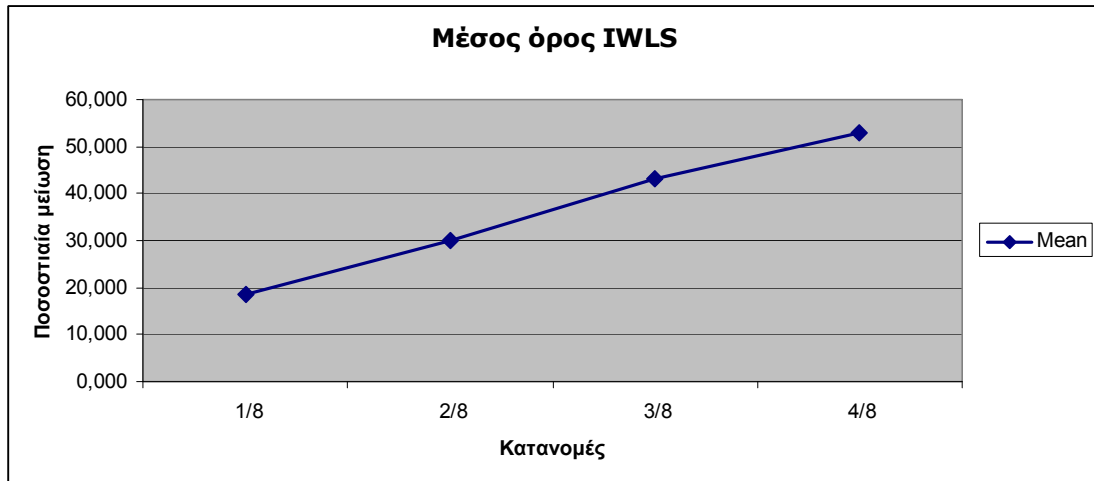


Σχήμα 4.8: Αριθμός Μεταβάσεων για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα του κυκλώματος ethernet

Τέλος τα Σχήματα 4.9 και 4.10 παρουσιάζουν ένα μέσο όρο της ποσοστιαίας μείωσης μεταβάσεων, για κάθε κατανομή κελιών στην δευτερεύουσα αλυσίδα (1/8, 2/8, 3/8, 4/8), των κυκλωμάτων ISCAS και IWLS αντίστοιχα.



Σχήμα 4.9: Μέσος όρος ποσοστιαίας μείωσης μεταβάσεων των κυκλωμάτων ISCAS για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα.



Σχήμα 4.10: Μέσος όρος ποσοστιαίας μείωσης μεταβάσεων των κυκλωμάτων IWLS για κάθε κατανομή των κελιών στην δευτερεύουσα αλυσίδα.

Από τον Πίνακα 4.7 παρατηρούμε ότι για τα ISCAS κυκλώματα η μεγαλύτερη ποσοστιαία μείωση κατανάλωσης ενέργειας είναι 50% και πραγματοποιείται για την περίπτωση που η κατανομή κελιών στην δευτερεύουσα αλυσίδα είναι 4/8 της αρχικής, για το κύκλωμα s13207. Ενώ η μικρότερη ποσοστιαία μείωση κατανάλωσης ενέργειας είναι 10%, όταν η κατανομή κελιών στην δευτερεύουσα αλυσίδα είναι 1/8 της αρχικής, για το κύκλωμα s38417. Όπως ήταν αναμενόμενο, μείωση του αριθμού των μεταβάσεων είναι μεγαλύτερη όταν η κατανομή των κελιών στην δευτερεύουσα αλυσίδα είναι στα 4/8 της αρχικής. επίσης η μείωση αυξάνει όσο μεγαλύτερος είναι ο αριθμός των αδιάφορων όρων που υπάρχει στα διανύσματα εισόδου δηλαδή για $q=k$. Έτσι η ποσοστιαία μείωση για το κύκλωμα s13207, θα μπορούσε να αγγίξει το 75% στην περίπτωση που η κατανομή κελιών στην δευτερεύουσα αλυσίδα είναι 4/8 της αρχικής και ο αριθμός των αδιάφορων όρων όλων των διανυσμάτων εισόδου είναι ο μεγαλύτερος δυνατός, δηλαδή για $q=k$.

Από τον Πίνακα 4.8 παρατηρείται ότι για τα IWLS κυκλώματα η μεγαλύτερη ποσοστιαία μείωση κατανάλωσης ενέργειας είναι 68,5%, για το κύκλωμα aes_core, στην περίπτωση που η κατανομή κελιών στην δευτερεύουσα αλυσίδα είναι το 4/8 της αρχικής.

Όπως ήταν αναμενόμενο παρατηρείται σημαντικό κέρδος στην κατανάλωση ενέργειας, στην περίπτωση των αναδιπλούμενων αλυσίδων σε σύγκριση με αυτό μιας τυπικής αλυσίδας σάρωσης. Όπως περιμέναμε όσο μεγαλύτερο είναι το k , δηλαδή η αναδίπλωση της αλυσίδας τόσο μεγαλύτερο είναι το κέρδος. Ακόμη μεγαλύτερο κέρδος παρουσιάζει η τεχνική, όσο μεγαλύτερος είναι ο αριθμός των συγκεντρωμένων αδιάφορων όρων στο αριστερό τμήμα των διανυσμάτων ελέγχου. Συνεπώς δικαιολογημένα η μεγαλύτερη απόδοση κέρδους παρατηρείται στα ISCAS όταν οι αδιάφοροι όροι είναι ίσοι με τον μεγαλύτερο αποδεκτό αριθμό ώστε να προσφέρει κέρδος, δηλαδή για $q=k$.

ΚΕΦΑΛΑΙΟ 5. ΣΥΜΠΕΡΑΣΜΑΤΑ

Η παρούσα εργασία στοχεύει στην μείωση της κατανάλωσης ενέργειας κατά την διάρκεια του ελέγχου ορθής λειτουργίας με την χρήση τεχνικών σειριακής σάρωσης σε ψηφιακά ολοκληρωμένα κυκλώματα. Η προτεινόμενη τεχνική ονομάζεται τεχνική αναδιπλούμενων αλυσίδων σάρωσης για μείωση κατανάλωσης ενέργειας και βασίζεται στην κατάλληλη αναδίπλωση της αρχικής αλυσίδας σάρωσης και την αποφυγή φόρτωσης ενός τμήματος με νέες τιμές, εκμεταλλευόμενοι τους αδιάφορους όρους στα διανύσματα ελέγχου.

Η τεχνική κατορθώνει να μειώσει τόσο τον αριθμό των απαιτούμενων ολισθήσεων για την ολοκλήρωση του ελέγχου ορθής λειτουργίας, όσο και τον αριθμό των μεταβάσεων των σημάτων προς την συνδυαστική λογική κατά την ολίσθηση δεδομένων, για την ολοκλήρωση του ελέγχου ορθής λειτουργίας. Κατά αυτόν τον τρόπο μειώνεται ο χρόνος ελέγχου ενός ολοκληρωμένου κυκλώματος όπως και η μέση κατανάλωση ενέργειας του κυκλώματος. Επιπλέον, με απλές εξαιρετικά μικρού κόστους τεχνικές εξασφαλίζεται το ίδιο ύψος στην κάλυψη σφαλμάτων που προσφέρει και η τυπική αλυσίδα.

Για την επαλήθευση της αποτελεσματικότητας της προτεινόμενης τεχνικής χρησιμοποιήθηκαν τα κυκλώματα αναφοράς ISCAS'89 και IWLS'05. Από τα πειραματικά αποτελέσματα προκύπτει σημαντική μείωση του χρόνου ελέγχου του κυκλώματος όπως και σημαντική μείωση της κατανάλωσης ενέργειας κατά την διάρκεια του ελέγχου ορθής λειτουργίας. Για την υλοποίηση της προτεινόμενης τεχνικής απαιτείται η προσθήκη υλικού γεγονός που επιφέρει σε ένα βαθμό κόστος στην επιφάνεια πυριτίου.

Στα πειραματικά αποτελέσματα παρατηρήθηκε ποσοστιαίο κέρδος από την μείωση των κατανάλωσης ενέργειας έως και 50% κατά μέσο όρο στα κυκλώματα ISCAS. Με

αναφορά τα πειραματικά αποτελέσματα, η μείωση αυτή αποδεικνύεται ανάλογη του αριθμού κατανομής k και του αριθμού των αδιάφορων όρων q που βρίσκονται στην αρχή των διανυσμάτων ελέγχου. Έτσι με μια καλή αναδιάταξη των διανυσμάτων εισόδου ώστε ο αριθμός των αδιάφορων όρων στο αρχικό τμήμα του διανύσματος εισόδου να είναι όσο το δυνατό πιο κοντά στον αριθμό των κελιών φύλλων ($q \leq k$), τα αποτελέσματα από την μείωση κατανάλωσης ενέργειας φτάνουν σχεδόν στο 70%.

Τέλος επισημαίνουμε ότι η τεχνική που προτάθηκε μπορεί να συνεργαστεί με οποιαδήποτε τεχνική ενσωματωμένου αυτοελέγχου καθώς και με x-filling τεχνικές για την μείωση της κατανάλωσης ενέργειας, κατά την φάση σύλληψης των αποκρίσεων. Επιπρόσθετα μπορούν να αξιοποιηθούν αδιάφοροι όροι του διανύσματος εισόδου ώστε να μειωθεί περαιτέρω ο αριθμός των μεταβάσεων στο τμήμα της αλυσίδας υποστήριξης λαμβάνοντας υπόψη τα ιδιαίτερα χαρακτηριστικά της προτεινόμενης τοπολογίας.

ΑΝΑΦΟΡΕΣ

- [1] Santiago Remersaro, “On low power test and DFT techniques for test set Compaction”, PhD. Thesis, University of Iowa, 2008.
- [2] N. Nicolici, “Power minimisation techniques for testing low power VLSI”, Ph.D. Dissertation, University of Southampton, October 2000.
- [3] John F. Wakerly, Supplementary material to accompany “Digital Design Principles and Practices”, Pearson Education, 2006.
- [4] Guy Perry, “ DFT and simulation Techniques for Digital Test ”, Soft Test, Incorporated, 2008.
- [5] Elham Khayat Moghaddam, “On low power test and low power compression, Techniques”, PhD. Thesis, University of Iowa, 2011.
- [6] J. Rajski, J. Tyszer, M. Kassab and N. Mukherjee, “Embedded Deterministic Test”, IEEE Transactions on CAD of Integrated Circuits and Systems, Vol. 23, Issue 5, pp. 776-792, May 2004.
- [7] Laung-Terng Wang, Charles E. Stroud, Nur A. Touba, "System-On-Chip Test Architectures. Nanometer Design for Testability", Morgan Kaufmann Publishers, 2008.
- [8] M. L. Bushnell and V. D. Agrawal, Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits, Springer Science, New York, NY, 2000.
- [9] L.-T. Wang, C.-W. Wu, and X. Wen, “VLSI Test Principles and Architectures: Design for Testability”, Morgan Kaufmann, San Francisco, CA, 2006.
- [10] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreeprakash, and M. Hachinger, “A Case Study of IR-Drop in Structured At-Speed Testing”, Proc. Int’l Test Conf., pp. 1098-1104, October 2003.
- [11] C. P. Ravikumar, M. Hirech, and X. Wen, “Test Strategies for Low Power Devices,” IEEE Design Automation and Test in Europe, pp. 728-733, 2008.
- [12] J. Li, Q. Xu, Y. Hu and X. Li, “X-Filling for Simultaneous Shift and Capture-Power Reduction in At-Speed Scan-Based Testing”, IEEE Transactions on VLSI Systems, vol. 18, no. 7, pp. 1081-1091, 2010.

- [13] N. Nicolici and B Al-Hashimi, "Power Constrained Testing of VLSI Circuits," Kluwer Academic Publishers, 2003.
- [14] Bhunia S, Mahmoodi H, Ghosh D, Mukhopadhyay S, Roy K "Low-power scan design using first-level supply gating", IEEE Trans VLSI Syst 13(3):384–395, March 2005
- [15] S. Gerstendorfer and H. J. Wunderlich, "Minimized Power Consumption for Scan-Based BIST," in Proc. IEEE Int'l Test Conf. (ITC), Sept. 28-30, 1999, pp. 77-84.
- [16] V. Dabholkar, S , Chakravarty, I. Pomeranz and S.M Reby, "Techniques for Minimizing Power Dissipation in Scan Combinational Circuits During Test Application," IEEE Tran. On CAD of Integrated Circuits and Systems, vol 17, no 12, pp. 1325-1333, 1999.
- [17] P. Girard, L. Guiller, C. Landrault and S. Pravossoudovitch, "A Test Vector Ordering Technique for Switching Activity Reduction during Test Operation ", IEEE Great Lakes Symp. on VLSI, pp. 24-27, 1999.
- [18] A. Chandra and K. Chakrabarty, " Low-Power Scan Testing and Test Data Compression for System-on-a-Chip," IEEE Tran on CAD of Integrated Circuits and Systems, vol. 21, no. 5, pp. 597-604, 2002.
- [19] J. Tudu, E. Larson. V. Singh and V. Agrawald, "On Minimization of Peak Power for Scan Circuit during Test," IEEE European Test Symposium, pp. 25-30, 2009.
- [20] S. Ghosh, S. Basu, and N. Touba. "Joint Minimization of Power and Area in Scan Testing by Scan Cell Reordering", Proceedings, IEEE Computer Society Annual Symposium on VLSI, 20-21 Feb. 2003, pp. 246-249
- [21] D. Czysz, M. Kassab, X. Lin, G. Mrugalski, J. Rajska and J. Tyszer, "" Low Power Scan Shift and Capture in the EDT Environment", IEEE International Test Conference, p 13.2, 2008.
- [22] P. Wohl, J. A. Waicukauski, S. Patel, and M. B. Amin, "Efficient Compression and Application of Deterministic Patterns in a Logic BIST Architecture," Proc. Design Automation Conf., pp. 566-569, June 2003.
- [23] T. Hiraide, K. O. Boateng, H. Konishi, K. Itaya, M. Emori, H. Yamanaka, and T. Mochiyama, "BIST-Aided scan test – a new method for test cost reduction," Proc. VLSI Test Symp., pp. 359-364, May 2003.
- [24] J. Li, Q. Xu, Y. Hu and X. Li, "X-Filling for Simultaneous Shift and Capture-Power Reduction in At-Speed Scan-Based Testing", IEEE Transactions on VLSI Systems, vol. 18, no. 7, pp. 1081-1091, 2010.

- [25] O. Sinanoglu, I. Bayraktaroglu, and A. Orailoglu, "Test Power Reduction through Minimization of scan Chain Transitions," Proc. IEEE 20th VLSI Test Symp., pp. 166-171, 2002.
- [26] A. Chandra, F. Ng and R. Kapur, "Low Power Illinois Scan Architecture for Simultaneous Power and Test Data Volume Reduction", Proceedings of the conference on Design Automation and Test in Europe (DATE), pp. 462-467, 2008.
- [27] P. Reshma, M. Geetha Priya, "Power Management during Scan Based Sequential Circuit Testing", Advanced Computing: An International Journal (ACIJ), Vol.2, No.3, May 2011.
- [28] P. M. Rosinger, B. M. Al-Hashimi, and N. Nicolici, "Scan Architecture with Mutually Exclusive Scan Segment Activation for Shift and Capture Power Reduction", IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, vol. 23, no.7, July 2004, pp. 1142-1153.
- [29] D. Xiang, K. Li, H. Fujiwara, K. Thulasiraman, and J. Sun, "Constraining Transition Propagation for Low-Power Scan Testing Using a Two-Stage Scan Architecture," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 54, no. 5, pp. 450-454, May 2007.
- [30] M.-H. Chiu and J. C.-M. Li, "Jump Scan: A DFT Technique for Low Power Testing", IEEE VLSI Test Symposium (VTS), pp. 277-282, 2005.
- [31] Ευτυχία Αρβανίτη, "Σχεδίαση Τμηματοποιημένων Αλυσίδων Σάρωσης για Μείωση της Κατανάλωσης Ενέργειας κατά τον Έλεγχο Ορθής Λειτουργίας", Μεταπτυχιακή εργασία ειδίκευσης, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων, MT 2010-12, 2011.
- [32] S. Remersaro, X. Lin, Z. Zhang, S. M. Reddy, I. Pomeranz, and J. Rajski, "Preferred fill: A scalable method to reduce capture power for scan based designs," in Proc. Int. Test Conf., Oct. 2006, pp. 110.
- [33] R. Sankaralingam, R. Oruganti and N. Touba, "Static Compaction Techniques to Control Scan Vector Power Dissipation", IEEE VLSI Test Symp., pp. 35-42, 2000.
- [34] E. Arvaniti, Y. Tsiatouhas, "Low Power Scan by Partitioning and Scan Hold", IEEE Design and Diagnostics of Electronic Circuits and Systems, pp. 262-265, 2012.
- [35] Μάτσειϊ Κ. Μπέλλος, "Τεχνικές ελέγχου ορθής λειτουργίας με έμφαση στη χαμηλή κατανάλωση ισχύος", Διδακτορική εργασία, Τμήμα Μηχανικών και Ηλεκτρονικών Υπολογιστών και Πληροφορικής, Πανεπιστήμιο Πατρών, 2005

- [36] Χαλκιά Μαρία, “Σχεδίαση Αλυσίδων Σάρωσης για Υψηλή Ταχύτητα και Χαμηλή Κατανάλωση”, Μεταπτυχιακή εργασία ειδίκευσης, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων, MT 2010-2012, 2010.
- [37] Il-soo Lee, Yong Min Hur, Tony Ambler, "The Efficient Multiple Scan Chain Architecture Reducing Power Dissipation and Test Time," pp.94-97, 13th Asian Test Symposium (ATS'04), 2004
- [38] N. A. Touba, “Survey of test vector compression techniques,” IEEE Design & Test of Computers, vol. 23, pp. 294–303, July-Aug. 2006.
- [39] A. R. Pandey and J. H. Patel, “An incremental algorithm for test generation in Illinois scan architecture based designs,” Proc. of Design, Automation & Test in Europe, pp. 368–375, 2002.
- [40] M. Chalkia and Y. Tsiatouhas, “The Leafs Scan-Chain for Test Application Time and Scan Power Reduction,” IEEE Conference on Electronics, Circuits and Systems (ICECS), pp. 749-752, 2012.

ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ

Η Ερμή Όλγα έλαβε πτυχίο και μεταπτυχιακό Πληροφορικής από το τμήμα Πληροφορικής του Πανεπιστημίου της Μπολόνια (Ιταλία), το 2005 και το 2008 αντίστοιχα. Από το 2009 είναι μεταπτυχιακή φοιτήτρια του τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων. Παράλληλα ανέπτυξε δική της επιχείρηση, με το όνομα "click4web", η οποία δραστηριοποιείται στον χώρο του διαδικτύου και των εφαρμογών.

