

CMOS ΛΟΓΙΚΗ ΟΙΚΟΓΕΝΕΙΑ ΜΕ ΧΡΗΣΗ ΔΙΟΔΙΚΟΥ ΤΡΑΝΖΙΣΤΟΡ ΓΙΑ
ΧΑΜΗΛΗ ΔΥΝΑΜΙΚΗ ΚΑΤΑΝΑΛΩΣΗ ΕΝΕΡΓΕΙΑΣ

Η
ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ

Υποβάλλεται στην

ορισθείσα από την Γενική Συνέλευση Ειδικής Σύστασης
του Τμήματος Πληροφορικής
Εξεταστική Επιτροπή

από την

Αικατερίνη Κατσαρού

ως μέρος των Υποχρεώσεων

για τη λήψη

του

ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΣΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ

ΜΕ ΕΞΕΙΔΙΚΕΥΣΗ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ-ΕΦΑΡΜΟΓΕΣ

ΑΦΙΕΡΩΣΗ

Στους γονείς μου και τον αδερφό μου.

ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω θερμά τον επιβλέποντα καθηγητή κ. Τσιατούχα Γεώργιο, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων για την συνεχή και υποδειγματική επιστημονική καθοδήγησή του και τις καίριες παρεμβάσεις του που συντέλεσαν στην ολοκλήρωση της παρούσας εργασίας. Επίσης, ευχαριστώ πολύ τα μέλη της επιτροπής κ. Καβουσιανό Χρυσοβαλάντη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων και τον κ. Ευθυμίου Αριστείδη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου. Τέλος, θα ήθελα να ευχαριστήσω τους γονείς μου, τον αδερφό μου και τους καλούς μου φίλους για την κατανόηση και την στήριξή τους.

ΠΕΡΙΕΧΟΜΕΝΑ

ΑΦΙΕΡΩΣΗ.....	ii
ΕΥΧΑΡΙΣΤΙΕΣ.....	iii
ΠΕΡΙΕΧΟΜΕΝΑ.....	iii
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ.....	viii
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ.....	x
ΠΕΡΙΛΗΨΗ.....	xiii
EXTENDED ABSTRACT IN ENGLISH.....	xviii
ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ.....	1
1.1 Στόχοι.....	1
1.2 Δομή της Διατριβής.....	2
ΚΕΦΑΛΑΙΟ 2. ΠΗΓΕΣ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΟΣ ΣΤΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ –CMOS.....	4

2.1	Δυναμική Κατανάλωση Ισχύος.....	5
2.2	Στατική Κατανάλωση Ισχύος.....	9
2.3	Ρεύμα Βραχυκυκλώματος.....	13
ΚΕΦΑΛΑΙΟ 3.	ΚΛΑΣΣΙΚΕΣ ΤΕΧΝΙΚΕΣ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ.....	16
3.1	Λογική με Πολλαπλές Τάσεις Τροφοδοσίας	19
3.1.1	<i>Η Αρχή Λειτουργίας των Πολλαπλών Τάσεων Τροφοδοσίας</i>	19
3.2	Ικανότητα Εξοικονόμησης Ενέργειας και η Ανάθεση Τάσης	22
3.3	Επέκταση της Τεχνικής Ομαδοποιημένων Κλιμακούμενων Τάσεων (Extended Clustered Voltage Scaling)	26
3.4	Ανάκτηση Τάσης σε Κυκλώματα Πολλαπλών Τάσεων Τροφοδοσίας (multi- V_{DD}) 26	
3.5	Δυναμική Κλιμάκωση της Τάσης (Dynamic Voltage Scaling - DVS).....	28
3.6	Η Τεχνική των Τμημάτων Τάσης (Voltage Islands).....	35
3.7	Τεχνική Χαμηλής Κατανάλωσης με Απενεργοποίηση του Ρολογιού κατά Τμήματα (Clock Gating).....	41
ΚΕΦΑΛΑΙΟ 4.	ΛΟΓΙΚΗ ΜΕ ΠΟΛΛΑΠΛΕΣ ΤΑΣΕΙΣ ΚΑΤΩΦΛΙΟΥ	46
4.1	Η Ιδέα των Πολλαπλών Τάσεων Κατωφλίου	46
4.2	Τεχνική Χαμηλής Κατανάλωσης με Απομόνωση της Ισχύος (Power Gating).....	48
4.3	Πόλωση Υποστρώματος (Back- Substrate- Bias).....	51
4.4	Συσκευές SOI Διπλών Πυλών για Χαμηλή Κατανάλωση (SOI Double-Gate Devices).....	54
ΚΕΦΑΛΑΙΟ 5.	Η ΠΡΟΤΕΙΝΟΜΕΝΗ ΤΕΧΝΙΚΗ ΧΑΜΗΛΗΣ ΔΥΝΑΜΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ.....	57
5.1	Εισαγωγή.....	57
5.2	Τρανζίστορ σε Συνδεσμολογία Διόδου (Diode-Connected Transistor).....	58

5.3	Η Στατική Σχεδίαση του Αναστροφέα NMOS με Τρανζίστορ σε Συνδεσμολογία Διόδου (Diode-connected Transistor)	60
5.4	Η Επανεκτίμηση της V_{OH} και του (W/L) S	61
5.5	Το Φαινόμενο Σώματος στο Στοιχείο MOSFET σε Συνδεσμολογία Διόδου	62
5.6	Ο Επανυπολογισμός του Μεγέθους του Στοιχείου σε Συνδεσμολογία Διόδου	65
5.7	Η V_{IH} και η V_{IL}	68
 ΚΕΦΑΛΑΙΟ 6. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ		73
6.1	Προτεινόμενες Συνδεσμολογίες Χαμηλής Κατανάλωσης Δυναμικής Ενέργειας. 73	
6.2	Οι Υπό Μελέτη Τοπολογίες με Τρανζίστορ Συνδεσμολογίας Διόδου Υψηλής Τάσης Κατωφλίου	79
6.3	Οι Υπό Μελέτη Τοπολογίες με Τρανζίστορ Συνδεσμολογίας Διόδου Χαμηλής Τάσης Κατωφλίου	87
6.4	Πειραματική Διάταξη για την Αξιολόγηση της Προτεινόμενης Τεχνικής.....	89
	 <i>6.4.1 Πειραματική Διάταξη μόνο με Πύλες NAND για την Αξιολόγηση της Προτεινόμενης Τεχνικής.....</i>	 98
	 <i>6.4.2 Monte Carlo για Στατική και Δυναμική Κατανάλωση.....</i>	 100
6.5	Εφαρμογή της Προτεινόμενης Τεχνικής σε Συνδυασμό με DVFS Τεχνικές.....	104
6.6	Πειραματική Διάταξη για την Αξιολόγηση της Δεύτερης Προτεινόμενης Τεχνικής	108
	 <i>6.6.1 Αναλυτική Μελέτη της Προτεινόμενης Τεχνικής.....</i>	 115
	 <i>6.6.2 Μελέτη της Προτεινόμενης Τεχνικής ως προς το Μέγεθος του Τρανζίστορ σε Συνδεσμολογία Διόδου</i>	 143

6.6.3	<i>Μελέτη της Προτεινόμενης Τεχνικής ως προς το Μέγιστο Αριθμό Πυλών σε μια Διαδρομή Σήματος</i>	152
ΚΕΦΑΛΑΙΟ 7.	ΣΥΜΠΕΡΑΣΜΑΤΑ	157
ΑΝΑΦΟΡΕΣ.....	161
ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ.....	165

ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

Πίνακας 5.1. Παράμετροι για το Τρανζίστορ NMOS Τύπου Πύκνωσης	64
Πίνακας 5.2. Επαναληπτική Διαδικασία για τον Καλύτερο Υπολογισμό u_0 και V_{IH}	71
Πίνακας 6.1. Αποτελέσματα Προσομοιώσεων για τις Τοπολογίες με Τρανζίστορ Συνδεσμολογίας Διόδου Υψηλής Τάσης Κατωφλίου	81
Πίνακας 6.2. Αποτελέσματα Προσομοιώσεων για τις Τοπολογίες με Τρανζίστορ Συνδεσμολογίας Διόδου Χαμηλής Τάσης Κατωφλίου	88
Πίνακας 6.3. Συγκριτικά Αποτελέσματα Προσομοιώσεων με HV_t Διοδικό Τρανζίστορ...	92
Πίνακας 6.4. Συγκριτικά Αποτελέσματα Προσομοιώσεων με LV_t Διοδικό Τρανζίστορ ...	92
Πίνακας 6.5. Μεταβολή Κατανάλωσης ως προς τη Θερμοκρασία	94
Πίνακας 6.6. Συγκριτικά Αποτελέσματα Προσομοιώσεων με Χρήση Τεχνολογίας Τριπλού Πηγαδιού και HV_t Διοδικό Τρανζίστορ	96
Πίνακας 6.7. Αριθμός Πυλών για Ίση Καθυστέρηση με την Κλασσική Συνδεσμολογία...	97
Πίνακας 6.8. Συγκριτικά Αποτελέσματα Προσομοιώσεων με HV_t Διοδικό Τρανζίστορ...	99
Πίνακας 6.9. Συγκριτικά Αποτελέσματα Προσομοιώσεων με LV_t Διοδικό Τρανζίστορ .	100
Πίνακας 6.10. Monte- Carlo για Στατική Κατανάλωση και HV_t στο Τρανζίστορ σε Συνδεσμολογία Διόδου	101
Πίνακας 6.11. Monte- Carlo για Στατική Κατανάλωση και LV_t στο Τρανζίστορ σε Συνδεσμολογία Διόδου	101
Πίνακας 6.12. Monte- Carlo για Δυναμική Κατανάλωση και HV_t στο Τρανζίστορ σε Συνδεσμολογία Διόδου	102
Πίνακας 6.13. Monte- Carlo για Δυναμική Κατανάλωση και LV_t στο Τρανζίστορ σε Συνδεσμολογία Διόδου	103
Πίνακας 6.14. Καθυστέρηση για Προτεινόμενη και Standard Τεχνική με Κλιμάκωση Τάσης	107
Πίνακας 6.15. Συγκριτικά Αποτελέσματα Προσομοιώσεων με HV_t Διοδικό Τρανζίστορ	111
Πίνακας 6.16. Συγκριτικά Αποτελέσματα Προσομοιώσεων με LV_t Διοδικό Τρανζίστορ	112
Πίνακας 6.17. Δυναμική και Στατική Κατανάλωση για την Άνω Τριγωνική Κατανομή με Χρήση HV_t Διοδικό Τρανζίστορ	119
Πίνακας 6.18. Δυναμική και Στατική Κατανάλωση για την Άνω Τριγωνική Κατανομή με Χρήση LV_t Διοδικό Τρανζίστορ	121
Πίνακας 6.19. Δυναμική και Στατική Κατανάλωση για την Ομοιόμορφη Κατανομή με Χρήση HV_t Διοδικό Τρανζίστορ	125
Πίνακας 6.20. Δυναμική και Στατική Κατανάλωση για την Ομοιόμορφη Κατανομή με χρήση LV_t Διοδικό Τρανζίστορ	127

Πίνακας 6.21. Δυναμική και Στατική Κατανάλωση για την Κάτω Τριγωνική Κατανομή με Χρήση HVt Διοδικό Τρανζίστορ	131
Πίνακας 6.22. Δυναμική και Στατική Κατανάλωση για την Κάτω Τριγωνική Κατανομή με Χρήση LVt Διοδικό Τρανζίστορ.....	133
Πίνακας 6.23. Δυναμική και Στατική Κατανάλωση για την Τριγωνική Κατανομή με Χρήση HVt Διοδικό Τρανζίστορ	137
Πίνακας 6.24. Δυναμική και Στατική Κατανάλωση για την Τριγωνική Κατανομή με Χρήση LVt Διοδικό Τρανζίστορ.....	140
Πίνακας 6.25. Μεγέθη Διοδικών Τρανζίστορ.....	143
Πίνακας 6.26. Καθυστέρηση και Καταναλώσεις για Μεταβαλλόμενο Μέσο Κόστος (C)	144
Πίνακας 6.27. Δυναμική Κατανάλωση και Κέρδη των Κατανομών για C= 10%	148
Πίνακας 6.28. Δυναμική Κατανάλωση και Κέρδη των Κατανομών για C= 30%	149
Πίνακας 6.29. Συγκεντρωτικός Πίνακας Τριγωνικής Κατανομής και Κερδών των Τεχνικών	150
Πίνακας 6.30. Συγκεντρωτικός Πίνακας Τριγωνικής Κατανομής και Κερδών των Τεχνικών	155

ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

Σχήμα	Σελ
Σχήμα 2.1. Μία Πύλη CMOS που Οδηγεί μία Ισοδύναμη Χωρητικότητα Φόρτου C_L	6
Σχήμα 2.2. Μηχανισμοί Δημιουργίας Ρευμάτων Διαρροής	9
Σχήμα 2.3. Το Πλήρες Μοντέλο του CMOS Αναστροφέα	10
Σχήμα 2.4. Το ρεύμα στην Περιοχή Υποκατωφλίου ή Ρεύμα Ασθενούς Αναστροφής Ρέει στην Περιοχή κάτω από την Πύλη	11
Σχήμα 2.5. Εξάρτηση του Ρεύματος Ασθενούς Αναστροφής από τη Τάση Κατωφλίου V_t και την Τάση Πύλης-Πηγής V_{GS}	12
Σχήμα 2.6. Τα Ρεύματα DIBL και GIDL	13
Σχήμα 2.7. Τα Ρεύματα Βραχυκύκλωσης που Παράγονται από Δύο σε Σειρά Συνδεδεμένους Αναστροφείς.....	15
Σχήμα 3.1. Αρχή Λειτουργίας της Τεχνικής Πολλαπλών V_{DD} σε Επίπεδο Πύλης.....	20
Σχήμα 3.2. (a) Η Προσέγγιση Επιπέδου Γραμμής (row-based approach) (b) Η Προσέγγιση Επιπέδου Κελιού (cell-based approach)	21
Σχήμα 3.3. Τρία Παραδείγματα Κατανομών της Καθυστερήσης Διάδοσης Σήματος Διαδρομής.....	23
Σχήμα 3.4. Δυναμική και Στατική Κατανάλωση ενός Αναστροφέα με Χωρητικό Φορτίο 10 fF σε Συνάρτηση με την Καθυστερήση της Πύλης.....	24
Σχήμα 3.5. Συμβατικό Ασύγχρονο Κύκλωμα Ανάκτησης Τάσης με Μέτρια Καθυστερήση Διάδοσης Σήματος.....	28
Σχήμα 3.6. (a) Λειτουργία Υψηλής Απόδοσης (b) Μείωση της Συχνότητας του Ρολογιού (c) Λειτουργία Χαμηλής Απόδοσης και Χαμηλής Δυναμικής Κατανάλωσης (d) Λειτουργία Χαμηλής Στατικής Κατανάλωσης [4]	31

Σχήμα 3.7. Η Ιδέα των Δύο Διακοπών για Χαμηλή Κατανάλωση και Υψηλή Απόδοση Παραμέτρων [9]	34
Σχήμα 3.8. Τμήμα Τάσης Χρονικά-Κρίσιμο [12]	36
Σχήμα 3.9. Τμήμα Τάσης για Διάταξη Παροχής Ισχύος [12]	37
Σχήμα 3.10. Παράδειγμα SoC με τη Δημιουργία Τμημάτων Τάσης [13]	40
Σχήμα 3.11. Η Τεχνική Απενεργοποίησης του Ρολογιού κατά Τμήματα στην πιο Απλή Μορφή [14]	43
Σχήμα 3.12. Εφαρμογή της Τεχνικής Απενεργοποίησης Ρολογιού κατά Τμήματα σε Σχεδίαση Τύπου Δομής Διοχέτευσης [15]	44
Σχήμα 3.13. (α) Μοντέλο ενός Δέντρου με Απενεργοποιημένο κατά Τμήματα Ρολόι (b) Τοπολογία ενός Δέντρου με Απενεργοποιημένο κατά Τμήματα Ρολόι [16]	45
Σχήμα 4.1. Ο Επεξεργαστής Βασικής Ζώνης SGOLD3 TM από τη Infineon Technologies [4]	49
Σχήμα 4.2. Η Αρχή Λειτουργίας της Τεχνικής Απομόνωσης Ισχύος [18]	50
Σχήμα 4.3. (a) Γενική Σχεδίαση: Το Υπόστρωμα Συνδέεται στην Τροφοδοσία ή στη Γη. (b) Μεταβλητή Τάση Πόλωσης Υποστρώματος για να Μεταβάλλει την Τάση Κατωφλίου	52
Σχήμα 4.4. (a) Τρανζίστορ Τεχνολογίας SOI (b) Τρανζίστορ SOI Διπλής Πύλης (c) FinFET Τρανζίστορ[20]	55
Σχήμα 5.1. (a) Κλασική Πύλη σε Τεχνολογία CMOS (b) Πύλη με την Προτεινόμενη Τεχνική	58
Σχήμα 5.2. (a) Αναστροφέας NMOS με την Πύλη του Στοιχείου Φόρτου Συνδεδεμένη με την Πηγή του (b) Αναστροφέας NMOS με Γειωμένη την Πύλη του Στοιχείου Φόρτου (c) Αναστροφέας με Τρανζίστορ σε Συνδεσμολογία Διόδου (d) Αναστροφέας με Γραμμικό Φόρτο	59
Σχήμα 5.3. Παράδειγμα Κυκλώματος με Φόρτο σε Συνδεσμολογία Διόδου	60
Σχήμα 5.4. (α) Αναστροφέας με Χωρητικό Φορτίο (b) Το Υψηλό Επίπεδο Εξόδου Επιτυγχάνεται Όταν Είναι $u_I = V_{OL}$ και το M_S Δεν Αγει	62
Σχήμα 5.5. Διατομή Δυο MOSFET σε Συνδεσμολογία Αναστροφέα	63
Σχήμα 5.6. Η Τάση Υποστρώματος- Πηγής για το Στοιχείο Φόρτου	63
Σχήμα 5.7. Οι Συνθήκες Πόλωσης που Χρησιμοποιούνται για τον Καθορισμό του $(W/L)_L$	65

Σχήμα 5. 8. Οι Σχεδιασμοί Αναστροφέα με Τρανζίστορ σε Συνδεσμολογία Διόδου: (a) Χωρίς το Φαινόμενο Σώματος, (b) Συμπεριλαμβανομένου του Φαινομένου Σώματος	67
Σχήμα 5. 9. Η Προσομοίωση Spice της Συνάρτησης Μεταφοράς Τάσης για τον Αναστροφέα NMOS με Τρανζίστορ σε Συνδεσμολογία Διόδου	68
Σχήμα 6.1. Diode Transistor- Transistor Logic (a) Κλασσικός Αναστροφέας (b) 1 ^η Συνδεσμολογία (c) 2 ^η Συνδεσμολογία (d) 3 ^η Συνδεσμολογία (e) 4 ^η Συνδεσμολογία (f) 5 ^η Συνδεσμολογία (g) 6 ^η Συνδεσμολογία (h) 7 ^η Συνδεσμολογία (i) 8 ^η Συνδεσμολογία	76
Σχήμα 6.2. Αναστροφέας με Τρανζίστορ σε Συνδεσμολογία Διόδου.....	76
Σχήμα 6.3. (a) Απλή Πύλη CMOS (b) Πύλη CMOS με τη 2 ^η Συνδεσμολογία	82
Σχήμα 6.4. Σχηματικό με τη 2 ^η Συνδεσμολογία σε Δύο Πύλες NOT	83
Σχήμα 6.5. Κυματομορφή Απόκρισης του Κυκλώματος	84
6.6. (a) Απλή Πύλη CMOS (b) Πύλη CMOS με την 7 ^η Συνδεσμολογία	85
Σχήμα 6.7 Σχηματικό με την 7 ^η Συνδεσμολογία σε Δύο Πύλες NOT	86
Σχήμα 6.8 Κυματομορφή Απόκρισης του Κυκλώματος	87
Σχήμα 6.9. Το κύκλωμα που Χρησιμοποιήσαμε στις Προσομοιώσεις σε Επίπεδο- Πύλης.....	89
Σχήμα 6.10. Προτεινόμενη Τοπολογία που Χρησιμοποιήθηκε στις Προσομοιώσεις της Παρούσας Ενότητας.....	90
Σχήμα 6.11. Το Κύκλωμα που Χρησιμοποιήσαμε στις Προσομοιώσεις σε Επίπεδο- Πύλης.....	98
Σχήμα 6.12. (α) Η Extra V_{DD} Περνάει μέσα στην Πύλη (β) Το Μέταλλο 1 για την Extra V_{DD} Τοποθετείται εκτός Πύλης (γ) Χρησιμοποιείται το Μέταλλο 2 για την Extra V_{DD} και Τοποθετείται πάνω από το Μέταλλο 1	105
Σχήμα 6.13. Κλιμάκωση Τάσης για Προτεινόμενη και Standard Τεχνική.....	108
Σχήμα 6.14. Η Δεύτερη Προτεινόμενη Τοπολογία που Χρησιμοποιήθηκε στις Προσομοιώσεις της Παρούσας Ενότητας.....	109
Σχήμα 6.15. Το Κύκλωμα που Χρησιμοποιήθηκε στις Προσομοιώσεις σε Επίπεδο- Πύλης	109
Σχήμα 6.16. Αναστροφέας με την Τεχνική Dual- V_{DD}	114
Σχήμα 6.17. Άνω Τριγωνική Κατανομή.....	115
Σχήμα 6.18. Ομοιόμορφη Κατανομή.....	121
Σχήμα 6.19. Κάτω Τριγωνική Κατανομή.....	127

Σχήμα 6.20. Τριγωνική Κατανομή.....	134
Σχήμα 6.21. Δυναμική Κατανάλωση για Διοδικό Τρανζίστορ με HV_t	139
Σχήμα 6.22. Στατική Κατανάλωση για Διοδικό Τρανζίστορ με HV_t	140
Σχήμα 6.23. Δυναμική Κατανάλωση για Διοδικό Τρανζίστορ με LV_t	141
Σχήμα 6.24. Στατική Κατανάλωση για Διοδικό Τρανζίστορ με LV_t	141
Σχήμα 6.25. Δυναμική Κατανάλωση Κατανομών για $C=10\%$	148
Σχήμα 6.26. Δυναμική Κατανάλωση Κατανομών για $C=30\%$	149
Σχήμα 6.27. Δυναμική Κατανάλωση για την Τριγωνική Κατανομή.....	150
Σχήμα 6.28. Δυναμική Κατανάλωση για την Τριγωνική Κατανομή σε Σχέση με το Μέγιστο Αριθμό Πυλών.....	155

ΠΕΡΙΛΗΨΗ

Αικατερίνη Κατσαρού του Αποστόλου και της Χαρίκλειας.

MSc, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων, Μάιος, 2012.

CMOS Λογική Οικογένεια με Χρήση Διοδικού Τρανζίστορ για Χαμηλή Δυναμική Κατανάλωση Ενέργειας.

Επιβλέπων: Γεώργιος Τσιατούχας.

Η κατανάλωση ενέργειας αποτελεί μια σημαντική παράμετρο του σχεδιασμού στα ολοκληρωμένα κυκλώματα των σύγχρονων CMOS νανομετρικών τεχνολογιών. Μια πληθώρα τεχνικών έχει αναπτυχθεί για την αντιμετώπιση των δύο σημαντικών κατηγοριών της που είναι η δυναμική και η στατική κατανάλωση ενέργειας. Η τεχνική των πολλαπλών τάσεων τροφοδοσίας (multiple supply voltages) καταφέρνει να μειώσει τόσο τη δυναμική όσο και τη στατική κατανάλωση ενέργειας χωρίς να επιδράσει απαγορευτικά στην αύξηση της καθυστέρησης διάδοσης σήματος στο κύκλωμα. Παρόλα αυτά η τεχνική πολλαπλών τάσεων τροφοδοσίας εμφανίζει μειονεκτήματα στο φυσικό επίπεδο της σχεδίασης τα οποία σχετίζονται με την απαιτούμενη επιφάνεια πυριτίου και/ή την έλλειψη κατάλληλων εργαλείων για την αυτοματοποίηση του σχεδιασμού.

Στην παρούσα εργασία προτείνεται μια τεχνική σχεδίασης με τη χρήση διοδικού τρανζίστορ (diode-connected transistor) για τη μείωση της δυναμικής κατανάλωσης ενέργειας. Βασίζεται στην ιδέα της προσθήκης ενός διοδικού τρανζίστορ σε σειρά είτε στο PMOS δικτύωμα της πύλης είτε στο NMOS δικτύωμα της πύλης, είτε ενδεχόμενα και στα δύο δικτύωματα. Με την προσθήκη αυτή επιτυγχάνεται η μείωση της ταλάντευσης σήματος στους εσωτερικούς κόμβους του κυκλώματος από 0 έως V_{DD} (όπου V_{DD} η τάση

τροφοδοσίας) που ισχύει στην κλασσική σχεδίαση, σε 0 έως $V_{DD} - |V_t|$ ή $|V_t|$ έως V_{DD} ή $|V_t|$ έως $V_{DD} - |V_t|$, (όπου V_t η τάση κατωφλίου του διοδικού τρανζίστορ) ανάλογα με τη χρησιμοποιούμενη τοπολογία. Η μείωση της ταλάντευσης σήματος συνεπάγεται τη μείωση με νόμο τετραγώνου της δυναμικής κατανάλωσης ενέργειας στο κύκλωμα σύμφωνα με τη ακόλουθη έκφραση:

$$E = C \cdot V_{\text{swing}}^2$$

Στην εργασία μελετώνται διάφορες εναλλακτικές τοπολογίες και γίνονται συγκρίσεις τόσο με την κλασσική σχεδίαση όσο και με την σχεδίαση που χρησιμοποιεί διπλές τάσεις τροφοδοσίας. Η προτεινόμενη τεχνική μπορεί να προσφέρει μειωμένη δυναμική και στατική κατανάλωση ενέργειας με τις ίδιες επιδόσεις στην ταχύτητα λειτουργίας σε σχέση με τις δύο υπάρχουσες τεχνικές. Το ουσιαστικό της όμως πλεονέκτημα, σε σχέση με την τεχνική των διπλών τάσεων τροφοδοσίας, είναι η δυνατότητα χρήσης των υπάρχοντων εργαλείων αυτοματοποιημένου σχεδιασμού καθώς αποφεύγεται η εξαιρετικά μεγάλη πολυπλοκότητα στο φυσικό σχεδιασμό και τη δρομολόγηση των πολλαπλών γραμμών τροφοδοσίας που χαρακτηρίζει την ανταγωνιστική τεχνική.

EXTENDED ABSTRACT IN ENGLISH

Katsarou, Aikaterini, A.

MSc, Computer Science Department, University of Ioannina, Greece. May, 2012. Diode-Connected Transistor Based CMOS Logic Family for Low Dynamic Power Consumption.

Thesis Supervisor: Yiorgos Tsiatouhas.

Energy consumption is an important parameter in modern nanometric technology integrated circuits. A variety of techniques have been developed to address the two main categories of power consumption the dynamic and static. The multiple supply voltage technique reduces both dynamic and static power consumption without prohibitively increasing the signal propagation delay in a circuit. However, the multiple supply voltage technique presents disadvantages in physical layer design related to the required silicon area and / or lack of appropriate tools for design automation.

In this thesis we propose a new design technique which exploits a diode-connected transistor for dynamic power dissipation reduction. The proposed technique is based on the idea of adding a diode-connected transistor in series to either the PMOS or the NMOS network, or to both networks of the gate. The insertion of the diode-connected transistor reduces the signal swing at the internal nodes of the circuit [0 to VDD] (where VDD is the supply voltage) according to the standard technique, to [0 to VDD - |V_t|] or [|V_t| to

VDD], (where V_t is the threshold voltage of the diode-connected transistor) depending on the topology used. Reducing signal swing affects the dynamic dissipation in proportion to V_{DD}^2 . The expression is:

$$E = C \cdot V_{swing}^2$$

In this thesis several alternative topologies of the proposed scheme are studied and comparisons are made with both the standard technique and the dual supply voltage technique. The proposed technique can offer reduced dynamic and static power consumption with the same performance in operation speed compared with the two existing techniques. The main advantage, however, compared with the dual supply voltages technique, is the ability of using the existing automated design tools and avoiding the extreme complexity of the physical design and the routing of multiple power lines that characterizes the competitive technique.

ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ

1.1 Στόχοι

1.2 Δομή της Διατριβής

1.1 Στόχοι

Η κλιμάκωση της CMOS τεχνολογίας έκανε επιτακτική την ανάγκη μείωσης της κατανάλωσης ισχύος χωρίς να υποβαθμίζεται η ταχύτητα λειτουργίας και η υπολογιστική απόδοση των κυκλωμάτων. Η κατανόηση των μηχανισμών κατανάλωσης ισχύος είναι κρίσιμη για την ανάπτυξη τεχνικών χαμηλής κατανάλωσης τόσο στο επίπεδο του κυκλώματος όσο και στο επίπεδο της αρχιτεκτονικής.

Υπάρχουν τρεις τύποι κατανάλωσης ισχύος στα κυκλώματα CMOS, η δυναμική κατανάλωση, η στατική κατανάλωση και η κατανάλωση βραχυκυκλώματος. Η δυναμική κατανάλωση οφείλεται στην φόρτιση και αποφόρτιση των παρασιτικών χωρητικοτήτων κατά τη διάρκεια μεταβάσεων της τάσης στους κόμβους ενός κυκλώματος CMOS. Επιπρόσθετα, εξαιτίας της μη-ιδανικής συμπεριφοράς του τρανζίστορ (π.χ. πεπερασμένη αντίσταση), εμφανίζονται ρεύματα διαρροής σε αυτό ακόμα και όταν λειτουργεί στην περιοχή της αποκοπής, οπότε έχουμε τη λεγόμενη στατική κατανάλωση ισχύος. Τέλος, το ρεύμα βραχυκυκλώματος είναι το ρεύμα που διαρρέει ένα CMOS κύκλωμα κατά τη διάρκεια των μεταβάσεων των σημάτων από μια κατάσταση σε άλλη (μη-μηδενικοί χρόνοι ανόδου και καθόδου των σημάτων).

Στην παρούσα εργασία ασχολούμαστε με το πρόβλημα της μείωσης της δυναμικής κατανάλωσης που αποτελεί μία σημαντική παράμετρο στην κατανάλωση ενέργειας. Υπάρχουν διάφορες τεχνικές που ασχολούνται με τη μείωση της δυναμικής κατανάλωσης όπως είναι η τεχνική των πολλαπλών τάσεων τροφοδοσίας (multiple voltage supply), η τεχνική της δυναμικής κλιμάκωσης της τάσης τροφοδοσίας (dynamic voltage scaling-DVS), η τεχνική των περιοχών τάσης (voltage islands) και η τεχνική χαμηλής

κατανάλωσης με απενεργοποίηση του ρολογιού κατά τμήματα (clock gating). Η συγκεκριμένη τεχνική που προτείνουμε για μείωση της δυναμικής κατανάλωσης βασίζεται στην ιδέα της προσθήκης ενός επιπλέον τρανζίστορ είτε στο PMOS δικτύωμα της πύλης είτε στο NMOS δικτύωμα της πύλης. Το βασικό χαρακτηριστικό του συγκεκριμένου τρανζίστορ είναι ότι έχει συνδεδεμένους μεταξύ τους, τους ακροδέκτες της υποδοχής και πύλης και λειτουργεί στην περιοχή του κόρου. Η τοπολογία αυτή ονομάζεται τρανζίστορ σε συνδεσμολογία διόδου (diode-connected transistor). Με την προσθήκη του τρανζίστορ σε συνδεσμολογία διόδου πετυχαίνουμε τη μείωση της ταλάντευσης σήματος στον κόμβο εξόδου της πύλης από $(0 \rightarrow V_{DD})$ αρχικά σε $(0 \rightarrow V_{DD} - |V_t|)$ ή $(|V_t| \rightarrow V_{DD})$ ανάλογα την επιλεγμένη τοπολογία. Επίσης η προτεινόμενη τεχνική καταφέρνει να μειώσει και την στατική κατανάλωση ισχύος σε σχέση με την κλασική συνδεσμολογία. Σύμφωνα με τα πειραματικά αποτελέσματα η προτεινόμενη τεχνική μπορεί να πετύχει μικρότερη δυναμική κατανάλωση σε σχέση με την κλασική συνδεσμολογία και την τεχνική διπλών τάσεων τροφοδοσίας (dual V_{DD}) με μικρότερη πολυπλοκότητα σε ότι αφορά τη δεύτερη τεχνική.

1.2 Δομή της Διατριβής

Η εργασία αυτή είναι χωρισμένη σε επτά κεφάλαια. Αρχικά στο *πρώτο κεφάλαιο* παρουσιάζονται οι στόχοι της εργασίας καθώς και η δομή της διατριβής.

Στο *δεύτερο κεφάλαιο* παρουσιάζονται οι πηγές κατανάλωσης ισχύος στα ολοκληρωμένα κυκλώματα (CMOS) με έμφαση στη δυναμική και στατική κατανάλωση που αποτελούν τους βασικότερες τύπους κατανάλωσης ισχύος.

Στο *τρίτο κεφάλαιο* παρουσιάζονται οι βασικές τεχνικές για τη μείωση της δυναμικής κατανάλωσης ισχύος που έχουν προταθεί μέχρι σήμερα.

Στο *τέταρτο κεφάλαιο* παρουσιάζονται οι βασικές τεχνικές για τη μείωση της στατικής κατανάλωσης ισχύος που έχουν προταθεί μέχρι σήμερα.

Το *πέμπτο κεφάλαιο* αναλύει λεπτομερώς την προτεινόμενη τεχνική που βασίζεται στη χρήση διοδικού τρανζίστορ για χαμηλή δυναμική κατανάλωση ισχύος.

Το *έκτο κεφάλαιο* αναφέρεται στα πειραματικά αποτελέσματα και τις μετρήσεις με την εφαρμογή της προτεινόμενης τεχνικής σε δοθείσα πειραματική διάταξη και τη σύγκριση αυτών των αποτελεσμάτων με εκείνα που προκύπτουν από την εφαρμογή της κλασσικής συνδεσμολογίας σχεδίασης καθώς και της τεχνικής διπλών τάσεων τροφοδοσίας (dual V_{DD}) στην ίδια πειραματική διάταξη.

Τέλος το *έβδομο κεφάλαιο* παρουσιάζει τα συμπεράσματα της εργασίας.

ΚΕΦΑΛΑΙΟ 2. ΠΗΓΕΣ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΟΣ ΣΤΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ CMOS

2.1 Δυναμική Κατανάλωση Ισχύος

2.2 Στατική Κατανάλωση Ισχύος

3.3 Ρεύμα Βραχυκυκλώματος

Η κατανάλωση ισχύος είναι ένα από τα κύρια προβλήματα προς αντιμετώπιση κατά την εξέλιξη της CMOS τεχνολογίας. Ο εντοπισμός των πηγών κατανάλωσης ισχύος είναι κρίσιμος για την ανάπτυξη τεχνικών χαμηλής κατανάλωσης κατά την εργοστασιακή κατασκευή τους τόσο στο επίπεδο του κυκλώματος όσο και στο επίπεδο της αρχιτεκτονικής. Υπάρχουν τρεις πηγές κατανάλωσης ισχύος στα κυκλώματα CMOS, η δυναμική κατανάλωση, η στατική κατανάλωση και η κατανάλωση βραχυκυκλώματος. [1].

Η συνολική κατανάλωση ισχύος ενός κυκλώματος CMOS είναι:

$$P_{total} = P_{dynamic} + P_{leakage} + P_{short-circuit} \quad [\text{Εξ 2.1}]$$

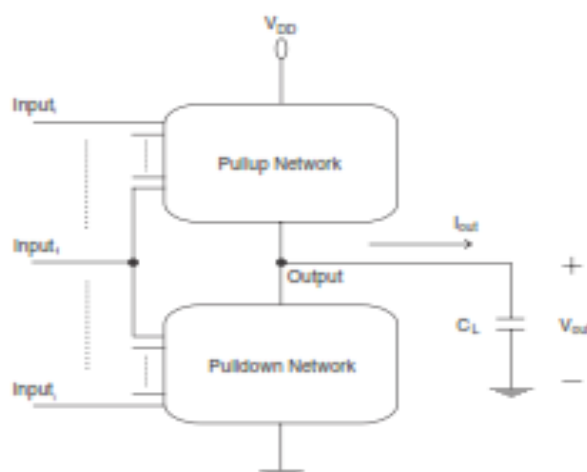
όπου $P_{dynamic}$ είναι η δυναμική κατανάλωση που οφείλεται στη δραστηριότητα του κυκλώματος κατά την οποία φορτίζονται και αποφορτίζονται οι παρασιτικές χωρητικότητες κατά τη διάρκεια των μεταβάσεων σήματος στους εσωτερικούς κόμβους. Η $P_{leakage}$ οφείλεται σε διαρροές ρεύματος και εξακολουθεί να υφίσταται ακόμη και όταν δεν υπάρχει δραστηριότητα στο κύκλωμα (π.χ. είναι σε κατάσταση αναμονής). Οφείλεται σε ρεύματα διαρροής κυρίως εξαιτίας της μειωμένης τάσης κατωφλίου V_{th} και του μηχανισμού καναλισμού διαμέσου του λεπτού πάχους του οξειδίου της πύλης (στις κάτω

από τα 100nm τεχνολογίες, - όπου $t_{ox} < 2.5\text{nm}$). Η $P_{short-circuit}$ είναι η ισχύς που καταναλώνεται κατά τη μετάβαση ενός σήματος εισόδου όπου και το PMOS και το NMOS δικτύωμα μιας πύλης CMOS μπορεί να άγουν ταυτόχρονα.

2.1 Δυναμική Κατανάλωση Ισχύος

Είναι προφανές πως μια σημαντική πηγή κατανάλωσης ισχύος σε ένα τυπικό κύκλωμα CMOS είναι η δυναμική κατανάλωση. Η δυναμική κατανάλωση οφείλεται στην φόρτιση και αποφόρτιση των παρασιτικών χωρητικοτήτων κατά τη διάρκεια μεταβάσεων της τάσης στους κόμβους ενός κυκλώματος CMOS [1]. Οι χωρητικότητες ζεύξης υποδοχής-υποστρώματος στην πύλη που οδηγεί, η χωρητικότητα της γραμμής διασύνδεσης της πύλης με τις πύλες που οδηγεί και η χωρητικότητα του οξειδίου της πύλης στις πύλες που οδηγούνται από τη συγκεκριμένη πύλη (fan out) αποτελούν μια συνολική ισοδύναμη χωρητικότητα C_L στην έξοδο της πύλης.

Η δυναμική κατανάλωση ισχύος είναι ανεξάρτητη από τον τύπο της πύλης όπου γίνεται η μετάβαση και του σχήματος της κυματομορφής εισόδου (χρόνοι ανόδου και καθόδου του σήματος εισόδου). Εξαρτάται όμως από την τάση τροφοδοσίας, τη συχνότητα μετάβασης, την ταλάντευση (swing) της τάσης στην έξοδο και την ισοδύναμη χωρητικότητα στον κόμβο μετάβασης. Από την στιγμή που η ισχύς μετάβασης δεν εξαρτάται από τον τύπο της πύλης μετάβασης, ένα διάγραμμα τύπου μπλοκ χρησιμοποιείται για την αναπαράσταση μίας τυπικής πύλης CMOS (σχήμα 2.1) για να εξηγήσει τη δυναμική κατανάλωση ισχύος μετάβασης στα κυκλώματα CMOS.



Σχήμα 2.1. Μία Πύλη CMOS που Οδηγεί μία Ισοδύναμη Χωρητικότητα Φόρτου C_L

Για μια μετάβαση του κόμβου εξόδου από χαμηλό-σε-υψηλό επίπεδο, το πάνω δικτύωμα ενεργοποιείται και το κάτω απενεργοποιείται. Το επιμέρους ρεύμα της πηγής τροφοδοσίας που διαρρέει τα τρανζίστορ του πάνω δικτυώματος για να φορτίσει τον πυκνωτή εξόδου δίνεται ως $I_{out}(t)$. Η στιγμιαία ισχύς που καταναλώνεται από την τροφοδοσία για να φορτίσει τον εξωτερικό πυκνωτή είναι:

$$P(t) = V_{DD} I_{OUT}(t) \quad [\text{Εξ 2.2}]$$

$$I_{out}(t) = C_L \frac{dV_{out}(t)}{dt} \quad [\text{Εξ 2.3}]$$

όπου V_{DD} είναι η τάση τροφοδοσίας και $V_{out}(t)$ είναι η στιγμιαία τάση στον πυκνωτή εξόδου.

Η απαιτούμενη ενέργεια από την πηγή τροφοδοσίας για μετάβαση $V_1 \rightarrow V_2$ στην τάση του κόμβου εξόδου είναι:

$$E_{V_1 \rightarrow V_2} = \int_{t_1}^{t_2} P(t) dt = V_{DD} \int_{t_1}^{t_2} I_{out}(t) dt = C_L V_{DD} \int_{V_1}^{V_2} dV_{out}(t) = C_L V_{DD} (V_2 - V_1) \quad [\text{Εξ 2.4}]$$

$$V_{swing} = V_2 - V_1 \quad [\text{Εξ 2.5}]$$

$$E_{V_1 \rightarrow V_2} = C_L V_{DD} V_{swing} \quad [\text{Εξ 2.6}]$$

όπου $E_{V_1 \rightarrow V_2}$ είναι η απαιτούμενη ενέργεια από την πηγή τροφοδοσίας για να φορτίσει τον πυκνωτή εξόδου από μια αρχική τάση V_1 σε μία τελική τάση V_2 και t_1 και t_2 είναι οι χρόνοι για να φτάσει η τάση στις τιμές V_1 και V_2 αντίστοιχα. Αφού ολοκληρωθεί η μετάβαση $V_1 \rightarrow V_2$ του κόμβου εξόδου, η ενέργεια που αποθηκεύεται στον πυκνωτή εξόδου είναι:

$$E_{CL} = \int_{t_1}^{t_2} P_{CL}(t) dt = \int_{t_1}^{t_2} V_{out}(t) I_{out}(t) dt = C_L \int_{V_1}^{V_2} V_{out}(t) dV_{out}(t) = \frac{1}{2} C_L dV_{out}(t) = \frac{1}{2} C_L (V_2^2 - V_1^2) \quad [\text{Εξ 2.7}]$$

Όπου P_{CL} είναι η στιγμιαία ισχύς που αποθηκεύεται στον πυκνωτή εξόδου. Η υπόλοιπη ενέργεια από την πηγή τροφοδοσίας καταναλώνεται στις παρασιτικές αντιστάσεις των τρανζίστορ του άνω δικτύωματος κατά τη διάρκεια της μετάβασης $V_1 \rightarrow V_2$ στην έξοδο.

Για τη μετάβαση από υψηλή-σε-χαμηλή τάση στον κόμβο εξόδου, το πάνω δίκτυωμα απενεργοποιείται και ενεργοποιείται το κάτω δίκτυωμα. Το μέρος του στιγμιαίου ρέματος που διαρρέει το κάτω δίκτυωμα και αποφορτίζει τον πυκνωτή στον κόμβο εξόδου είναι $I_{out}(t)$. Η ενέργεια που καταναλώνεται στις παρασιτικές αντιστάσεις του κάτω δικτύωματος για την αποφόρτιση του πυκνωτή εξόδου είναι

$$E_{v_2 \rightarrow v_1} = \int_{t_1}^{t_2} P_{pulldown}(t) dt = - \int_{t_1}^{t_2} V_{out}(t) I_{out}(t) dt = -C_L \int_{V_1}^{V_2} V_{out}(t) dV_{out}(t) \quad [\text{Εξ 2.8}]$$

$$E_{v_2 \rightarrow v_1} = \frac{1}{2} C_L (V_2^2 - V_1^2) = E_{CL} \quad [\text{Εξ 2.9}]$$

Όπου $E_{v_2 \rightarrow v_1}$ είναι η ενέργεια που καταναλώνεται στο κάτω δίκτυωμα καθώς αποφορτίζει το πυκνωτή εξόδου από μία αρχική τάση V_2 σε μία τελική τάση V_1 και t_1 και t_2 είναι οι χρόνοι για την τάση εξόδου να φτάσει V_1 και V_2 αντίστοιχα. Όπως δίνεται στις εξισώσεις (1.7) και (1.9), όλη η ενέργεια που αποθηκεύεται στον πυκνωτή εξόδου κατά τη διάρκεια μίας μετάβασης $V_1 \rightarrow V_2$ καταναλώνεται στις αντιστάσεις των τρανζίστορ του κάτω δικτύωματος κατά τη διάρκεια της ακόλουθης μετάβασης $V_2 \rightarrow V_1$.

Η ισχύς είναι η ενέργεια που αποθηκεύεται ή καταναλώνεται στη μονάδα του χρόνου. Υποθέτοντας ότι η τάση σε ένα κόμβο μεταβαίνει από V_1 σε V_2 μέσα σε μια περίοδο T_s (ισοδύναμα συχνότητα λειτουργίας f_s), η μέση δυναμική ισχύς που καταναλώνεται σε μια πύλη CMOS που οδηγεί τον κόμβο με τη μεταβατική δραστηριότητα είναι

$$P = \frac{E_{V_1-V_2}}{T_s} = f_s C_L V_{DD} V_{swing} \quad [\text{Εξ 2.10}]$$

Σε ένα CMOS IC, όλοι οι εσωτερικοί κόμβοι δεν αλλάζουν απαραίτητα κατάσταση σε κάθε κύκλο ρολογιού. Σε ένα σύγχρονο CMOS IC, εάν υπάρχουν διαθέσιμα στατιστικά δεδομένα για το μέσο αριθμό μεταβάσεων ενός κόμβου κατά τη διάρκεια της εκτέλεσης μίας συγκεκριμένης λειτουργίας, ένας παράγοντας a , που σχετίζεται με τη μέση δραστηριότητα μπορεί να εισαχθεί στις εκφράσεις ενέργειας και ισχύος. Η μέση ισχύς που καταναλώνεται για μετάβαση σε ένα κόμβο i σε ένα κύκλωμα CMOS είναι:

$$P_i = a_i f_s C_L V_{DD} V_{swing} \quad [\text{Εξ 2.11}]$$

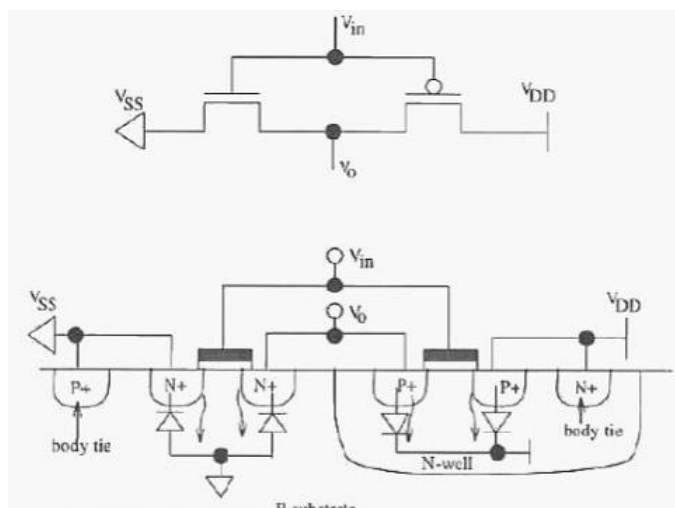
όπου P_i είναι η μέση δυναμική ισχύς που καταναλώνεται σε μια πύλη που οδηγεί τον $i^{\text{οστώ}}$ κόμβο και a_i είναι η πιθανότητα μία αλλαγή τάσης να συμβεί στον $i^{\text{οστώ}}$ κόμβο σε έναν κύκλο ρολογιού.

Με βάση τη σχέση 2.11, η μέση δυναμική ισχύς που καταναλώνεται για τη μετάβαση όλων των κόμβων σε ένα κύκλωμα, δηλ. η συνολική δυναμική κατανάλωση σε ένα IC είναι:

$$P_{total} = f_s V_{DD} \sum_{i=1}^N a_i C_{L_i} V_{swing} \quad [\text{Εξ 2.12}]$$

Όπου N είναι ο συνολικός αριθμός κόμβων σε ένα κύκλωμα CMOS, C_{L_i} είναι η ισοδύναμη παρασιτική χωρητικότητα του $i^{\text{οστώ}}$ κόμβου και V_{swing} είναι η ταλάντευση της τάσης στον $i^{\text{οστώ}}$ κόμβο.

Για να έχουμε την πλήρη εικόνα της εξάρτησης της στατικής κατανάλωσης από την κάθε συνιστώσα της, θα μελετήσουμε το μοντέλο του αναστροφέα CMOS το οποίο περιλαμβάνει και τις παρασιτικές pn επαφές (σχήμα 2.3).



Σχήμα 2.3. Το Πλήρες Μοντέλο του CMOS Αναστροφέα

Επειδή όλες οι pn επαφές είναι ανάστροφα πολωμένες, μόνο το σχετικό ρεύμα διαρροής συνεισφέρει στην στατική κατανάλωση. Η εξίσωση που περιγράφει το ρεύμα διαρροής (ανάστροφης πόλωσης των pn επαφών είναι η εξής:

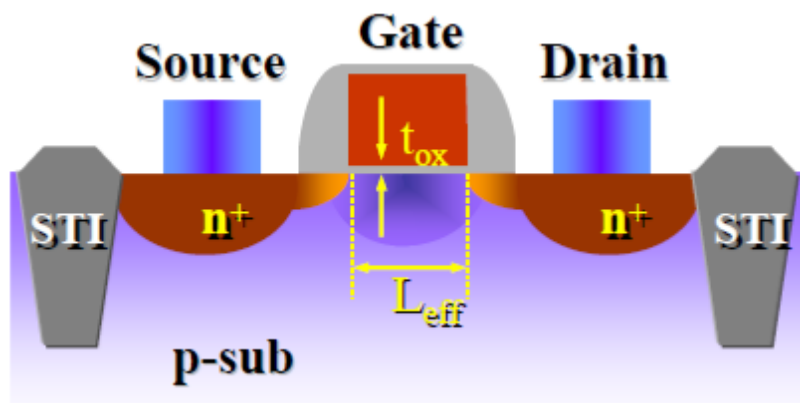
$$I_o = I_s \left(e^{\frac{V}{V_T}} - 1 \right) \quad [\text{Εξ 2.15}]$$

Όπου I_s είναι το ανάστροφο ρεύμα στη pn επαφή, V η τάση στα άκρα της pn επαφής, V_T το θερμικό δυναμικό.

Με την κλιμάκωση της CMOS τεχνολογίας μειώνεται το πάχος οξειδίου της πύλης (t_{ox}) και το μήκος του καναλιού (L) γεγονός που οδηγεί σε χρήση μικρότερης τροφοδοσίας V_{DD} για τη μείωση των εσωτερικών ηλεκτρικών πεδίων και της κατανάλωσης. Για να μην προκληθεί μείωση στις επιδόσεις του κυκλώματος, γίνεται μείωση και στην τάση κατωφλίου (V_{th}) των τρανζίστορ. Συνεπώς η διαρροή ρεύματος υποκατωφλίου (subthreshold leakage current) αυξάνεται, και μάλιστα εκθετικά [2], αφού το σχετικό ρεύμα εξαρτάται με εκθετικό τρόπο από την τάση κατωφλίου σύμφωνα με τη σχέση:

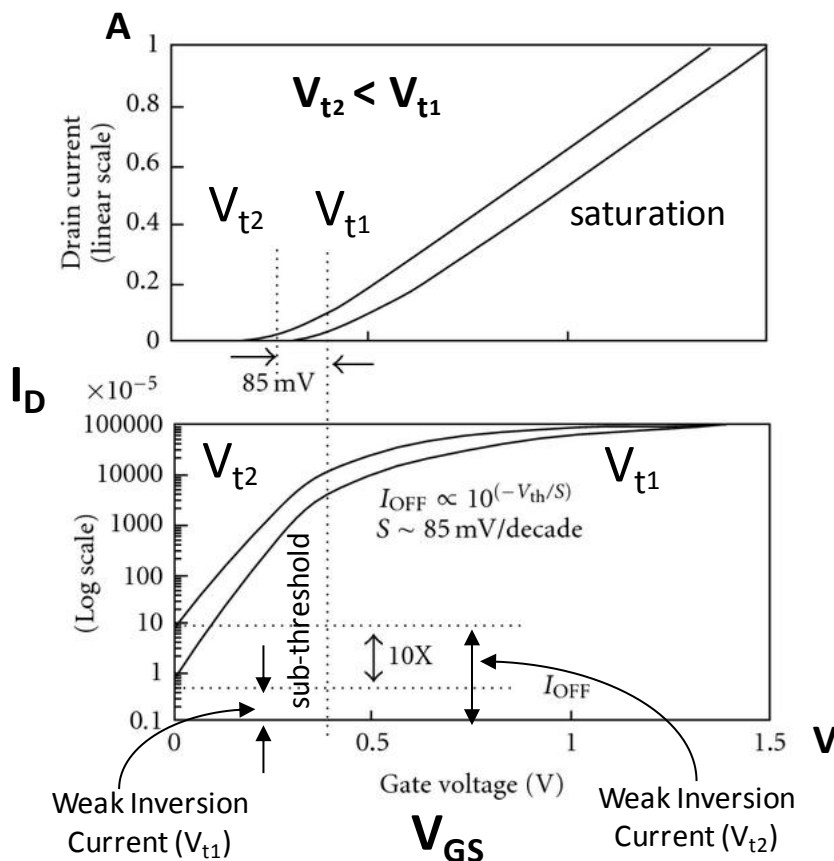
$$I_{off} = \mu C_{ox} \frac{W_{eff}}{L_{eff}} (\eta - 1) V_T^2 e^{\frac{V_{GS} - V_t}{\eta V_T}} \left(1 - e^{-\frac{V_{DS}}{V_T}} \right) \quad [\text{Εξ 2.16}]$$

Όπου μ είναι η κινητικότητα των φορέων μειοψηφίας, C_{ox} είναι η χωρητικότητα στο οξείδιο της πύλης, W_{eff} , L_{eff} είναι οι διαστάσεις του τρανζίστορ, V_T είναι το θερμικό δυναμικό και η είναι ο συντελεστής ιδανικότητας της κλίσης υποκατωφλίου που δηλώνει την ταχύτητα μεταβολής του ρεύματος στην υποδοχή, με τη μείωση της διαφοράς δυναμικού μεταξύ πύλης και υποδοχής V_{GS} .



Σχήμα 2.4. Το ρεύμα στην Περιοχή Υποκατωφλίου ή Ρεύμα Ασθενούς Αναστροφής Ρέει στην Περιοχή κάτω από την Πύλη

Για μικρές τιμές της V_{GS} αλλά κοντά στη τάση κατωφλίου ρέει ένα μικρό ρεύμα ανάμεσα στην υποδοχή και την πηγή του τρανζίστορ (σχήμα 2.4). Σε αυτή την περιοχή λειτουργίας, που ονομάζεται περιοχή υποκατωφλίου, το ρεύμα εξαρτάται εκθετικά από την τάση V_{GS} και την τάση κατωφλίου του τρανζίστορ (σχήμα 2.5 και εξίσωση 2.16).



Σχήμα 2.5. Εξάρτηση του Ρεύματος Ασθενούς Αναστροφής από τη Τάση Κατωφλίου V_t και την Τάση Πύλης-Πηγής V_{GS} .

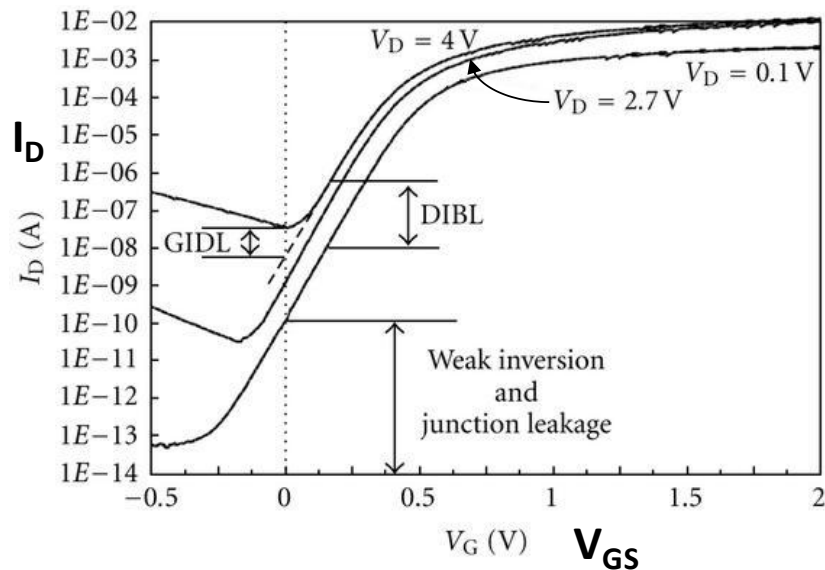
Συγκεκριμένα όταν η τάση της πύλης πέσει κάτω από την τάση κατωφλίου, στην λεγόμενη περιοχή ασθενούς αναστροφής (weak inversion), η πυκνότητα των ηλεκτρονίων είναι μια μικρή αλλά υπάρχουσα ποσότητα η οποία εξαρτάται από τη διαφορά $V_{GS} - V_t$. Συνεπώς, ακόμα και όταν το τρανζίστορ είναι σε μη αγώγιμη κατάσταση, ένα μικρό ρεύμα I_{off} , που ουσιαστικά είναι ένα ρεύμα διάχυσης, ρέει από την υποδοχή προς την πηγή όταν $V_{DS} \neq 0$.

Τα ρεύματα στα οποία οφείλεται κυρίως η στατική κατανάλωση είναι: το ρεύμα Ασθενούς αναστροφής ή το ρεύμα στην περιοχή υποκατωφλίου και τα ρεύματα DIBL (Drain-Induced Barrier Lowering) και GIDL (Gate-Induced Drain Leakage) [3].

Το ρεύμα DIBL εμφανίζεται με την αύξηση της τάσης στην υποδοχή που οδηγεί στη διεύρυνση της αντίστοιχης περιοχής απογύμνωσης. Έτσι, η υποδοχή αλληλεπιδρά με την πηγή μειώνοντας το φράγμα δυναμικού της. Ως επακόλουθο η τιμή της V_{th} μειώνεται.

$$V_{th} = V_{th,0} - mV_{DS} \quad [\text{Εξ 2.17}]$$

Το ρεύμα GIDL οφείλεται στο υψηλό ηλεκτρικό πεδίο κάτω από την περιοχή επικάλυψης πύλης-υποδοχής κατά το πλάτος του καναλιού. Στο Σχήμα 2.6 φαίνονται τα ρεύματα DIBL και GIDL όταν μεταβάλλεται το ρεύμα υποδοχής I_D συναρτήσει της V_{GS} .



Σχήμα 2.6. Τα Ρεύματα DIBL και GIDL

Τέλος ο μηχανισμός καναλισμού τείνει να γίνει ο κύριος παράγοντας εμφάνισης ρευμάτων διαρροής στις τεχνολογίες κάτω από τα 100nm ($t_{ox} < 2.5nm$) [2]. Η σχετική εξίσωση δίνεται στη συνέχεια:

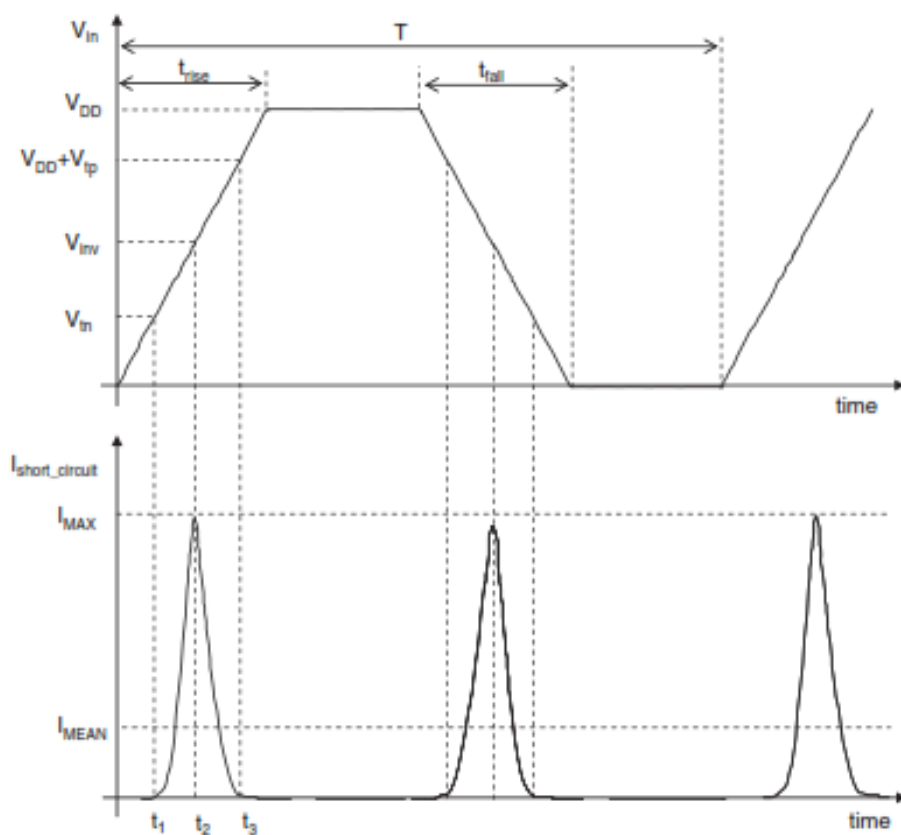
$$I_{ox} = A \cdot E_{ox}^2 \cdot e^{-\frac{B}{E_{ox}}} \quad [\text{Εξ 2.18}]$$

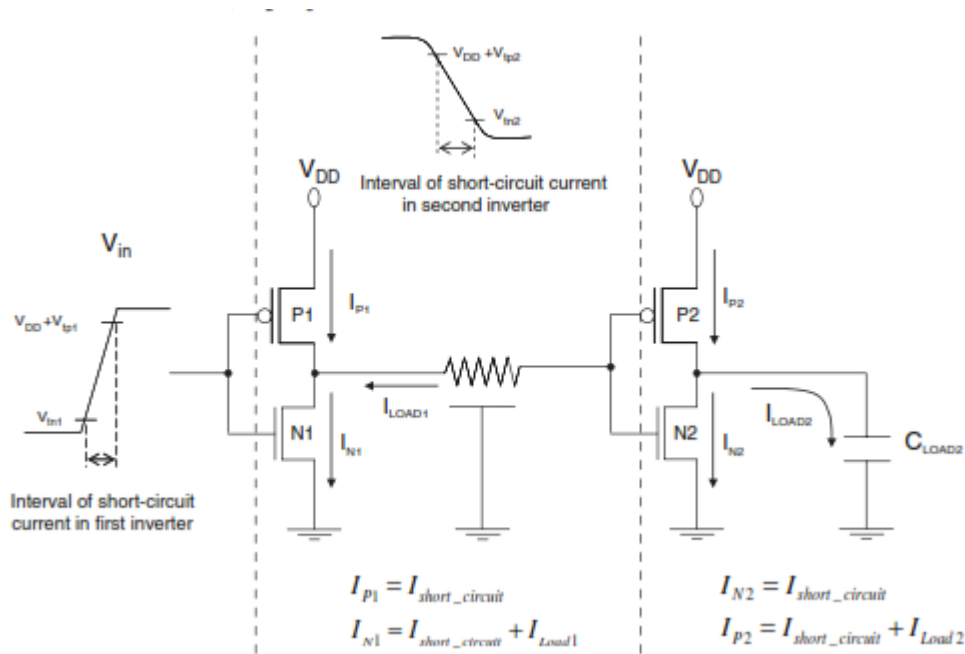
όπου I_{ox} είναι το ρεύμα διαρροής στο οξειδίο της πύλης, E_{ox} είναι το ηλεκτρικό πεδίο.

2.3 Ρεύμα Βραχυκυκλώματος

Στα στατικά CMOS κυκλώματα, υπάρχει μια χρονική περίοδος κατά τη μετάβαση των σημάτων εισόδου όπου και το πάνω και το κάτω δικτύωμα είναι συγχρόνως σε αγωγίμη κατάσταση, οπότε σχηματίζουν ένα μονοπάτι ρεύματος DC μεταξύ τροφοδοσίας και

γείωσης. Το ρεύμα DC που διαρρέει ένα CMOS κύκλωμα κατά τη διάρκεια μιας μετάβασης του σήματος εισόδου (κατά τη διάρκεια μη-μηδενικών χρόνων ανόδου και καθόδου των σημάτων εισόδου) λέγεται ρεύμα βραχυκυκλώματος [1]. Το ρεύμα βραχυκυκλώματος ($I_{short-circuit}$) παρατηρείται προσωρινά κατά τη διάρκεια της μετάβασης του σήματος εισόδου, $V_{in} \leq V_{in} \leq V_{DD} + V_{tp}$, όπως φαίνεται στο σχήμα 2.7. Το ρεύμα αυτό εξαρτάται τόσο από το χωρητικό φορτίο, όσο και από τις γεωμετρικές διαστάσεις της πύλης. Στις σύγχρονες τεχνολογίες, όπου τα κυκλώματα λειτουργούν σε υψηλές συχνότητες, όπου το ρεύμα δεν είναι σημαντικό.





Σχήμα 2.7. Τα Ρεύματα Βραχυκύκλωσης που Παράγονται από Δύο σε Σειρά Συνδεδεμένους Αναστροφείς

ΚΕΦΑΛΑΙΟ 3. ΚΛΑΣΣΙΚΕΣ ΤΕΧΝΙΚΕΣ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ

-
- 3.1 Λογική με Πολλαπλές Τάσεις Τροφοδοσίας
 - 3.2 Ικανότητα Εξοικονόμησης Ενέργειας και η Ανάθεση Τάσης
 - 3.3 Επέκταση της Τεχνικής Ομαδοποιημένων Κλιμακούμενων Τάσεων (Extended Clustered Voltage Scaling)
 - 3.4 Ανάκτηση Τάσης σε Κυκλώματα Πολλαπλών Τάσεων Τροφοδοσίας (multi- V_{DD})
 - 3.5 Δυναμική Κλιμάκωση της Τάσης (Dynamic Voltage Scaling - DVS)
 - 3.6 Η Τεχνική των Τμημάτων Τάσης (Voltage Islands)
 - 3.7 Τεχνική Χαμηλής Κατανάλωσης με Απενεργοποίηση του Ρολογιού κατά Τμήματα (Clock Gating)
-

Με τη χρήση της λογικής CMOS τα μεγάλα στατικά ρεύματα της NMOS λογικής ή της διπολικής λογικής (TTL ή ECL) μειώθηκαν δραματικά. Στη CMOS τεχνολογία η δυναμική κατανάλωση ισχύος αποτελεί μια σημαντική παράμετρο και οφείλεται κυρίως στο ρεύμα που απαιτείται για να φορτιστούν οι εσωτερικές χωρητικότητες και σε μικρότερο βαθμό από μικρά ρεύματα που εμφανίζονται κατά τη διάρκεια ενός γεγονότος μετάβασης (switching event). Σύμφωνα με την εξίσωση (2.13) η μείωση της δυναμικής κατανάλωσης μπορεί να προκύψει από μείωση της συχνότητας του ρολογιού, της συχνότητας των μεταβάσεων (switching activity), της χωρητικότητας ή της τάσης τροφοδοσίας. Δυστυχώς όλες αυτές οι μέθοδοι υποβαθμίζουν την ταχύτητα λειτουργίας του τρανζίστορ και την υπολογιστική απόδοση. Για εξοικονόμηση ενέργειας χωρίς απώλεια στην απόδοση, πρέπει να εντοπιστούν τα μέρη του κυκλώματος που υπάρχει σπατάλη ενέργειας. Υπάρχουν μέρη στο κύκλωμα με ταχύτητας λειτουργίας του διακόπτη

μεγαλύτερη από όσο χρειάζεται. Σε ορολογία ανάλυσης χρονισμού το περιθώριο χρόνου (slack) στο κύκλωμα πρέπει να εντοπιστεί και να μειωθεί με τέτοιο τρόπο ώστε να εξοικονομηθεί ενέργεια. Για παράδειγμα, το μέγεθος των λογικών πυλών καθορίζει την καθυστέρηση διάδοσης σήματος και επίσης την κατανάλωση ισχύος. Έτσι μόνο για τις πύλες στην κρίσιμη διαδρομή μπορεί να αλλαχθεί το μέγεθος για να μεγιστοποιηθεί η ταχύτητα. Οι πύλες σε μη-κρίσιμες διαδρομές, δηλαδή σε διαδρομές που έχουν περιθώριο χρόνου μπορούν να αλλάξουν μέγεθος ώστε να γίνει πιο αργή η διάδοση σήματος αλλά και να μειωθεί η κατανάλωση ενέργειας.

Εκτός από το μέγεθος του τρανζίστορ και η τοπολογία του κυκλώματος επηρεάζει την ισοστάθμιση (trade off) μεταξύ κατανάλωσης ενέργειας και απόδοσης. Ένα ζευγάρι από latches master-slave είναι μια υλοποίηση flip-flop που δίνει μια αποδεκτή καθυστέρηση διάδοσης σήματος και μετριάξει την κατανάλωση ισχύος. Για εφαρμογές μεγαλύτερης ταχύτητας προτιμάται ένας αισθητήρας- ενισχυτής (sense-amplifier) που βασίζεται σε flip-flop γιατί δίνει μικρότερη καθυστέρηση. Όμως καθώς οι εσωτερικοί κόμβοι φορτίζονται και αποφορτίζονται κατά τη διάρκεια κάθε κύκλου, αυξάνει η δυναμική κατανάλωση.

Η επιλογή λογικής οικογένειας βασίζεται στον προηγούμενο συλλογισμό: Για ιδιαίτερα κρίσιμες διαδρομές, ως προς το χρόνο, χρησιμοποιείται δυναμική λογική με αυξημένη κατανάλωση δυναμικής ενέργειας. Εάν η καθυστέρηση διάδοσης σήματος δεν είναι κρίσιμη χρησιμοποιείται στατική λογική CMOS.

Πάνω από 20% της δυναμικής κατανάλωσης προέρχεται από ανεπιθύμητες μεταβάσεις (glitches) που προκύπτουν από ανεπιθύμητες καθυστερήσεις των διαφορετικών διαδρομών σήματος που οδηγούν στην πύλη. Η καθυστέρηση χειρότερης περίπτωσης εξαρτάται από την καθυστέρηση της πιο αργής διαδρομής που οδηγεί την αντίστοιχη πύλη.

Η επιλογή κατάλληλων μεγεθών των τρανζίστορ που βρίσκονται στις γρήγορες διαδρομές μπορεί να χρησιμοποιηθεί για την εξισορρόπηση των καθυστερήσεων και την αποφυγή άσκοπων μεταβάσεων πριν την τελική μετάβαση της λογικής.

Μία ακόμα τεχνική διαχείρισης του περιθωρίου χρόνου είναι η χρήση τοπικά μειωμένης τάσης τροφοδοσίας. Μείωση της τάσης τροφοδοσίας στις πύλες ή στα μπλοκ του

κυκλώματος που δεν είναι κρίσιμα οδηγεί σε μείωση του περιθωρίου χρόνου αλλά ταυτόχρονα μειώνει δραστικά την δυναμική κατανάλωση. Αυτή η κλιμάκωση της τάσης τοπικά είναι γνωστή ως τεχνική πολλαπλών τάσεων τροφοδοσίας και θα αναφερθεί παρακάτω αναλυτικά.

Μία σημαντική κατανάλωση ενέργειας, που δεν επηρεάζει το περιθώριο χρόνου, οφείλεται σε λογικά ενεργά κυκλώματα που δεν συνεισφέρουν στη λειτουργικότητα του συστήματος. Το ρολόι αυτών των κυκλωματικών μπλοκ μπορεί να απενεργοποιηθεί για να αποφευχθούν οι μεταβάσεις σήματος (switching activity) και η κατανάλωση ενέργειας σε αυτά τα μπλοκ. Αυτή η τεχνική χαμηλής κατανάλωσης με απενεργοποίηση του ρολογιού κατά τμήματα (clock gating technique) μπορεί να μειώσει σημαντικά τη δυναμική κατανάλωση μέσα σε ένα ολοκληρωμένο κύκλωμα. Σε μη ενεργό κυκλωματικό μπλοκ οι είσοδοι, υπό κανονικές συνθήκες, δεν αλλάζουν. Τότε οι δυναμική κατανάλωση του μπλοκ καθορίζεται από το δέντρο διανομής του σήματος ρολογιού (clock tree) και τα flip-flops. Επειδή αυτά τα στοιχεία του κυκλώματος έχουν δραστηριότητα μετάβασης 100%, η δυναμική κατανάλωση μπορεί να φθάσει και το 30% της συνολικής δυναμικής κατανάλωσης. Συνεπώς, η τεχνική απενεργοποίησης του ρολογιού κατά τμήματα είναι μια αποτελεσματική τεχνική ακόμα και όταν οι είσοδοι δεν αλλάζουν.

Το κύριο μειονέκτημα της τεχνικής απενεργοποίησης του ρολογιού κατά τμήματα είναι ότι τα ρεύματα τροφοδοσίας παρουσιάζουν απότομες μεταβάσεις λόγω της ενεργοποίησης και απενεργοποίησης μεγάλων υποσυστημάτων. Εάν ο ρυθμιστής τάσης (voltage regulator) δεν έχει σχεδιαστεί να λειτουργεί γρήγορα και χωρίς μεγάλες αιχμές η τάση στο ολοκληρωμένο μπορεί να διαταραχθεί και να οδηγήσει σε αποτυχία λειτουργίας στα ενεργά κυκλωματικά μπλοκ.

Ένα ρολόι χαμηλής ταλάντευσης μπορεί να χρησιμοποιηθεί για να μειώσει τη δυναμική κατανάλωση στο δέντρο διανομής του σήματος ρολογιού. Όμως κάτι τέτοιο θα είχε σημαντική σχεδιαστική επιβάρυνση καθώς απαιτούνται ειδικά flip flops που να δουλεύουν σύμφωνα με το ρολόι μειωμένης ταλάντευσης. Οι απομονωτές (buffers) του δέντρου διανομής σήματος ρολογιού θα πρέπει χρησιμοποιήσουν μία ξεχωριστή τάση τροφοδοσίας που κάνει τη σχετική δρομολόγηση της τροφοδοσίας πιο δύσκολη. Επιπλέον, χρειάζεται

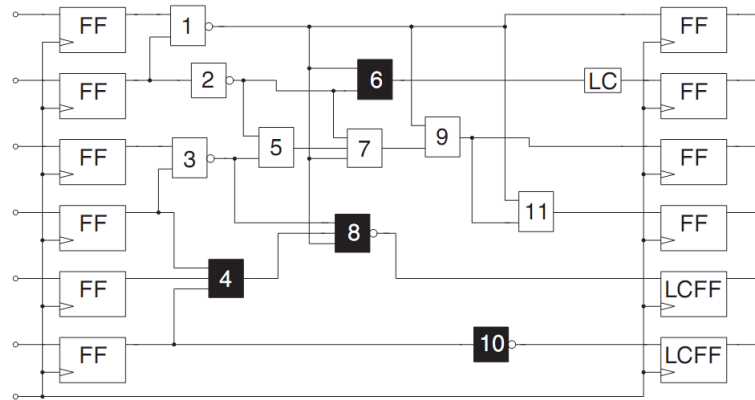
μία επιπλέον τάση τροφοδοσίας που αυξάνει την επιφάνεια του ολοκληρωμένου ή τον αριθμό των ακροδεκτών (pins).

3.1 Λογική με Πολλαπλές Τάσεις Τροφοδοσίας

3.1.1 Η Αρχή Λειτουργίας των Πολλαπλών Τάσεων Τροφοδοσίας

Η τιμή της τάσης τροφοδοσίας των ψηφιακών κυκλωμάτων επιλέγεται με τέτοιο τρόπο ώστε οι κρίσιμες διαδρομές να ικανοποιούν τις χρονικές προδιαγραφές κάτω από οποιοσδήποτε συνθήκες περιβάλλοντος και διαδικασιών. Γενικά ένα κύκλωμα δεν αποτελείται μόνο από διαδρομές κρίσιμες ως προς το χρόνο. Οι συντομότερες διαδρομές έχουν πολύ μικρότερη καθυστέρηση σήματος από αυτή που καθορίζεται από τις προδιαγραφές του συστήματος. Η διαφορά μεταξύ της μέγιστης επιτρεπόμενης καθυστέρησης και της πραγματικής καθυστέρησης μιας διαδρομής ορίζεται ως το περιθώριο χρόνου (slack) της αντίστοιχης διαδρομής. Η ύπαρξη του περιθωρίου χρόνου είναι μία ένδειξη ότι σπαταλείται είτε επιφάνεια πυριτίου είτε ενέργεια χωρίς κανένα κέρδος για την απόδοση του συστήματος.

Ένας τρόπος για να αποφευχθεί η κατανάλωση ενέργειας είναι να τροφοδοτήσουμε τις πύλες που βρίσκονται σε μη-κρίσιμες διαδρομές με χαμηλότερη τάση τροφοδοσίας [4]. Αυτός ο τρόπος αυξάνει την καθυστέρηση διάδοσης σήματος σε αυτές αλλά μειώνει τη δυναμική κατανάλωση ανάλογα προς το ΔV_{DD}^2 . Όσο η καθυστέρηση της συγκεκριμένης διαδρομής είναι μικρότερη από την καθυστέρηση της κρίσιμης διαδρομής, δηλαδή για όσο το περιθώριο χρόνου παραμένει θετικό η συγκεκριμένη τεχνική χαμηλής κατανάλωσης δεν έχει κανέναν αντίκτυπο στην απόδοση ολόκληρου του συστήματος. Η ιδέα των πολλαπλών τάσεων τροφοδοσίας φαίνεται στο σχήμα 3.1.

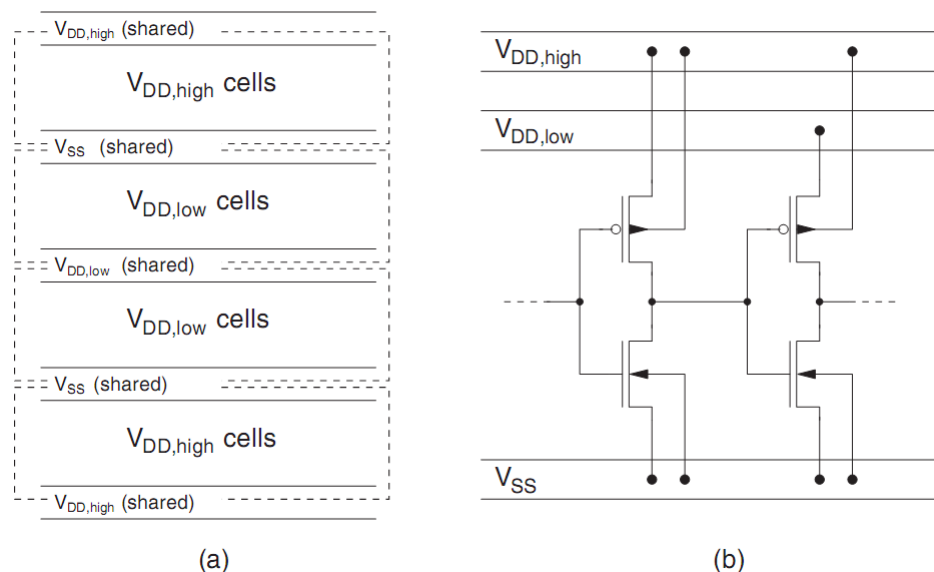


Σχήμα 3.1. Αρχή Λειτουργίας της Τεχνικής Πολλαπλών V_{DD} σε Επίπεδο Πύλης

Οι πύλες που λειτουργούν με υψηλότερη τάση τροφοδοσίας $V_{DD,high}$ απεικονίζονται με άσπρα τετράγωνα ενώ τα μαύρα τετράγωνα απεικονίζουν πύλες που τροφοδοτούνται με τη μειωμένη τάση $V_{DD,low}$ (σχήμα 3.1). Για να μπορέσει να οδηγήσει μία πύλη με $V_{DD,low}$ μία πύλη με υψηλή τάση τροφοδοσίας χρειάζεται μία προσαρμογή του επιπέδου τάσης. Για αυτό μετατροπείς-επιπέδου τάσης ή ανάκτησης τάσης (level converters - LC) πρέπει να εισαχθούν στο τέλος της κάθε διαδρομής με $V_{DD,low}$. Στο παράδειγμα του σχήματος 3.1, μία μετάβαση $V_{DD,low}$ – σε $V_{DD,high}$ επιτρέπεται μόνο πριν από τα κελιά ανάκτησης τάσης (LC) ή τα ειδικά flip-flops ανάκτησης τάσης (LCFF). Αυτή η τεχνική ονομάζεται ομαδοποίηση κλιμακούμενων τάσεων (clustered voltage scaling –CVS) και κάνει απλή τη σχεδίαση εάν ο αριθμός και η θέση των διεπαφών $V_{DD,low}$ – σε $V_{DD,high}$, π.χ. των ανακτητών τάσης, είναι γνωστά [5].

Εξαιτίας της διασταύρωσης των διαδρομών σε ένα μπλοκ, δεν μπορούν όλες οι σύντομες διαδρομές να τροφοδοτηθούν με τη χαμηλότερη τάση τροφοδοσίας. Εάν μια πύλη διασταυρώνεται με μια κρίσιμη διαδρομή πρέπει να τροφοδοτηθεί με υψηλή τάση τροφοδοσίας (π.χ. οι πύλες 1 και 2 στο σχήμα 3.1). Μία πιο γενική προσέγγιση είναι η εκτεταμένη ομαδοποίηση κλιμακούμενων τάσεων (extended clustered voltage scaling – ECVS) που επιτρέπει την εισαγωγή κυκλώματος ανάκτησης τάσης οπουδήποτε μέσα στο κυκλωματικό μπλοκ [6]. Παρόλα αυτά, μια λειτουργία ανάκτησης τάσης κοστίζει και σε χρόνο διάδοσης σήματος (propagation delay) και σε δυναμική κατανάλωση. Ακόμα και αν υπάρχει περιθώριο χρόνου (slack) για μια συγκεκριμένη πύλη μπορεί να μην είναι ωφέλιμο να την τροφοδοτήσουμε με $V_{DD,low}$ εξαιτίας της επιβάρυνσης σε κόστος και

επιφάνεια στο κυκλωματικό μπλοκ, από το κύκλωμα ανάκτησης τάσης. Τα στατιστικά στοιχεία για το μήκος μίας απλής διαδρομής δεν μπορούν να χρησιμοποιηθούν για να καθοριστεί η δυνατότητα εξοικονόμησης ενέργειας της τεχνικής πολλαπλών τάσεων εάν δεν υπάρχει καμία πληροφορία για τις διασταυρώσεις της διαδρομής. Η χρήση πολλαπλών τάσεων τροφοδοσίας σε ένα συγκεκριμένο μπλοκ απαιτεί μια νέα προσέγγιση στη διανομή της τροφοδοσίας. Το σχήμα 3.2 δείχνει δύο πιθανές λύσεις.



Σχήμα 3.2. (a) Η Προσέγγιση Επιπέδου Γραμμής (row-based approach) (b) Η Προσέγγιση Επιπέδου Κελιού (cell-based approach)

Η προσέγγιση που βασίζεται σε επίπεδο γραμμής (row-based approach), που φαίνεται στο σχήμα 3.2. (a), αποφεύγει το αντίστροφο φαινόμενο σώματος (RBB) στα PMOS τρανζίστορ των κελιών που τροφοδοτούνται με χαμηλή τάση [7]. Η επιβάρυνση σε επιφάνεια είναι ελάχιστη αφού δεν χρειάζονται επιπλέον γραμμές τροφοδοσίας (power rail) σε επίπεδο κελιού (standard cell). Οι διπλές τάσεις τροφοδοσίας αφορούν μόνο στο υψηλότερο επίπεδο τροφοδοσίας του δικτύου παροχής ισχύος. Όμως αυτό προϋποθέτει την ύπαρξη περιορισμών στο φυσικό σχεδιασμό (layout) για την τοποθέτηση και δρομολόγηση (floorplanning / routing) των κελιών και αυτό αυξάνει σημαντικά το κόστος.

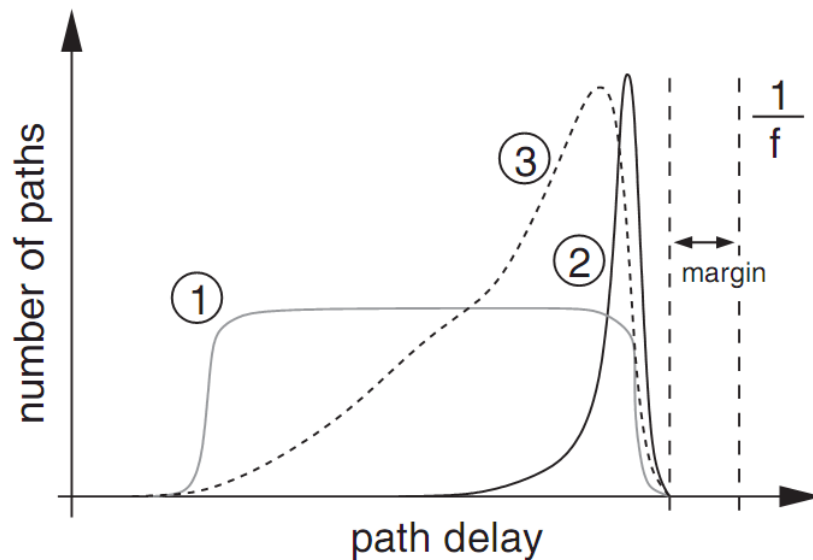
Στο σχήμα 3.2. (b) χρησιμοποιείται η προσέγγιση που βασίζεται σε επίπεδο κελιού (cell-based approach), όπου το υπόστρωμα όλων των κελιών συνδέεται στην υψηλότερη τάση

τροφοδοσίας [5]. Οπότε οι πύλες με $V_{DD,low}$ αντιμετωπίζουν το αντίστροφο φαινόμενο σώματος (RBB) στο μονοπάτι φόρτισης (pull-up path) που επιβραδύνει τη σχετική διαδικασία σε αυτές. Το πλεονέκτημα αυτής της σχεδίασης είναι ότι δεν υπεισέρχονται σχεδιαστικοί περιορισμοί. Όμως χρειάζεται η προσθήκη μιας δεύτερης γραμμής τροφοδοσίας σε κάθε κελί γεγονός που προκαλεί σημαντική επιβάρυνση σε επιφάνεια ($\approx 15\%$).

Η τεχνική πολλαπλών τάσεων είναι επίσης εφαρμόσιμη σε επίπεδο μακρο-μπλόκ. Εάν υπάρχουν διαφορετικά μακρομπλόκ με διαφορετικές απαιτήσεις απόδοσης, είναι δυνατόν να τροφοδοτηθεί κάθε μακρομπλόκ με τη δική του βέλτιστη τάση τροφοδοσίας. Αυτό οδηγεί σε μικρότερη επιβάρυνση στο σχεδιασμό και σε επιφάνεια, αφού κάθε μακρομπλόκ σχεδιάζεται με μόνο μία τάση τροφοδοσίας και η ανάκτηση τάσης (level-shifting) χρειάζεται μόνο μεταξύ των μακρομπλόκ.

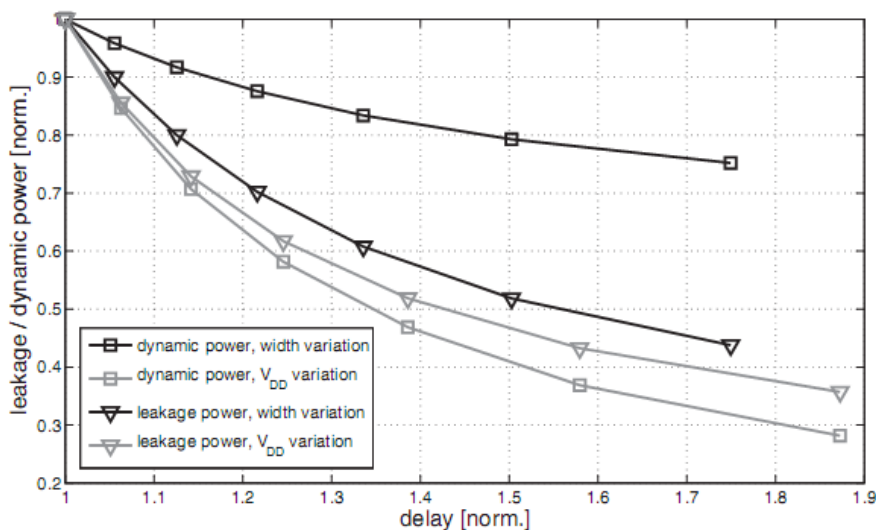
3.2 Ικανότητα Εξοικονόμησης Ενέργειας και η Ανάθεση Τάσης

Η ικανότητα εξοικονόμησης ενέργειας της τεχνικής πολλαπλών τάσεων τροφοδοσίας έχει ισχυρή εξάρτηση από το διαθέσιμο περιθώριο χρόνου, που δίνεται από την κατανομή καθυστέρησης διάδοσης σήματος της διαδρομής [5]. Στο σχήμα 3.3 φαίνονται τρεις περιπτώσεις: Η καθυστέρηση διάδοσης σήματος διαδρομής στη πρώτη κατανομή του σχήματος 3.3, κατανέμεται ομοιόμορφα σε ένα μεγάλο εύρος διαδρομών (περιέχει πολλές σύντομες διαδρομές). Το κύκλωμα που αντιστοιχεί στη δεύτερη κατανομή του σχήματος 3.3, αποτελείται κυρίως από μεγάλες διαδρομές σήματος (με πολλές κρίσιμες διαδρομές), οπότε δεν υπάρχει καμία περίπτωση να μειώσουμε την κατανάλωση ενέργειας σε βάρος την καθυστέρησης διάδοσης σήματος. Στην πραγματικότητα, μια κατανομή καθυστέρησης διάδοσης σήματος διαδρομής βρίσκεται μεταξύ των δύο προηγούμενων ακραίων περιπτώσεων. Η τρίτη κατανομή είναι μία τυπική περίπτωση τυχαίας λογικής. Το κλάσμα του αριθμού των μη-κρίσιμων διαδρομών ως προς το συνολικό αριθμό διαδρομών, δίνει το ποσοστό εξοικονόμησης ενέργειας της τεχνικής πολλαπλών τάσεων τροφοδοσίας.



Σχήμα 3.3. Τρία Παραδείγματα Κατανομών της Καθυστέρησης Διάδοσης Σήματος Διαδρομής

Στη δεύτερη περίπτωση αξίζει να εξεταστεί ο λόγος που έχουμε τόσο μεγάλο αριθμό κρίσιμων διαδρομών. Στα κυκλώματα διαδρομών δεδομένων (datapaths), η δομή επεξεργασίας σήματος, οδηγεί σε πολλές παράλληλες κρίσιμες διαδρομές και η τεχνική πολλαπλών τάσεων είναι άχρηστη. Μια κατανομή σαν αυτή στην περίπτωση δύο μπορεί να είναι το αποτέλεσμα της χρήσης εργαλείων δρομολόγησης που έχουν ως σκοπό τη βέλτιστη κατανάλωση ενέργειας. Αυτό γίνεται γιατί αυτά τα εργαλεία μειώνουν το μέγεθος των τρανζίστορ στις μη κρίσιμες διαδρομές για να μειώσουν τη δυναμική κατανάλωση. Αυτή η τεχνική δίνει ένα πλεονέκτημα στις κρίσιμες διαδρομές σε σχέση με τις μη-κρίσιμες. Σε αυτήν την περίπτωση, το στάδιο σχεδίασης για τη μείωση του περιθωρίου χρόνου παραλείπεται για να χρησιμοποιηθεί αυτό το περιθώριο χρόνου στην τεχνική πολλαπλών τάσεων. Στο σχήμα 3.4 δίνεται η διαρροή και η δυναμική κατανάλωση ενός αναστροφέα (τεχνολογίας 80nm), με χωρητικό φορτίο 10 fF, σε συνάρτηση με την καθυστέρηση της πύλης.



Σχήμα 3.4. Δυναμική και Στατική Κατανάλωση ενός Αναστροφέα με Χωρητικό Φορτίο 10 fF σε Συνάρτηση με την Καθυστέρηση της Πύλης

Κατά μήκος των καμπύλων και η τάση τροφοδοσίας και το πλάτος του τρανζίστορ μειώνονται. Στην περίπτωση του πλάτους του τρανζίστορ το ρεύμα διαρροής μειώνεται εξαιτίας της μείωσης των διαστάσεων του τρανζίστορ. Η μείωση της διαρροής στην περίπτωση μείωσης της τάσης τροφοδοσίας έχει σχέση με την εξάρτηση των διαφόρων στοιχείων που προκαλούν τη διαρροή από την τάση, όπως για παράδειγμα η ένταση του φαινομένου DIBL. Η δυναμική κατανάλωση που σχετίζεται με το χωρητικό φόρτο εξόδου δεν επηρεάζεται από την μείωση του πλάτους του τρανζίστορ, αλλά η δυναμική κατανάλωση στην ίδια την πύλη και στις πύλες που την οδηγούν μειώνεται. Μία πιο ισχυρή επίδραση μπορεί να φανεί στην περίπτωση της μείωσης τάσης τροφοδοσίας όπου και η εσωτερική δυναμική κατανάλωση των ίδιων των πυλών όσο και στη γραμμή διασύνδεσης μεταξύ τους μειώνονται σε αναλογία με το ΔV_{DD}^2 . Εάν το επίπεδο της εισόδου μειώνεται επίσης η μείωση της δυναμικής κατανάλωσης είναι ακόμα μεγαλύτερη. Οπότε είναι προτιμότερο να χρησιμοποιηθεί το περιθώριο χρόνου για να μειωθεί η τάση τροφοδοσίας παρά το πλάτος του τρανζίστορ. Αυτό είναι αλήθεια ειδικά εάν η πύλη έχει μεγάλη δυνατότητα οδήγησης (fan-out). Όπως φαίνεται από το σχήμα η μείωση της τάσης τροφοδοσίας μειώνει τα ρεύματα διαρροής λίγο περισσότερο από ότι η μείωση του πλάτους του τρανζίστορ.

Στις βαθιές υπομικρονικές τεχνολογίες οι παράμετροι του τρανζίστορ άρα και οι καθυστερήσεις των πυλών επηρεάζονται από τυχαίες αλλά και αιτιοκρατικές διακυμάνσεις των παραμέτρων κατά την κατασκευαστική διαδικασία (process variations). Επίσης οι καθυστερήσεις των πυλών επηρεάζονται από διακυμάνσεις παραμέτρων που εμφανίζονται κατά τη λειτουργία των κυκλωμάτων, όπως στην τάση τροφοδοσίας, τη θερμοκρασία αλλά και εξαιτίας του θορύβου. Αυτές οι επιδράσεις εξαρτώνται επίσης και από το φυσικό σχεδιασμό (layout): για παράδειγμα η τοπική διαφοροποίηση στην τάση τροφοδοσίας εξαρτάται από τη θέση της πύλης και τη δραστηριότητα μεταβάσεων στη γειτονική περιοχή. Φαινόμενα χωρητικής σύζευξης (cross-talk) εξαρτώνται από το φυσικό σχεδιασμό και τα δεδομένα. Οπότε η καθυστέρηση της διαδρομής μπορεί να περιγραφεί μόνο από τη μέση τιμή (mean ή expectation value) και την τυπική απόκλιση (standard deviation). Οι ολικές διακυμάνσεις που επηρεάζουν όλα τα μπλοκ στο τσιπ μπορεί να ευθύνονται για τη διαφοροποίηση στην τάση τροφοδοσίας η οποία ευθύνεται για το χρονικό περιθώριο. Αυτή η διαφοροποίηση δεν πρέπει να θεωρηθεί σαν περιθώριο χρόνου και να χρησιμοποιηθεί για τη βελτιστοποίηση της κατανάλωσης ενέργειας. Οι τοπικές διακυμάνσεις συνεισφέρουν στις συνολικές διακυμάνσεις και επηρεάζουν κάθε μπλοκ και κάθε καθυστέρηση πύλης ξεχωριστά. Σε ένα αυξανόμενο αριθμό κρίσιμων διαδρομών η πιθανότητα έστω και μια διαδρομή να μην ικανοποιεί τις χρονικές προδιαγραφές αυξάνει σημαντικά. Το περιθώριο χρόνου στις μη-κρίσιμες διαδρομές δεν πρέπει να γίνει μηδενικό έστω και αν αυτό σημαίνει βέλτιστη δυναμική κατανάλωση. Η στατική στατιστική χρονική ανάλυση (Statistic static timing analysis- SSTA) είναι επέκταση της κλασσικής στατικής χρονικής ανάλυσης (Statistic static timing analysis- SSTA) που λαμβάνει υπόψη τη μεταβλητότητα (variability) στις καθυστερήσεις των πυλών. Αυτός ο τύπος ανάλυσης χρησιμοποιείται ώστε να εξασφαλιστεί η κατασκευαστική απόδοση του κυκλώματος (circuit yield) εάν ένας μεγάλος αριθμός διαδρομών γίνει κρίσιμος. Ένας απλός κανόνας για τη σχετική τυπική απόκλιση σ_{path} της καθυστέρησης μιας διαδρομής που προκαλείται από τοπικές μη-συσχετισμένες διακυμάνσεις μπορεί να εκφραστεί ως: $\sigma_{path} = \frac{1}{\sqrt{N}} \sigma_{gate}$, όπου N είναι ο αριθμός των πυλών και σ_{gate} είναι η σχετική τυπική απόκλιση της καθυστέρησης μίας μόνο πύλης. Ανάλογα από τη ζητούμενη κατασκευαστική απόδοση (yield) μια συγκεκριμένη τυπική απόκλιση σ_{path} της καθυστέρησης μιας διαδρομής πρέπει να ικανοποιείται.

3.3 Επέκταση της Τεχνικής Ομαδοποιημένων Κλιμακούμενων Τάσεων (Extended Clustered Voltage Scaling)

Η επέκταση της Τεχνικής Ομαδοποιημένων Κλιμακούμενων Τάσεων επιτρέπει τη μείωση της τάσης τροφοδοσίας ακόμα και σε ομάδες πυλών που οδηγούν πύλες που λειτουργούν με υψηλότερη τάση τροφοδοσίας [6]. Εάν υπάρχουν πύλες με $V_{DD,high}$ στη διαδρομή οδήγησης (fan-out) μιας πύλης που λειτουργεί με χαμηλότερη τάση τροφοδοσίας, πρέπει να εισαχθεί ένα ασύγχρονο κύκλωμα ανάκτησης τάσης. Οι κύριες απαιτήσεις για καλά κυκλώματα ανάκτησης τάσης είναι η γρήγορη διάδοση του σήματος και χαμηλή κατανάλωση ενέργειας. Η καθυστέρηση των κυκλωμάτων ανάκτησης τάσης μειώνει το περιθώριο χρόνου στις κρίσιμες διαδρομές. Οπότε εάν η καθυστέρηση του κυκλώματος ανάκτησης τάσης είναι πολύ μεγάλη η χαμηλή τάση τροφοδοσίας μπορεί να ανατεθεί μόνο σε πολύ σύντομες διαδρομές. Η ενέργεια που καταναλώνεται στο κύκλωμα ανάκτησης τάσης πρέπει να έχει εξοικονομηθεί από τις πύλες που λειτουργούν με χαμηλή τάση τροφοδοσίας. Όμως επειδή τα κυκλώματα ανάκτησης τάσης προκαλούν σημαντική επιβάρυνση σε καθυστέρηση (και κατανάλωση ενέργειας), συνήθως αναλώνουν ολόκληρο το περιθώριο χρόνου.

Η χρησιμοποίηση κυκλωμάτων ανάκτησης τάσης είναι υπεύθυνη για μια μικρή βελτίωση της μείωσης της δυναμικής κατανάλωσης ενέργειας στην περίπτωση της τεχνικής επέκτασης των ομαδοποιημένων κλιμακούμενων τάσεων. Για αυτό το λόγο είναι προτιμότερο στις περισσότερες εφαρμογές να υλοποιούμε τη τεχνική των ομαδοποιημένων κλιμακούμενων τάσεων και να χρησιμοποιούμε το περιθώριο χρόνου που απομένει για επαναπροσδιορισμό του μεγέθους της πύλης ή για τεχνικές μείωσης των διαρροών όπως εισαγωγή εν σειρά τρανζίστορ στα δικτυώματα των πυλών (stack transistor insertion) ή τεχνικές πολλαπλών τάσεων κατωφλίου (multi-threshold techniques).

3.4 Ανάκτηση Τάσης σε Κυκλώματα Πολλαπλών Τάσεων Τροφοδοσίας (multi- V_{DD})

Η χρήση σε ένα κύκλωμα των πολλαπλών τάσεων τροφοδοσίας έχει σαν αποτέλεσμα τη δημιουργία διεπαφών μεταξύ των διαφορετικών περιοχών τάσης. Ένα λογικό σήμα από μια περιοχή υψηλής τάσης μπορεί να συνδεθεί απευθείας σε μια πύλη στην περιοχή χαμηλής τάσης χωρίς κάποιο πρόβλημα από τη στιγμή που η υψηλότερη τάση δεν

δημιουργεί προβλήματα αξιοπιστίας. Μία λογική που λειτουργεί σε υψηλή τάση τροφοδοσίας, χαρακτηρίζεται από μία αυξημένη τάση υπεροδήγησης πύλης (gate overdrive voltage) σε σχέση με μία λογική που λειτουργεί σε χαμηλή τάση τροφοδοσίας. Παρόλα αυτά, εάν μία πύλη που λειτουργεί σε $V_{DD,low}$ οδηγήσει μία πύλη που λειτουργεί σε $V_{DD,high}$, μπορούν να προκύψουν ρεύματα διαρροής και απροσδιόριστες καταστάσεις [4]. Για παράδειγμα εάν μια λογική που λειτουργεί σε τάση $V_{DD,low}$ οδηγήσει έναν αναστροφέα που τροφοδοτείται με $V_{DD,high}$ οι τάσεις πύλης-πηγής του αναστροφέα δίνονται από

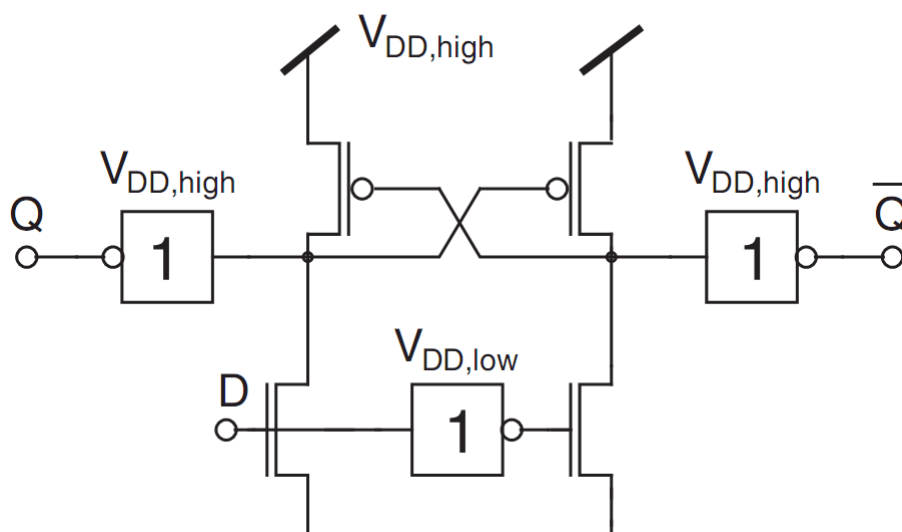
$$\text{PMOS: } V_{GS}^{PMOS} = V_{DD,low} - V_{DD,high} < 0 \quad [\text{Εξ 3.1}]$$

$$\text{NMOS: } V_{GS}^{NMOS} = V_{DD,low} \gg 0 \quad [\text{Εξ 3.2}]$$

Το NMOS τρανζίστορ είναι σε αγώγιμη κατάσταση αλλά το PMOS τρανζίστορ δεν είναι πλήρως στην αποκοπή. Αυτό μπορεί να οδηγήσει σε ρεύματα διαρροής ακόμα και σε απροσδιόριστες καταστάσεις εάν η διαφορά τάσης μεγαλώσει πολύ. Για να παρέχουμε ακριβείς λογικές καταστάσεις στη διεπαφή και για να αποφύγουμε κατανάλωση σε ενέργεια εξαιτίας των ρευμάτων διαρροής, πρέπει να εισάγουμε κυκλώματα ανάκτησης τάσης στη διεπαφή μεταξύ των περιοχών χαμηλής και υψηλής τάσης.

Για βιβλιοθήκες τυπικών κελιών σε ημί-έτοιμη ροή σχεδίασης (semi-custom design flow), τα κυκλώματα ανάκτησης τάσης που λειτουργούν με δύο τάσεις τροφοδοσίας απαιτούν πολύ καλό σχεδιασμό. Οι δύο τάσεις τροφοδοσίας σε ένα τυπικό κελί απαιτούν πολύ καλό διαχωρισμό μέσα στο κελί που έχει σαν αποτέλεσμα σημαντική επιβάρυνση σε περιοχή. Η δρομολόγηση στο δίκτυο τάσης τροφοδοσίας είναι επίσης πολύ πιο δύσκολη εάν τα κυκλώματα ανάκτησης τάσης απαιτούν δύο τάσεις. Ένα κύκλωμα ανάκτησης τάσης με επιλογή επιτρέπει την αλλαγή τάσης και στις δύο κατευθύνσεις και από την υψηλή προς την χαμηλή και από τη χαμηλή προς την υψηλή περιοχή τάσης. Αυτό είναι πολύ σημαντικό εάν το κύκλωμα ανάκτησης τάσης εισάγεται μεταξύ δύο μπλοκ που δεν έχουν προκαθορισμένες τάσεις τροφοδοσίας ή μεταξύ δύο μπλοκ με δυναμικά προσαρμοζόμενες

τάσεις. Τέλος μερικές εφαρμογές χρειάζονται ένα στοιχείο απενεργοποίησης που να παρέχει ένα προκαθορισμένο επίπεδο για την έξοδο όταν το κύκλωμα ανάκτησης τάσης είναι απενεργοποιημένο. Αυτό το στοιχείο πρέπει να υλοποιηθεί με τέτοιο τρόπο που να μην επηρεάζει σημαντικά την καθυστέρηση διάδοσης σήματος και την κατανάλωση ισχύος. Ένα κύκλωμα ανάκτησης τάσης φαίνεται στο σχήμα 3.5:



Σχήμα 3.5. Συμβατικό Ασύγχρονο Κύκλωμα Ανάκτησης Τάσης με Μέτρια Καθυστέρηση Διάδοσης Σήματος

3.5 Δυναμική Κλιμάκωση της Τάσης (Dynamic Voltage Scaling - DVS)

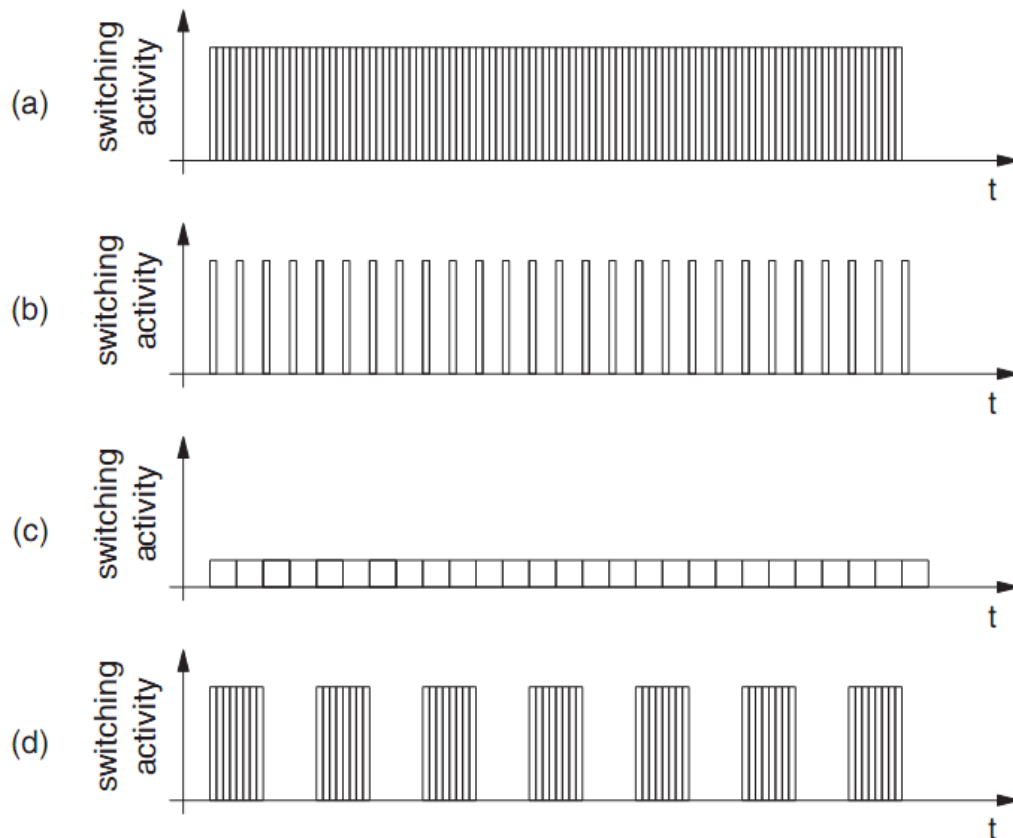
Η τάση τροφοδοσίας στα ψηφιακά κυκλώματα CMOS αποτελείται από την τάση που χρειάζεται να λειτουργήσει το κύκλωμα στην τυπική κατάσταση και στις συνθήκες περιβάλλοντος συν ένα ζευγάρι περιθωρίων που λαμβάνουν υπόψη τις αποκλίσεις από την τυπική κατάσταση. Υπάρχουν περιθώρια για να καλύψουν καθολικές και τοπικές διακυμάνσεις των παραμέτρων κατά την κατασκευαστική διαδικασία (process variations), καθώς και την πτώση τάσης στο δίκτυο διανομής ισχύος. Άλλα περιθώρια καλύπτουν διακυμάνσεις στις περιβαλλοντικές συνθήκες όπως το θόρυβο, τη θερμοκρασία και διακυμάνσεις στην εξωτερική τάση τροφοδοσίας. Επιπλέον, προστίθεται ένα περιθώριο ασφάλειας. Τα περιθώρια στην τροφοδοσία ισχύος εξασφαλίζουν μία υψηλή κατασκευαστική απόδοση (yield), αλλά στις περισσότερες περιπτώσεις προκαλούν ανεπιθύμητα υψηλή κατανάλωση ενέργειας, αφού η χειρότερη περίπτωση όπου όλες οι

κατασκευαστικές συνθήκες και οι συνθήκες λειτουργίας επιβραδύνουν τη διάδοση σήματος είναι σχεδόν απίθανο να συμβεί. Για αυτό είναι χρήσιμο από ενεργειακής άποψης να μειωθεί η τάση τροφοδοσίας στα γρήγορα ολοκληρωμένα κυκλώματα. Τα γρήγορα ολοκληρωμένα κυκλώματα λειτουργούν με μια μεγαλύτερη συχνότητα, υψηλότερη από αυτή που δίνει η προδιαγραφή αλλά αντιμετωπίζουν πρόβλημα με υπερβολικά υψηλά ρεύματα διαρροής. Μειώνοντας την τάση τροφοδοσίας κατά ένα ποσοστό, η μέγιστη συχνότητα πέφτει στην τιμή της συχνότητας λειτουργίας που δίνεται από την προδιαγραφή αλλά ταυτόχρονα μειώνονται εκθετικά τα ρεύματα διαρροής και η δυναμική κατανάλωση σε αναλογία με το ΔV_{DD}^2 . Τα αργά ολοκληρωμένα που θα αποτύχαιναν στον έλεγχο ταχύτητας μπορούν να επιταχυνθούν από μία υψηλότερη τάση τροφοδοσίας. Η κατανάλωση ισχύος αυτών των κυκλωμάτων όταν είναι σε κατάσταση αναμονής δεν είναι πρόβλημα συνήθως γιατί η αργή διάδοση σήματος έχει ισχυρή σχέση με τα χαμηλά ρεύματα διαρροής. Η προσαρμογή της τάσης τροφοδοσίας επιτρέπει παράλληλα την χαμηλή κατανάλωση ισχύος και την υψηλή κατασκευαστική απόδοση. Για προϊόντα όπως οι μικροεπεξεργαστές που πωλούνται σε διαφορετικές κατηγορίες λειτουργίας, η περιγραφόμενη τεχνική μπορεί να χρησιμοποιηθεί για να αυξήσει τον αριθμό των ολοκληρωμένων κυκλωμάτων. Επιπρόσθετα, η προσαρμογή της απόδοσης μπορεί να επιτευχθεί με συντονισμό των δυναμικών των υποστρωμάτων του ολοκληρωμένου. Παρόλα αυτά, για να επιταχυνθεί ένα κύκλωμα πρέπει να ενισχυθεί η κλιμάκωση της τάσης τροφοδοσίας. Η διαρροή των γρήγορων ολοκληρωμένων μπορεί να μειωθεί εις βάρος της απόδοσης μέσω του αντίστροφου φαινομένου σώματος (reverse body biasing). Όμως με τη σύγχρονη κλιμάκωση της τεχνολογίας, η ικανότητα του αντίστροφου φαινομένου σώματος να μειώσει τη διαρροή έχει ελαττωθεί έτσι ώστε και πάλι η κλιμάκωση της τάσης τροφοδοσίας να είναι η πιο αποδοτική μέθοδος αποφεύγοντας παράλληλα και την επιβάρυνση σε επιφάνεια και σχεδιαστικό κόστος της τεχνικής αντίστροφου φαινομένου σώματος.

Οι περισσότερες εφαρμογές έχουν πολλαπλές καταστάσεις λειτουργίας και άρα και διαφορετικές απαιτήσεις απόδοσης. Εάν η τάση τροφοδοσίας επιλέγεται για τις απαιτήσεις ταχύτητας σε μία κατάσταση υψηλής απόδοσης με μεγάλες χωρητικές συζεύξεις και πτώση τάσης (αντιστατική και επαγωγική πτώση τάσης) τότε καταναλώνεται ενέργεια σε όλες τις άλλες καταστάσεις λειτουργίας που οι απαιτήσεις σε ταχύτητα δεν είναι τόσο μεγάλες. Μειώνοντας ταυτόχρονα την τάση τροφοδοσίας και την συχνότητα λειτουργίας

σε καταστάσεις χαμηλής απόδοσης επιτυγχάνουμε σημαντική μείωση στη δυναμική κατανάλωση ισχύος. Όπως αναφέρθηκε, η κλιμάκωση της τάσης επηρεάζει τις χωρητικές απώλειες σε αναλογία με το ΔV_{DD}^2 και η κλιμάκωση της συχνότητας τις επηρεάζει σε αναλογία με V_{DD} . Τότε οι δυναμικές απώλειες μειώνονται κατά ένα παράγοντα ΔV_{DD}^3 . Η κατανάλωση ενέργειας σε κατάσταση λειτουργίας του κυκλώματος οφείλεται κυρίως σε δυναμικές απώλειες για αυτό και αυτό το στοιχείο ισχύος διαπραγματεύεται η κλιμάκωση της τάσης τροφοδοσίας. Όμως αυτό δεν είναι πάντα το βασικό συστατικό της συνολικής κατανάλωσης ενέργειας για παράδειγμα στις εφαρμογές κινητών συσκευών (mobile applications). Φυσικά και όλες οι άλλες απώλειες μειώνονται επίσης με χρήση της κλιμάκωσης τάσης.

Στο σχήμα 3.6 βλέπουμε τέσσερις διαφορετικές καταστάσεις λειτουργίας ενός ψηφιακού συστήματος [4]. Το παράδειγμα στο σχήμα 3.6. (a) μας δείχνει τη μετάβαση σήματος (switching activity) σε λειτουργία υψηλής απόδοσης. Η τάση τροφοδοσίας και η συχνότητα του ρολογιού έχουν και οι δύο υψηλή τιμή. Εάν χαμηλώσουμε μόνο τη συχνότητα του ρολογιού, δηλαδή έχουμε λειτουργία χαμηλής απόδοσης, δεν επηρεάζουμε την ταχύτητα μετάβασης σήματος των πυλών (σχήμα 3.6. (b)). Δηλαδή δεν θα επηρεαστεί η ταχύτητα διάδοσης σήματος της πύλης απλά θα υπάρχει ένα διάστημα αδρανοποίησης στο τέλος κάθε κύκλου του ρολογιού (idle period). Στο σχήμα 3.6. (c) μειώνουμε και την τάση τροφοδοσίας για να εκμεταλλευτούμε ολόκληρο τον κύκλο του ρολογιού για τη διάδοση σήματος. Η μείωση της τάσης είναι ανάλογη της μείωσης της συχνότητας. Οπότε έχουμε μείωση δυναμικής κατανάλωσης ενέργειας κατά ΔV_{DD}^3 όπως αναφέραμε και προηγουμένως. Άρα στο σχήμα 3.6. (c) είμαστε το σύστημα είναι σε λειτουργία χαμηλής απόδοσης και χαμηλής δυναμικής κατανάλωσης. Για λειτουργία χαμηλής στατικής κατανάλωσης, σχήμα 3.6. (d), υπάρχουν διαστήματα που δε μειώνουμε ούτε την τάση τροφοδοσίας ούτε τη συχνότητα, όποτε έχουμε μία γρήγορη διάδοση σήματος (burst mode) και διαστήματα μεταξύ αυτών όπου το κύκλωμα τίθεται εκτός λειτουργίας (idle mode) με τη χρήση διάφορων τεχνικών ελάττωσης της στατικής ενέργειας, (για παράδειγμα με την τεχνική απομόνωσης ισχύος κατά τμήματα που θα αναλύσουμε παρακάτω- power gating).



Σχήμα 3.6. (a) Λειτουργία Υψηλής Απόδοσης (b) Μείωση της Συχνότητας του Ρολογιού (c) Λειτουργία Χαμηλής Απόδοσης και Χαμηλής Δυναμικής Κατανάλωσης (d) Λειτουργία Χαμηλής Στατικής Κατανάλωσης [4]

Μεγάλο μέρος της επιτυχίας της τεχνικής της δυναμικής κλιμάκωσης τάσης και συχνότητας (Dynamic voltage frequency scaling- DVFS) οφείλεται στην κυβική μείωση της κατανάλωσης ισχύος εξαιτίας της εξάρτησής της από (V, f) . Ένας άλλος λόγος επιτυχίας της τεχνικής είναι ότι το γεγονός ότι ο μηχανισμός δυναμικής κλιμάκωσης τάσης και συχνότητας μπορεί να υλοποιηθεί σε πολλούς επεξεργαστές.

Όμως δεν είναι πολύ πιθανό ότι η περαιτέρω έρευνα στην τεχνική δυναμική κλιμάκωση τάσης και συχνότητας θα αποφέρει σημαντικά οφέλη στο μέλλον [8]. Πρώτα από όλα, ότι κέρδος ήταν να δώσει η τεχνική το έχει δώσει περαιτέρω έρευνα θα οδηγήσει σε λιγότερες βελτιώσεις από τις υπάρχουσες πολιτικές. Δεύτερον, αφού η κατανάλωση λόγω διαρροών αρχίζει να παίζει μεγαλύτερο ρόλο στην συνολική κατανάλωση ενέργειας, οι τεχνικές

δυναμικής κλιμάκωσης τάσης και συχνότητας είναι λιγότερο ελπιδοφόρες αφού έχουν περιορισμένη αποτελεσματικότητα στη μείωση της στατικής κατανάλωσης.

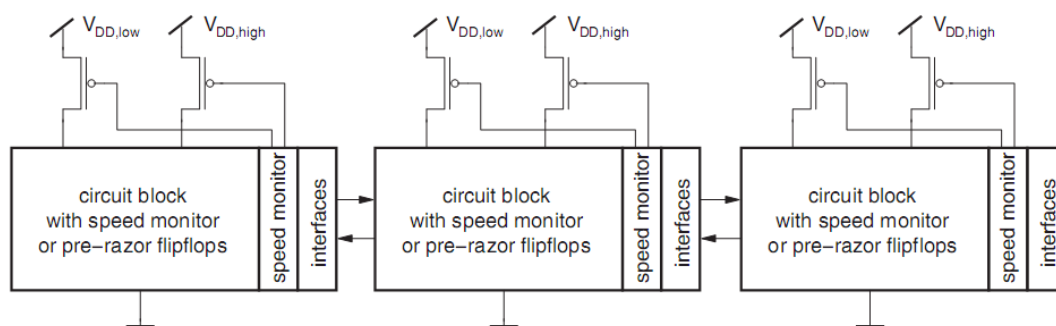
Τρίτο και σημαντικότερο, ενώ η τεχνική δυναμικής κλιμάκωσης τάσης και συχνότητας είναι η ραχοκοκαλιά διαχείρισης ισχύος στους περισσότερους επεξεργαστές, αντιμετωπίζει κάποιους σοβαρούς περιορισμούς που μειώνουν την αξία της χρήσης της σε μελλοντικούς επεξεργαστές. Ενώ η τεχνική δυναμικής κλιμάκωσης τάσης και συχνότητας προσφέρει κυβική μείωση της ενέργειας ($\sim V^2, f$) με μόνο γραμμική μείωση της ταχύτητας ($\sim f$) στην πράξη η τεχνική χρησιμοποιεί ένα μεγάλο εύρος τάσεων τροφοδοσίας (π.χ. από 3V μέχρι 1V). Αυτό το εύρος συρρικνώνεται συνεχώς μειώνοντας το πάνω όριο αλλά χωρίς να μειωθεί αντίστοιχα και το κάτω όριο. Οι προβλέψεις του ITRS για την επόμενη γενιά (2007- 2014) τάσεων τροφοδοσίας, έχουν εύρος τάσης τροφοδοσίας από 0.9 V μέχρι 0.6 V δίνοντας ένα χρήσιμο εύρος από 0.2 V μέχρι 0.3 V. Επιπλέον, η χρήση χαμηλότερων τάσεων τροφοδοσίας αυξάνουν σημαντικά την ευαισθησία των συσκευών σε μεταβατικά λάθη (soft / transient errors). Είναι πολύ πιθανόν ότι στους μελλοντικούς επεξεργαστές η τεχνική δυναμικής κλιμάκωσης τάσης και συχνότητας δε θα έχει πρακτική εφαρμογή εάν η ενέργεια που καταναλώνεται για τη διόρθωση σφαλμάτων ξεπερνά την ενέργεια που εξοικονομείται με την κλιμάκωση της τάσης.

Για να μειώσουμε την κατανάλωση ενέργειας όσο περισσότερο γίνεται θα ήταν απαραίτητο να προσαρμόσουμε την τάση στις διακυμάνσεις των παραμέτρων κατά την κατασκευαστική διαδικασία (process variations), στις διακυμάνσεις που σχετίζονται με το σχεδιασμό (π.χ. IR-drop) και στις συνθήκες του περιβάλλοντος λειτουργίας του συγκεκριμένου ολοκληρωμένου. Εάν αυτό ήταν δυνατό θα επιλέγαμε για χαμηλότερη τάση τροφοδοσίας εκείνη την τιμή για την οποία το ολοκληρωμένο ικανοποιεί τις χρονικές προδιαγραφές. Μία προσέγγιση για προσαρμογή της τάσης τροφοδοσίας είναι η χρήση του ελεγκτή ταχύτητας (speed monitor). Ο ελεγκτής ταχύτητας είναι ένα αντίγραφο της κρίσιμης διαδρομής ενός ολοκληρωμένου κυκλώματος με κάποια στοιχεία καθυστέρησης που κάνουν τη διαδρομή υπέρ-κρίσιμη. Οι ολικές διακυμάνσεις και οι συνθήκες του περιβάλλοντος παρακολουθούνται και η τάση τροφοδοσίας προσαρμόζεται σε αυτές τις συνθήκες. Παρόλα αυτά, ένα αντίγραφο της κρίσιμης διαδρομής είναι μόνο ένα μοντέλο του πραγματικού κυκλώματος. Υπάρχουν και άλλα σημαντικά περιθώρια που είναι απαραίτητα για να εξασφαλίσουν την αξιόπιστη λειτουργία του κυκλώματος. Για

παράδειγμα οι τοπικές διακυμάνσεις, π.χ. μικρού και μεσαίου εύρους διακυμάνσεις στις κατασκευαστικές παραμέτρους και οι διαφοροποιήσεις στην προσαρμογή προσαρμογή (mismatch) δεν μπορούν να καλυφθούν, αφού το κύκλωμα παρακολούθησης είναι μόνο ένα αντίγραφο του κρίσιμου μονοπατιού και έχει τοποθετηθεί σε διαφορετική θέση. Οι κρίσιμες διαδρομές του κυκλώματος έχουν διαφορετική πτώση τάσης, χωρητική σύζευξη και θόρυβο από το κύκλωμα παρακολούθησης ταχύτητας. Φυσικά είναι δυνατό να ελαττωθούν αυτές οι επιδράσεις με την τοποθέτηση πυλών μέσα στο κύκλωμα παρακολούθησης της ταχύτητας στο αντίστοιχο κυκλωματικό μπλοκ. Όμως ακόμα και ένας ελεγκτής ταχύτητας που λειτουργεί άψογα δεν εγγυάται τη σωστή λειτουργία του κυκλώματος. Άλλες στρατηγικές προσαρμόζουν την τάση τροφοδοσίας χρησιμοποιώντας το ίδιο το κύκλωμα σαν κύκλωμα παρακολούθησης της ταχύτητας. Η τεχνική razor [9] που φαίνεται στο σχήμα 3.7, μειώνει την τιμή της τάσης τροφοδοσίας σε μη κρίσιμες τιμές. Οι υπερβάσεις χρόνου εντοπίζονται από ειδικά flip-flops που δειγματοληπτούν τα δεδομένα εισόδου δύο φορές. Εάν συμβεί κάποιο σφάλμα υπέρβασης χρόνου ενεργοποιείται ένα συμβάν διαχείρισης λάθους. Αυτό προκαλεί διακοπές στη λειτουργία που μπορεί να μην επιτρέπονται σε εφαρμογές πραγματικού χρόνου. Η τεχνική pre-razor [10] ανιχνεύει τα επικείμενα σφάλματα υπέρβασης του χρόνου λίγο πριν συμβούν. Η τάση τροφοδοσίας μπορεί να έχει την ελάχιστη τιμή χωρίς να συμβεί κάποιο σφάλμα. Το να χρησιμοποιήσουμε το ίδιο το κύκλωμα σαν κύκλωμα παρακολούθησης ταχύτητας έχει το πλεονέκτημα ότι λαμβάνουμε υπόψη τις διακυμάνσεις των παραμέτρων κατά την κατασκευαστική διαδικασία (process variation), τις χωρητικές συζεύξεις και την πτώση IR. Η πληροφορία ότι το κύκλωμα λειτουργεί σωστά είναι σχετική μόνο για κρίσιμες μεταβάσεις του προτύπου όπου μεγάλες διαδρομές σήματος εμφανίζουν ευαισθησία και εμφανίζονται μεγάλες χωρητικές συζεύξεις και πτώση IR. Αυτές οι επιδράσεις έχουν έντονη εξάρτηση από τα δεδομένα, το φυσικό σχεδιασμό (layout) και τη δραστηριότητα στα γειτονικά κυκλωματικά μπλοκ. Οπότε είναι δύσκολο να βρεθεί η πιο κρίσιμη μετάβαση και μικρά περιθώρια ασφάλειας είναι απαραίτητα να οριστούν για να εγγυηθούν τη σωστή λειτουργία. Η μείωση της τάσης τροφοδοσίας από τη στιγμή που δε συμβαίνει κανένα σφάλμα χωρίς να εντοπιστούν κρίσιμες μεταβάσεις μπορεί να οδηγήσει στην ακόλουθη κατάσταση: από τη στιγμή που κανένα σφάλμα δεν εντοπίζεται, η τάση τροφοδοσίας μειώνεται αργά. Εάν συμβούν μόνο μη-κρίσιμες μεταβάσεις για μια μεγάλη περίοδο η τάση γίνεται πολύ μικρή για μια κρίσιμη μετάβαση. Ο κύκλος ρολογιού για τα τυπικά ψηφιακά κυκλώματα είναι στο εύρος από $2ns \dots 0.2ns$. Αυτό είναι πολύ μικρότερο

από την επικρατούσα χρονική σταθερά του ρυθμιστή τάσης. Οπότε η τάση δεν μπορεί να αυξηθεί εγκαίρως και το κύκλωμα αποτυγχάνει. Εάν η εφαρμογή δεν εγγυηθεί ότι οι κρίσιμες μεταβάσεις θα συμβούν κανονικά, η ρύθμιση της τάσης πρέπει να γίνει με τη βοήθεια των επιπλέον κύκλων ρύθμισης παραμέτρων. Εάν άλλοι αισθητήρες στο ολοκληρωμένο ανιχνεύσουν ότι οι συνθήκες λειτουργίας έχουν αλλάξει, το πρόγραμμα ρύθμισης παραμέτρων πρέπει να ξεκινήσει από την αρχή.

Για ένα διαβαθμισμένο σύστημα παροχής ισχύος (fine grained power supply scheme), η προσαρμογή της τοπικής τάσης δεν μπορεί να γίνει στην πράξη εξαιτίας των πολλών ρυθμιστών τάσης που θα χρειαστούν. Η ιδέα των δύο διακοπών όπως φαίνεται στο επόμενο σχήμα μπορεί να χρησιμοποιηθεί για να προσαρμόσει τοπικά την τάση τροφοδοσίας των μικρών κυκλωματικών μπλοκ. Κατά τη διάρκειά ενός ελέγχου ή ενός κύκλου ρύθμισης των παραμέτρων, το μπλοκ μπορεί να συνδεθεί είτε στη χαμηλή ή στην υψηλή τάση τροφοδοσίας. Αυτή η ρύθμιση μπορεί να χρησιμοποιηθεί για να αυξήσει την κατασκευαστική απόδοση των παραμέτρων χωρίς να παραβιάσει τις τοπικές διακυμάνσεις. Εάν ένα ή και περισσότερα κυκλωματικά μπλοκ είναι πολύ αργά στη χαμηλή τάση τροφοδοσίας τότε συνδέονται στην υψηλή τάση τροφοδοσίας αλλά η συνολική κατανάλωση ισχύος παραμένει χαμηλή. Αυτοί οι διακόπτες μπορούν επιπρόσθετα να χρησιμοποιηθούν για να διακόψουν την τροφοδοσία των κυκλωμάτων στην κατάσταση αδρανοποίησης (idle mode).



Σχήμα 3.7. Η Ιδέα των Δύο Διακοπών για Χαμηλή Κατανάλωση και Υψηλή Απόδοση Παραμέτρων [9]

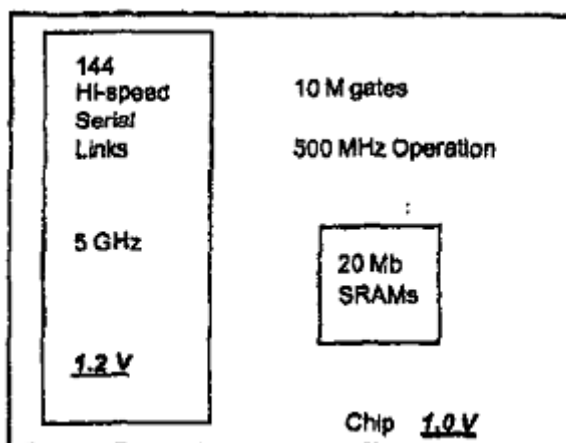
3.6 Η Τεχνική των Τμημάτων Τάσης (Voltage Islands)

Η κλιμάκωση της τεχνολογίας οδηγεί σε ενσωμάτωση σε ένα ολοκληρωμένο όλο και περισσότερων συσκευών. Αυτό επιτρέπει διαφορετικές εφαρμογές να ενσωματωθούν στις σχεδιάσεις System-on-Chip (SoC) κυρίως χρησιμοποιώντας προσχεδιασμένους πυρήνες. Ένα SoC αποτελείται κυρίως από προγραμματιζόμενους επεξεργαστές και περιφερειακούς πυρήνες που συνδέονται μεταξύ τους με τυπικές διαμοιραζόμενες αρχιτεκτονικές (bus-based αρχιτεκτονικές). Η διαδικασία σχεδίασης ενός SoC ξεκινάει με την σχεδίαση της αρχιτεκτονική συμπεριλαμβάνοντας το σχεδιασμό σε φυσικό επίπεδο και την ανάλυση απόδοσης/κατανάλωσης σε συνδυασμό με τον υπολογισμό του μεγέθους του ολοκληρωμένου (die size) και την επιλογή της συσκευασίας όπου θα τοποθετηθεί το chip (package selection) [11]. Αυτό το βήμα ακολουθείται από την αντιστοίχιση της σχεδίασης σε μία πλατφόρμα που αποτελείται από ένα κοινά χρησιμοποιούμενο σύνολο από πυρήνες και τις διασυνδέσεις τους ή αλλάζοντας τις ήδη υπάρχουσες σχεδιάσεις για να ικανοποιούν τις νέες απαιτήσεις σχεδίασης. Η τελική RTL (Register-transfer level) περιγραφή με τους χρονικούς ισχυρισμούς υποβάλλεται στην παραδοσιακή διαδικασία σχεδίασης στο επίπεδο του ολοκληρωμένου που αποτελείται από τη λογική σύνθεση (logic synthesis), την τοποθέτηση των μπλοκ στο χώρο (floorplanning), το σχεδιασμό σε φυσικό επίπεδο (physical design) και τους χρονικούς περιορισμούς (timing closure) που επιβάλλει ο σχεδιασμός σε φυσικό επίπεδο. Ενώ το να ικανοποιηθούν οι χρονικοί περιορισμοί στις σύγχρονες σχεδιάσεις SoC ήταν πάντα δύσκολη υπόθεση, η κατανάλωση ισχύος έχει γίνει ένα ακόμα κρίσιμο σχεδιαστικό πρόβλημα. Υπάρχουν πολλές τεχνικές για μείωση της κατανάλωσης ενέργειας σε κάθε επίπεδο της σχεδιαστικής διαδικασίας.

Η σχεδίαση που βασίζεται σε πυρήνες (core-base design) είναι μια νέα τεχνική που επιτρέπει τη μείωση των στατικών και δυναμικών χαρακτηριστικών της κατανάλωσης ενέργειας [12]. Πιο συγκεκριμένα, ένα τμήμα τάσης (voltage island) είναι μια ομάδα από πυρήνες πάνω στο chip που τροφοδοτούνται από την ίδια πηγή τάσης, ανεξάρτητα από την πηγή τάσης στο επίπεδο του ολοκληρωμένου. Η χρήση των τμημάτων τάσης (voltage islands) επιτρέπει τη λειτουργία διαφορετικών τμημάτων στη σχεδίαση σε διαφορετικά επίπεδα τάσης ώστε να βελτιστοποιηθεί η συνολική κατανάλωση ενέργειας στο ολοκληρωμένο. Στο πλαίσιο ενός SoC, το τμήμα τάσης επιτρέπει τη βελτιστοποίηση ισχύος σε επίπεδο πυρήνα χρησιμοποιώντας μια πηγή τάσης που είναι διαφορετική από αυτήν της υπόλοιπης σχεδίασης.

Υπάρχουν διάφορα σενάρια που δείχνουν το σχεδιαστικό πλεονέκτημα της τεχνικής των “Τμημάτων Τάσης”.

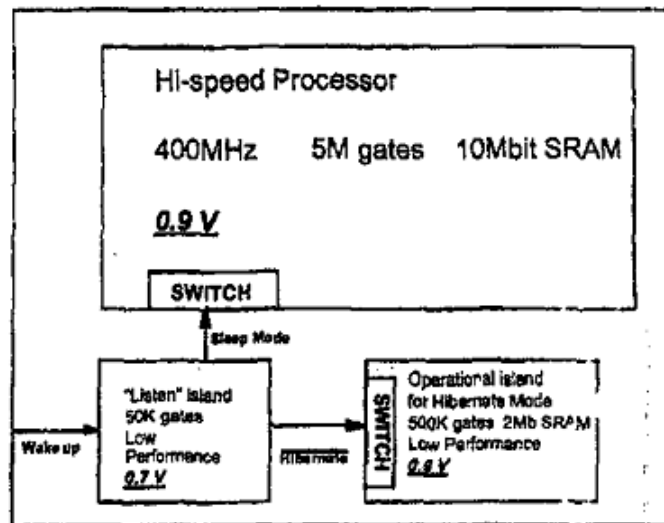
Ένα τέτοιο σενάριο φαίνεται στο σχήμα 3.8 και σχετίζεται με τον καθορισμό της ελάχιστης τάσης που απαιτείται για κάθε τμήμα (island) ώστε να επιτυγχάνεται η απαραίτητη απόδοση. Συχνά το πιο κρίσιμο μπλοκ ως προς την απόδοση σε μία σχεδίαση, όπως είναι ο πυρήνας ενός επεξεργαστή, απαιτεί το υψηλότερο επίπεδο τάσης που υποστηρίζεται από την τεχνολογία ώστε να μεγιστοποιείται η απόδοση του. Άλλα μπλοκ που συνυπάρχουν στο SoC όπως οι μνήμες (memories) και η λογική ελέγχου (control logic) μπορεί να μη χρειάζονται τόσο υψηλό επίπεδο τάσης, οδηγώντας σε σημαντική μείωση της δυναμικής κατανάλωσης εάν λειτουργήσουν σε χαμηλότερες τάσεις. Επίσης, η δυνατότητα ρύθμισης της τάσης επιτρέπει ήδη σχεδιασμένα στοιχεία που χρησιμοποιούνται σε άλλες εφαρμογές να χρησιμοποιηθούν σε μια νέα SoC εφαρμογή.



Σχήμα 3.8. Τμήμα Τάσης Χρονικά-Κρίσιμο [12]

Ένα ακόμα σενάριο, που φαίνεται στο σχήμα 3.9, εφαρμόζει εξοικονόμηση ισχύος σε εφαρμογές πιο ευαίσθητες σε στατική κατανάλωση όπως συσκευές που χρησιμοποιούν μπαταρίες. Συνήθως, οι πολύπλοκες σχεδιάσεις SoC αποτελούνται από διαφορετικές μονάδες που λίγες είναι συνεχώς σε λειτουργία. Τεχνικές όπως η αποσύνδεση του ρολογιού (clock gating) σε ένα τμήμα, μπορούν να χρησιμοποιηθούν για περιορισμό της δυναμικής κατανάλωσης στην κατάσταση αδρανοποίησης, αν και τα ρεύματα διαρροής

παραμένουν και μπορεί να είναι σημαντικά σε κυκλώματα υψηλής απόδοσης. Εάν οι τροφοδοσίες τάσης για αυτά τα μπλοκ χωριστούν σε τμήματα (islands) το μπλοκ μπορεί να απενεργοποιηθεί πλήρως, εξαλείφοντας δυναμική και στατική κατανάλωση.



Σχήμα 3.9. Τμήμα Τάσης για Διάταξη Παροχής Ισχύος [12]

Θα παρουσιαστούν δύο παραδείγματα σχεδίασης για τα παραπάνω σενάρια. Η πρώτη σχεδίαση περιορίζεται από τη θερμική ενέργεια που μπορεί να καταναλώσει σύμφωνα με τις θερμικές προδιαγραφές του συστήματος. Η δεύτερη είναι μία σχεδίαση της οποίας η κατανάλωση ισχύος προέρχεται κυρίως από διαρροές και απαιτεί μέτρια απόδοση όταν είναι σε κανονική λειτουργία.

Στο πρώτο παράδειγμα έχουμε ένα chip τεχνολογίας 90nm το οποίο χρησιμοποιεί 144 σειριακές συνδέσεις υψηλής ταχύτητας (high speed serial links), 10M λογικές πύλες και 20Mbits SRAM για την μετάφραση μεταξύ των δύο πρωτοκόλλων σύνδεσης. Οι συνδέσεις έχουν μία ταχύτητα μετάδοσης των 5GHz. Το υπόλοιπο chip έχει ένα πιο αργό ρυθμό της τάξης των 500MHz. Για να μεταδώσουμε με την απαιτούμενη απόδοση οι συνδέσεις χρειάζονται μια τάση λειτουργίας στα 1.2V. Η υπόλοιπη σχεδίαση, όμως, μπορεί να ικανοποιήσει τους χρονικούς περιορισμούς χρησιμοποιώντας τάση λειτουργίας 1V, αλλά χωρίς νέες τεχνικές, ολόκληρη η σχεδίαση είναι υποχρεωμένη να λειτουργήσει στα 1.2V εξαιτίας των προδιαγραφών των σειριακών συνδέσεων υψηλής ταχύτητας. Η δυναμική

κατανάλωση της σχεδίασης υπολογίζεται στα 36.6W και η στατική στα 0.5W. Τοποθετώντας τις συνδέσεις και τη σχετιζόμενη με αυτές λογική σχεδίαση σε ένα τμήμα τάσης και το υπόλοιπο της λογικής σχεδίασης σε ένα άλλο τμήμα τάσης, η δυναμική κατανάλωση μπορεί να μειωθεί στα 30.7 W και η στατική στα 0.25W. Σε αυτό το σενάριο, οι συνδέσεις τροφοδοτούνται συνεχώς από την τάση των 1.2V ενώ το υπόλοιπο της λογικής χρησιμοποιεί μία τάση στο 1V. Εξαιτίας του όρου V_{dd}^2 στην εξίσωση της δυναμικής κατανάλωσης, η κατανάλωση στο κύκλωμα μειώνεται σημαντικά.

Το δεύτερο παράδειγμα είναι ένα chip τεχνολογίας 90nm που χρησιμοποιείται σε μία εφαρμογή που λειτουργεί με μπαταρία με μία τάση τροφοδοσίας στα 0.9V. Περιέχει 5.5M λογικές πύλες και 12Mbits SRAM. Η συσκευή έχει τρεις καταστάσεις λειτουργίας: ύπνου, αδρανοποίησης και ενεργής λειτουργίας. Σε κατάσταση ύπνου είναι το 98% του χρόνου. Κατά τη διάρκεια της αδρανοποίησης, ένα μέρος της σχεδίασης χρειάζεται να λειτουργήσει στα 150MHz. Η κατάσταση αδρανοποίησης συμβαίνει για 2% του χρόνου. Το υπόλοιπο μέρος της σχεδίασης σχετίζεται με ένα επεξεργαστή υψηλής ταχύτητας που λειτουργεί στα 400MHz, αλλά αυτό το τμήμα της σχεδίασης είναι ενεργό μόνο για το 0.1% του χρόνου. Σε αυτό το παράδειγμα, το ρεύμα διαρροής στη σχεδίαση πριν την εφαρμογή της τεχνικής των Τμημάτων Τάσης υπολογίζεται στα 17.41mA (15.7mW) για όλους τους χρόνους. Κατά τη διάρκεια της κατάστασης αδρανοποίησης η δυναμική ισχύς υπολογίζεται στα 0.11W και η συνολική ισχύς (στατική + δυναμική) υπολογίζεται στα 0.12W. Κατά τη διάρκεια της κατάστασης λειτουργίας η συνολική κατανάλωση υπολογίζεται στα 6.3W όπου κυριαρχεί η δυναμική κατανάλωση.

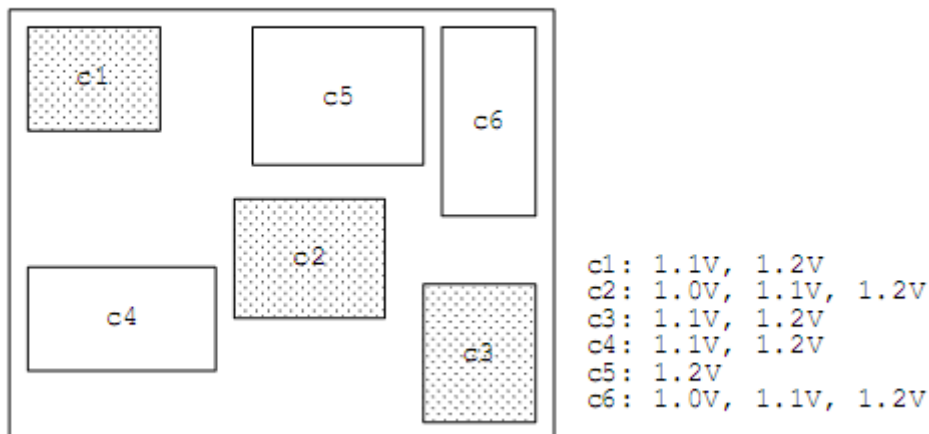
Για να βελτιστοποιήσουμε την κατανάλωση της σχεδίασης θα χρησιμοποιήσουμε τεχνικές διαχείρισης κατανάλωσης επιπέδου κελιού (cell-level) και επιπέδου μπλοκ (block-level). Αρχικά θα χωρίσουμε τη σχεδίαση σε τρία τμήματα τάσης. Το πρώτο τμήμα περιέχει τη συνδεσμολογία που λαμβάνει το σήμα για να ενεργοποιήσει το υπόλοιπο ολοκληρωμένο κύκλωμα. Αυτή η λογική αποτελείται από 50K λογικές πύλες. Το δεύτερο τμήμα, το οποίο ενεργοποιείται μόνο κατά την κατάσταση αδρανοποίησης περιέχει 500K πύλες και 2M bits SRAM. Το τρίτο τμήμα περιέχει 5M λογικές πύλες και 10M bits SRAM. Χρησιμοποιώντας τμήματα τάσης, η σχεδίαση μπορεί να βελτιστοποιηθεί ώστε να διαρρέεται μόνο από 0.03mA κατά τη διάρκεια της κατάστασης αναμονής. Η συνδεσμολογία που είναι πάντα σε λειτουργία τροφοδοτείται από τη δική της τάση

τροφοδοσίας και η τάση αυτού του τμήματος ελαττώνεται στα 0.7V που είναι η ελάχιστη απαίτηση για σωστή λειτουργία των κυκλωμάτων. Το υπόλοιπο της συνδεσμολογίας του ολοκληρωμένου τοποθετείται σε δύο τμήματα των οποίων η τροφοδοσία τάσης διακόπτεται κατά τη διάρκεια της κατάστασης αναμονής. Κατά την κατάσταση αδρανοποίησης, το δεύτερο τμήμα ενεργοποιείται. Η υπολογιζόμενη ισχύς κατά τη διάρκεια αυτής της κατάστασης είναι 0.1W. Η ισχύς κατά τη διάρκεια της λειτουργίας παραμένει 6.3W.

Με τη χρήση τεχνικών επιπέδου κελιού, μπορούμε να μειώσουμε περαιτέρω την ισχύ που καταναλώνεται σε κατάσταση αναμονής. Μετατρέποντας τα κυκλώματα στο τμήμα που είναι πάντα σε λειτουργία σε τρανζίστορ υψηλής τάσης κατωφλίου, η διαρροή στην κατάσταση αναμονής μπορεί να μειωθεί περαιτέρω στα 0.26 μ W. Η δυναμική κατανάλωση μπορεί επίσης να μειωθεί χρησιμοποιώντας τεχνικές επιπέδου κελιού. Με το να εισάγουμε τρανζίστορ χαμηλής τάσης κατωφλίου μόνο στο 10% των διαδρομών που είναι κρίσιμες ως προς το χρόνο η τάση μπορεί να μειωθεί από 0.9V στα 0.8V. Αυτό μας επιτρέπει να μειώσουμε την συνολική ισχύ της κατάστασης λειτουργίας στα 5W.

Η εισαγωγή των τμημάτων τάσης αυξάνει την πολυπλοκότητα της διαδικασίας σχεδίασης του ολοκληρωμένου σε συνδυασμό με τους χρονικούς περιορισμούς (static timing), τη δρομολόγηση ισχύος (power routing) και την τοποθέτηση των μπλοκ στο χώρο (floorplanning) [13]. Συγκεκριμένα, η πολυπλοκότητα αυξάνει σημαντικά με την αύξηση του αριθμού των επιτρεπόμενων τμημάτων τάσης. Για αυτό το λόγο, ο σχεδιαστής όταν χρησιμοποιεί τα τμήματα τάσης πρέπει να ομαδοποιήσει τους πυρήνες που χρησιμοποιούν την ίδια τάση τροφοδοσίας σε ένα τμήμα και να εξασφαλίσει ότι η δημιουργούμενη ομαδοποίηση δεν παραβιάζει άλλες προδιαγραφές της σχεδίασης όπως προδιαγραφές χρονισμού ή συμφόρησης της καλωδίωσης (wiring congestion). Τα τμήματα τάσης πρέπει να τοποθετούνται κοντά στους ακροδέκτες (pins) τροφοδοσίας της τάσης για να ελαχιστοποιήσουν την πολυπλοκότητα της δρομολόγησης της ισχύος (power routing complexity) και την αντιστατική πτώση τάσης (IR drop). Αφού το κάθε τμήμα χρειάζεται το δικό του δίκτυο τροφοδοσίας ισχύος (power grid) και μετατροπείς τάσης (level converters) για την επικοινωνία με διαφορετικά τμήματα, η επιβάρυνση σε επιφάνεια πυριτίου στο ολοκληρωμένο και σε καθυστέρηση διάδοσης σήματος είναι αναμενόμενη. Μπορούμε να έχουμε επιπλέον επιβάρυνση σε επιφάνεια στο ολοκληρωμένο εξαιτίας

πιθανών αχρησιμοποίητων χώρων (dead spaces), εάν δύο ή περισσότεροι πυρήνες τοποθετηθούν στο ίδιο τμήμα τάσης αλλά αυτή η διαδικασία δεν γίνει με το βέλτιστο τρόπο. Αυτές οι απαιτήσεις οδηγούν σε ένα ενδιαφέρον και μοναδικό πρόβλημα τοποθέτησης των μπλοκ μέσα στο ολοκληρωμένο. Το σχήμα 3.10 δείχνει ένα παράδειγμα εισαγωγής τμημάτων τάσης σε ένα SoC.



Σχήμα 3.10. Παράδειγμα SoC με τη Δημιουργία Τμημάτων Τάσης [13]

Κάθε πυρήνας συνδέεται με μία λίστα από τάσεις που μπορεί να λειτουργήσει. Για παράδειγμα, ο πυρήνας c2 μπορεί να λειτουργήσει σε 1.0V, 1.1V και 1.2V. Σύμφωνα με τα δεδομένα, συμπεραίνουμε ότι δεν χρειάζεται να δημιουργηθεί ένα ξεχωριστό τμήμα τάσης για τους πυρήνες που λειτουργούν σε τάση 1.2V. Εάν θέλουμε να ελαχιστοποιήσουμε την κατανάλωση ισχύος πρέπει να λειτουργήσουμε κάθε πυρήνα στην χαμηλότερη του τάση. Αυτό σημαίνει ότι χρειαζόμαστε τουλάχιστον τρία τμήματα τάσης, ένα για τους πυρήνες c2, c6, ένα για τους c1 και c4 και ένα για τον c3 (φυσικά υπάρχουν και άλλες επιλογές π.χ. ένα τμήμα για τους c2 και c6, ένα για τον c1 και ένα για τους c3 και c4). Σημειώνουμε ότι δεν μπορούμε να χρησιμοποιήσουμε το ίδιο τμήμα τάσης για τους πυρήνες c1, c3, και c4 γιατί τότε το υποθετικό τετράγωνο καλύπτει το τμήμα και το διαχωρίζει από την υπόλοιπη σχεδίαση θα έπιανε όλο το ολοκληρωμένο. Παρόλα αυτά αυτή δεν είναι η τέλεια λύση: ένα τμήμα που να περιέχει τους πυρήνες c2 και, c6 δεν αποδεκτό γιατί το τετράγωνο που θα τους περιέχει παραβιάζει τον περιορισμό του να βρίσκεται το τμήμα τάσης κοντά στους ακροδέκτες τροφοδοσίας ισχύος και σε αυτήν την περίπτωση το τμήμα βρίσκεται στην περιφέρεια της εικόνας. Ένα τμήμα τάσης που να

περιέχει τους πυρήνες c1 και c4 (ή c3 και c4) θα περιέχει ένα αχρησιμοποίητο χώρο (dead space) μέσα στο ολοκληρωμένο. Θα μπορούσαμε να χρησιμοποιήσουμε περισσότερα τμήματα τάσης για να λύσουμε κάποια από αυτά τα προβλήματα, αλλά αυτό δεν είναι εύκολα εφικτό γιατί ο αριθμός των τμημάτων τάσης που μπορεί να δημιουργηθεί περιορίζεται από άλλους σχεδιαστικούς κανόνες. Αυτό το παράδειγμα δείχνει ξεκάθαρα ένα καινούριο πρόβλημα στο επίπεδο τοποθέτησης των μπλοκ με στόχο πολύ διαφορετικό από αυτό της παραδοσιακής τοποθέτησης μπλοκ στο χώρο του ολοκληρωμένου σε σχεδιασμούς τύπου ASIC. Το ASIC (application-specific integrated circuit) είναι επεξεργαστής υπολογιστών που εκτελεί ένα συγκεκριμένο στόχο αντί της εκτέλεσης γενικών υπολογισμών. Ενώ η κεντρική μονάδα επεξεργασίας ενός υπολογιστή είναι ένα ολοκληρωμένο κύκλωμα που χειρίζεται ένα πλήθος γενικών στόχων επεξεργασίας, τα ASICs προσαρμόζονται και εκτελούν μόνο ένα συγκεκριμένο τύπο επεξεργασίας. Συνεπώς δημιουργείται ένα πιο σύνθετο πρόβλημα, αυτό της τοποθέτησης των μπλοκ στο chip με ταυτόχρονο στόχο την ελαχιστοποίηση της κατανάλωσης ενέργειας και της επιβάρυνσης σε επιφάνεια πυριτίου.

3.7 Τεχνική Χαμηλής Κατανάλωσης με Απενεργοποίηση του Ρολογιού κατά Τμήματα (Clock Gating)

Η τεχνική χαμηλής κατανάλωσης με απενεργοποίηση του ρολογιού κατά τμήματα είναι ένας αποδοτικός τρόπος να μειώσουμε την κατανάλωση ενέργειας στα ψηφιακά κυκλώματα. Σε ένα τυπικό σύγχρονο κύκλωμα, π.χ. ένα επεξεργαστή γενικού σκοπού, μόνο ένα μέρος του κυκλώματος είναι συνεχώς ενεργό. Μία τυπική σχεδίαση SOC αποτελείται από μία ή περισσότερες κεντρικές μονάδες επεξεργασίας (CPUs), μια μνήμη τυχαίας προσπέλασης (RAM), μονάδες διεπαφών διασύνδεσης (bus interface units), ελεγκτές εισόδου-εξόδου και μνήμης (input-output and memory controllers), έναν συνεπεξεργαστή κινητής υποδιαστολής (floating point coprocessor) κ.τ.λ. Με την απενεργοποίηση των αδρανοποιημένων μονάδων, μπορούμε να αποτρέψουμε τη σπατάλη ενέργειας στο κύκλωμα. Επίσης μπορούμε να απενεργοποιήσουμε ένα μέρος του δέντρου του ρολογιού (clock tree) χρησιμοποιώντας σαν μάσκα μία πύλη AND στο εσωτερικό κόμβο του δέντρου του ρολογιού. Αυτή η κίνηση αποτρέπει τις αλόγιστες μεταβάσεις σήματος στο δέντρο του ρολογιού και άρα την εξοικονόμηση ενέργειας σε αυτό,

επιπρόσθετα της εξοικονόμησης ενέργειας στις λειτουργικές μονάδες που τροφοδοτούνται από το ρολόι.

Η βασική ιδέα της τεχνικής χαμηλής κατανάλωσης με απενεργοποίηση του ρολογιού κατά τμήματα, είναι να τοποθετηθεί μάσκα στο τμήμα του δέντρου του ρολογιού που συνδέεται με τους καταχωρητές των αδρανοποιημένων μπλοκ. Αυτό διατηρεί τις εισόδους της συνδυαστικής λογικής του μπλοκ σταθερές και αποτρέπει κάθε πιθανή μετάβαση κατάστασης μέσα στο μπλοκ. Με αυτό τον τρόπο μειώνεται η δυναμική κατανάλωση μέσα στο κύκλωμα.

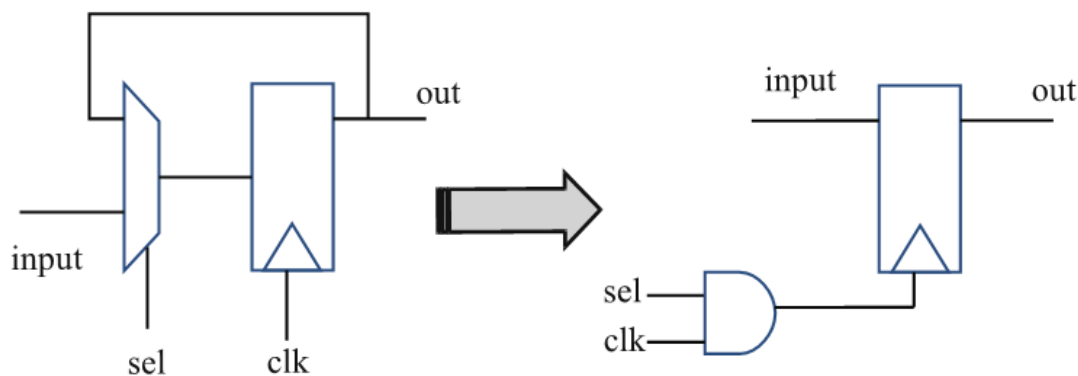
Παραδοσιακά, το ρολόι του συστήματος τροφοδοτεί κάθε flip-flop στη σχεδίαση. Αυτό οδηγεί σε τρεις παραμέτρους που συμβάλλουν στη δυναμική κατανάλωση:

1. Κατανάλωση ενέργειας στη συνδυαστική λογική στις εισόδους της οποίας οι τιμές αλλάζουν σε κάθε ακμή του ρολογιού
2. Κατανάλωση ενέργειας από τα flip-flops που είναι υπαρκτή ακόμη και αν οι εισοδοί των flip-flops δεν αλλάζουν και η εσωτερική κατάσταση παραμένει σταθερή και
3. Κατανάλωση ενέργειας από το δέντρο διάδοσης του ρολογιού (clock buffer tree).

Η τεχνική χαμηλής κατανάλωσης με απενεργοποίηση του ρολογιού κατά τμήματα έχει το πλεονέκτημα να μειώνει την ενέργεια που καταναλώνεται και από το δέντρο ρολογιού και από τα flip-flops.

Η τεχνική στην εργασία [14] λειτουργεί με το να αναγνωρίζει τις ομάδες των flip-flops που μοιράζονται ένα κοινό σήμα επίτρησης (enable), (το οποίο δείχνει ότι μία νέα τιμή πρέπει να εισαχθεί με το ρολόι στο flip-flop). Αυτό το σήμα μαζί με το σήμα του ρολογιού αποτελούν εισόδους σε μια πύλη NAND και δημιουργείται έτσι το ενεργοποιημένο κατά τμήματα ρολόι (gated clock), το οποίο τροφοδοτείται στις εισόδους ρολογιού όλων των flip-flops που έχουν κοινό σήμα επίτρησης (αντίστοιχα το ίδιο ισχύει και στα latches). Στο σχήμα 3.11 έχουμε την πιο απλή μορφή εφαρμογής της τεχνικής, όπου εντοπίζεται το σήμα που καθορίζει εάν το latch θα έχει νέα δεδομένα στο τέλος του κύκλου. Εάν δεν θα έχει, το ρολόι απενεργοποιείται με βάση το σήμα sel που έχει την πληροφορία του εάν το

latch θα διατηρήσει την προηγούμενη τιμή του ή εάν θα πάρει νέα είσοδο. Αυτό το σήμα sel μαζί με το σήμα του ρολογιού τροφοδοτούν μία πύλη AND για να επιτύχουν την ενεργοποίηση του ρολογιού κατά τμήματα (gated clock). Αυτή η κίνηση μειώνει τη δυναμική κατανάλωση του σύγχρονου κυκλώματος κατά 5- 10%.

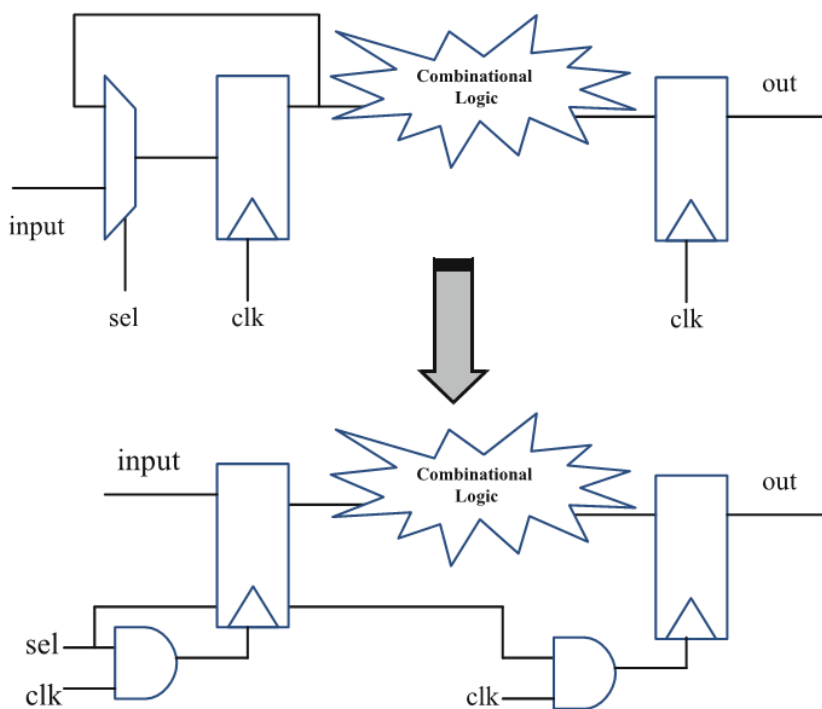


Σχήμα 3.11. Η Τεχνική Απενεργοποίησης του Ρολογιού κατά Τμήματα στην πιο Απλή Μορφή [14]

Υπάρχουν αρκετά θέματα που πρέπει να ληφθούν σοβαρά υπόψη κατά την υλοποίηση της τεχνικής. Πρώτα από όλα, το σήμα επίτρησης πρέπει να παραμένει σταθερό στον υψηλό παλμό του ρολογιού και να αλλάζει μόνο στο χαμηλό παλμό. Δεύτερον, για να είναι εγγυημένη η σωστή λειτουργία της λογικής υλοποίησης μετά την ενεργοποίηση του ρολογιού, το σήμα επίτρησης πρέπει να ενεργοποιηθεί με χρονική ακρίβεια ώστε να αποφευχθούν ασάφειες στο χρόνο άφιξης του ρολογιού. Τρίτον, η παρουσία της πύλης AND μπορεί να οδηγήσει σε επιπλέον ασάφεια στο σήμα του ρολογιού που οφείλεται στο σύστημα διανομής (clock skew).

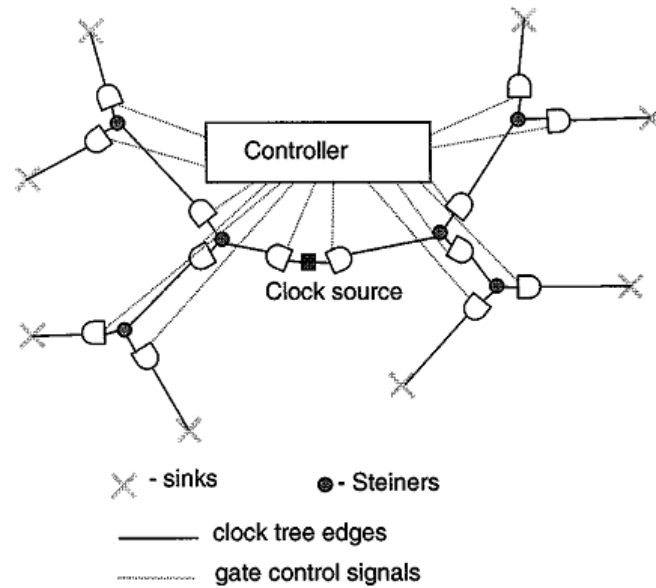
Ένα σοβαρό θέμα στην υλοποίηση της τεχνικής για τους σχεδιαστές ASIC είναι η διαβάθμιση της. Η τεχνική στην απλούστερη μορφή της φαίνεται στο σχήμα 3.11. Σε αυτό το επίπεδο είναι σχετικά εύκολο να αναγνωριστεί η λογική του σήματος επίτρησης (sel). Σε μία σχεδίαση όμως τύπου δομής διοχέτευσης (pipeline design), η επίδραση της τεχνικής μπορεί να πολλαπλασιαστεί. Εάν οι είσοδοι σε ένα στάδιο της δομής δεν αλλάζουν, τότε δεν αλλάζουν και στα επόμενα στάδια της σήραγγας. Το σχήμα 3.12 δείχνει την τεχνική για απενεργοποίηση του ρολογιού κατά τμήματα για την τεχνική της δομής διοχέτευσης πολλαπλών επιπέδων. Τότε έχουμε βελτιστοποίηση σε όλα τα επίπεδα της δομής με

αποτέλεσμα να εξοικονομηθεί ενέργεια της τάξης του 15- 25% (χρησιμοποιώντας και άλλες τεχνικές μπορεί η δυναμική κατανάλωση να μειωθεί μέχρι 45%). [15].

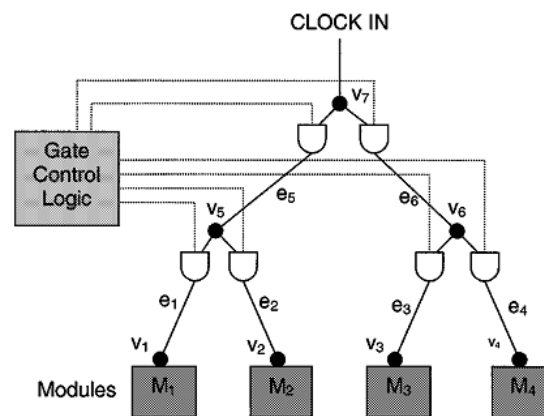


Σχήμα 3.12. Εφαρμογή της Τεχνικής Απενεργοποίησης Ρολογιού κατά Τμήματα σε Σχεδίαση Τύπου Δομής Διοχέτευσης [15]

Μία παραλλαγή της τεχνικής του απενεργοποιημένου κατά τμήματα ρολογιού, που παρουσιάστηκε στην εργασία [16], είναι να εισάγουμε πύλες αμέσως μετά από κάθε εσωτερικό κόμβο στο δέντρο του ρολογιού για να ελαχιστοποιήσουμε έτσι τη δυναμική κατανάλωση. Αυτές οι πύλες μπορούν επίσης να χρησιμοποιηθούν σαν απομονωτές (buffers) και να προσαρμόζουν την καθυστέρηση φάσης στο σήμα του ρολογιού. Μπορούν να ενεργοποιηθούν και να απενεργοποιηθούν με τη βοήθεια σημάτων ελέγχου που παράγονται από έναν κεντρικό ελεγκτή. Ένα σχετικό παράδειγμα παρουσιάζεται στο σχήμα 3.13, όπου οι κόμβοι που δίνονται με τη μορφή x είναι τα κυκλωματικά μπλοκ ενώ οι εσωτερικοί κόμβοι δίνονται με τη μορφή κουκκίδων στη διανομή του ρολογιού.



(a)



(b)

Σχήμα 3.13. (α) Μοντέλο ενός Δέντρου με Απενεργοποιημένο κατά Τμήματα Ρολόι (β) Τοπολογία ενός Δέντρου με Απενεργοποιημένο κατά Τμήματα Ρολόι [16]

Μία πύλη στο δέντρο του ρολογιού πρέπει να ενεργοποιηθεί (με το να της δοθεί ένα σήμα με τιμή “True”) όταν μία πύλη από τους κόμβους απογόνους ενεργοποιηθεί. Αυτό σημαίνει ότι το σήμα ελέγχου της πύλης είναι μια OR συνάρτηση των σημάτων ελέγχου των πυλών απογόνων.

ΚΕΦΑΛΑΙΟ 4. ΛΟΓΙΚΗ ΜΕ ΠΟΛΛΑΠΛΕΣ ΤΑΣΕΙΣ ΚΑΤΩΦΛΙΟΥ

- 4.1 Η Ιδέα των Πολλαπλών Τάσεων Κατωφλίου
 - 4.2 Τεχνική Χαμηλής Κατανάλωσης με Απομόνωση της Ισχύος (Power Gating)
 - 4.3 Πόλωση Υποστρώματος (back- substrate- bias)
 - 4.4 Συσκευές SOI διπλών πυλών για χαμηλή κατανάλωση (SOI Double-Gate Devices)
-

4.1 Η Ιδέα των Πολλαπλών Τάσεων Κατωφλίου

Στο προηγούμενο κεφάλαιο αναφερθήκαμε στη χρήση του περιθωρίου χρόνου για τη μείωση της δυναμικής κατανάλωσης του μπλοκ λογικής. Με τη κλιμάκωση της σύγχρονης τεχνολογίας, αυξάνεται όμως και η σημασία της στατικής κατανάλωσης. Στα κινητά συστήματα χαμηλής ισχύος με προφίλ χαμηλής δραστηριότητας, η ισχύς στην κατάσταση αναμονής είναι πολύ πιο σημαντική από τη δυναμική κατανάλωση ισχύος. Οπότε, το περιθώριο μπορεί να χρησιμοποιηθεί κυρίως για να μειώσει τα ρεύματα διαρροής χρησιμοποιώντας τρανζίστορ με αυξημένη τάση κατωφλίου για τις πύλες στις μη κρίσιμες διαδρομές [4]. Χρησιμοποιώντας το άλφα μοντέλο ισχύς και καθυστέρησης που δίνεται από την εξίσωση:

$$t_d \propto \frac{V_{DD}}{(V_{DD} - V_t)^a} \quad [\text{Εξ 4.1}]$$

όπου εκθέτης a είναι ο δείκτης ταχύτητας κορεσμού και παίρνει τιμές μεταξύ 1 και 2, μπορούμε να διαπιστώσουμε ότι η καθυστέρηση διάδοσης σήματος αυξάνεται όταν αυξήσουμε την τάση κατωφλίου. Όμως σύμφωνα με την εξίσωση:

$$I_{Dsub}(V_{GS}) = I_O \exp\left(\frac{V_{GS} - V_{th}}{nV_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right) \quad [\text{Εξ 4.2}]$$

$$I_O = \frac{\epsilon_0 \epsilon_{Si} O_2 W}{t_{ox} L} (n-1) V_T^2 \quad [\text{Εξ 4.3}]$$

όπου μ η κινητικότητα των φορέων μειονότητας, t_{ox} το πάχος του διηλεκτρικού της πύλης, W και L οι διαστάσεις του τρανζίστορ και V_T η θερμική τάση, παρατηρούμε ότι το ρεύμα κατωφλίου μειώνεται εκθετικά με την αύξηση της τάσης κατωφλίου.

Το κύριο πλεονέκτημα της τεχνικής πολλαπλών τάσεων κατωφλίου σε σχέση με την τεχνική πολλαπλών τάσεων τροφοδοσίας είναι το γεγονός ότι τα λογικά επίπεδα δεν αλλάζουν. Δεν χρειάζονται κυκλώματα ανάκτησης τάσης, που καταναλώνουν χρόνο και ισχύ, στη διεπαφή μεταξύ των διαφορετικών περιοχών τάσεων κατωφλίου. Αφού οι πύλες δε χρειάζεται να ομαδοποιηθούν αλλά μπορούν να τοποθετηθούν αυθαίρετα, δεν χρειάζονται περιορισμοί για τη διαδικασία τοποθέτησης και δρομολόγησής τους. Παρόλα αυτά, για κάθε τάση κατωφλίου, πρέπει να παραχθεί και να χαρακτηριστεί ένα ολόκληρο σύνολο από κελιά (μια ολοκληρωμένη βιβλιοθήκη). Μετά το χαρακτηρισμό, η ανάθεση των τάσεων κατωφλίου μπορεί να γίνει όπως έγινε και η ανάθεση της τάσης τροφοδοσίας στην τεχνική πολλαπλών $-V_{DD}$.

Η τεχνική πολλαπλών τάσεων κατωφλίου δεν περιορίζεται στο επίπεδο πύλης, για αυτό είναι πιθανό να ανατεθούν διαφορετικές τάσεις κατωφλίου σε μπλοκ με διαφορετικές απαιτήσεις απόδοσης. Μια υψηλότερη τάση κατωφλίου χρησιμοποιείται για ελαχιστοποίηση της διαρροής σε μπλοκ με λιγότερο κρίσιμη απόδοση και η χαμηλή τάση κατωφλίου ανατίθεται σε μπλοκ με την πιο κρίσιμη απόδοση. Από την άλλη μεριά είναι πιθανό να χρησιμοποιηθούν οι πολλαπλές τάσεις κατωφλίου με ένα πιο διαβαθμισμένο τρόπο, π.χ. μέσα σε ένα κελί: τα συγχρονισμένα στοιχεία όπως μανταλωτές (latches) και flip-flops μπορούν να εκμεταλλευτούν τη δεύτερη τάση κατωφλίου αφού μόνο ένα μέρος των τρανζίστορ τους είναι κρίσιμο ως προς την απόδοση. Η ανάδραση, για παράδειγμα τα τρανζίστορ διατήρησης μπορούν να χρησιμοποιήσουν την υψηλότερη τάση κατωφλίου χωρίς να αυξήσουν την καθυστέρηση σήματος από την είσοδο στην έξοδο (D-to-Q delay).

Επιπρόσθετες πύλες και συσκευές που είναι παράλληλα προς τη διαδρομή σήματος, π.χ. επεκτάσεις ενός ασύγχρονου μηχανισμού set/reset, για κατάσταση σάρωσης (scan mode) ή διατήρησης (retention mode) μπορούν επίσης να χρησιμοποιήσουν την υψηλή τάση κατωφλίου.

Οι δυναμικές πύλες χρειάζονται ένα εξαιρετικά γρήγορο δίκτυο υπολογισμού. Παρόλα αυτά, οι απαιτήσεις για τα τρανζίστορ προ-φόρτισης και κατακράτησης είναι πιο χαλαρές. Οπότε αυτές οι συσκευές μπορούν επίσης να επωφεληθούν από την υψηλότερη τάση κατωφλίου. Οι συσκευές προ-φόρτισης υψηλής τάσης κατωφλίου μπορούν επίσης να χρησιμοποιηθούν σαν τοπικοί διακόπτες ισχύος (local power switches) [17].

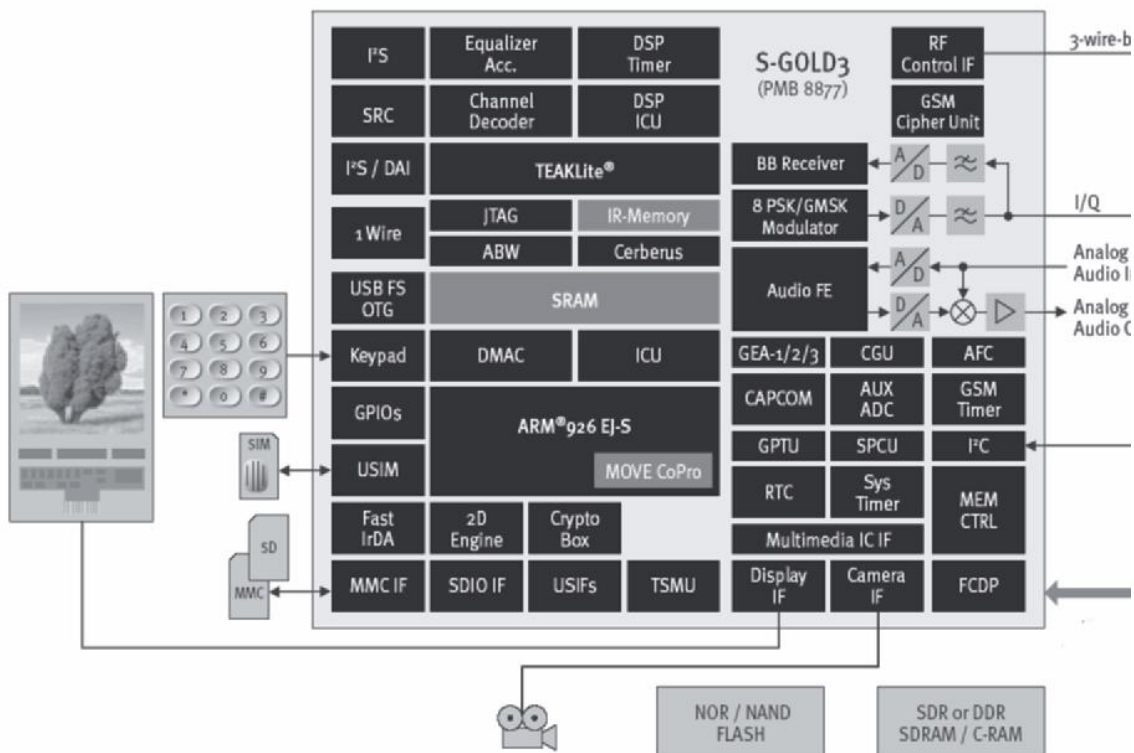
Ανακεφαλαιώνοντας, μπορούμε να ισχυριστούμε ότι η χρήση αυξημένης τάσης κατωφλίου για μη-κρίσιμες διαδρομές και μπλοκ του κυκλώματος οδηγεί στη μείωση των διαρροών ρεύματος υποκατωφλίου (subthreshold leakage current). Όμως, το πλήθος των πυλών με χαμηλή τάση κατωφλίου πρέπει να είναι μικρό σε σχέση με το πλήθος των πυλών με υψηλή τάση κατωφλίου για να επιτευχθεί μια σημαντική μείωση της διαρροής ολόκληρου του συστήματος.

4.2 Τεχνική Χαμηλής Κατανάλωσης με Απομόνωση της Ισχύος (Power Gating)

Ο επεξεργαστής SGOLD3TM από τη Infineon Technologies που φαίνεται στο σχήμα 4.1 είναι ένα αντιπροσωπευτικό παράδειγμα πολύ μεγάλου συστήματος σε ένα ολοκληρωμένο (SoC – system-on-chip) με μεγάλη ποικιλία υποσυστημάτων (πρόκειται για ένα εξελιγμένο SoC για τηλέφωνα GSM/EDGE) [4].

Είναι προφανές ότι πολλά από τα υποσυστήματα του ολοκληρωμένου δεν χρειάζεται να είναι συνεχώς σε λειτουργία. Επίσης είναι απίθανο ή και αδύνατο αυτά τα υποσυστήματα να είναι ταυτόχρονα ενεργοποιημένα. Ακόμη, κάποια κυκλωματικά μπλοκ μπορεί ποτέ να μη χρειαστούν κατά τη διάρκεια ζωής του προϊόντος στο χρήστη του. Για αυτό το λόγο η τεχνική χαμηλής κατανάλωσης με απομόνωση του ρολογιού (clock gating) μπορεί να χρησιμοποιηθεί για να αναστείλει τη λειτουργία μεγάλων περιοχών στο ολοκληρωμένο κύκλωμα για μεγάλο χρονικό διάστημα. Αυτή η λύση ήταν αποδεκτή για πολύ καιρό αφού

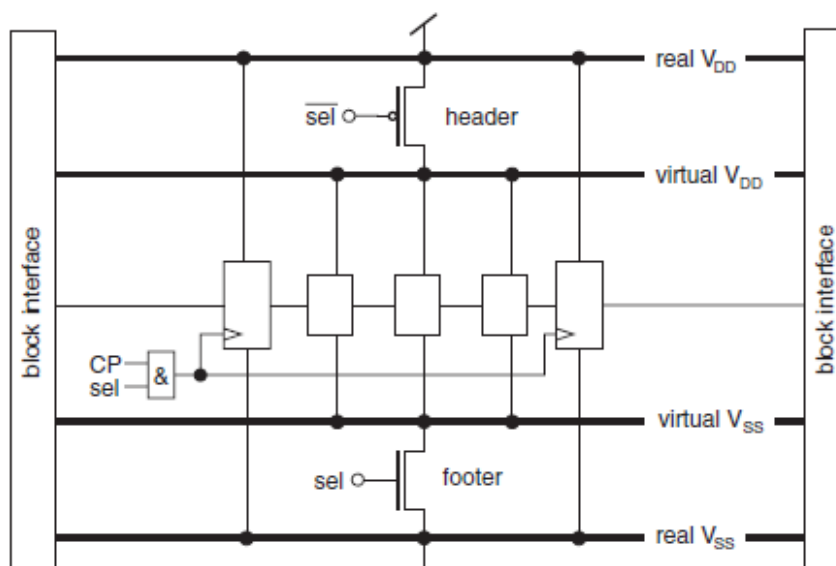
τα ρεύματα διαρροής μπορούσαν να αγνοηθούν στις παλιότερες τεχνολογίες. Παρόλα αυτά, στις τεχνολογίες deep sub-micron τα αδρανοποιημένα μπλοκ (idle blocks) εμφανίζουν σημαντικά ρεύματα διαρροής που συνεισφέρουν σε μεγάλο ποσοστό στη συνολική κατανάλωση ενέργειας (power consumption).



Σχήμα 4.1. Ο Επεξεργαστής Βασικής Ζώνης SGOLD3TM από τη Infineon Technologies [4]

Μία αποτελεσματική λύση για την εξάλειψη της στατικής κατανάλωσης είναι η τεχνική χαμηλής κατανάλωσης με απομόνωση ισχύος (power gating) [4]. Όπως φαίνεται από το σχήμα 4.2 ένα αδρανοποιημένο κυκλωματικό μπλοκ δεν αποκόπτεται μόνο από το δέντρο διανομής ρολογιού (clock tree) αλλά και από την τροφοδοσία ισχύος (power supply). Για αυτό το λόγο, ένα τρανζίστορ επιβολής κατάστασης ύπνου (sleep transistor) παρεμβάλλεται μεταξύ του κυκλωματικού μπλοκ και του V_{DD} ή V_{SS} . Ένα τρανζίστορ PMOS που απομονώνει το κυκλωματικό μπλοκ λέγεται header ενώ ένα τρανζίστορ NMOS λέγεται footer. Το τρανζίστορ κατάστασης ύπνου μπορεί να τοποθετηθεί σε μία θέση ή

μπορεί να διαρευθεί σε πολλά μικρά τρανζίστορ που θα τοποθετηθούν σε όλη την περιοχή του κυκλωματικού μπλοκ. Το τοπικό δίκτυο διανομής της τροφοδοσίας που συνδέεται στη τάση τροφοδοσίας μέσω ενός τρανζίστορ επιβολής κατάστασης ύπνου λέγεται εικονική τάση τροφοδοσίας π.χ. εμφανίζεται μία εικονική τάση V_{DD} εάν προστεθεί ένα τρανζίστορ header και μία εικονική τάση V_{SS} εάν προστεθεί ένα τρανζίστορ footer [18].



Σχήμα 4.2. Η Αρχή Λειτουργίας της Τεχνικής Απομόνωσης Ισχύος [18]

Το να αποκόψουμε από την τροφοδοσία ένα κυκλωματικό μπλοκ μειώνει τα συνολικά ρεύματα διαρροής. Η εναπομείνουσα διαρροή καθορίζεται κυρίως από τις ιδιότητες και τις διαστάσεις του διακόπτη ισχύος. Οπότε για τρανζίστορ σε κατάσταση ύπνου προτιμάται από ένα τρανζίστορ με υψηλή τάση κατωφλίου και παχύ οξειδίο πύλης. Το πλάτος του τρανζίστορ (W) είναι συνήθως αισθητά μικρότερο από το συνολικό πλάτος των τρανζίστορ των λογικών πυλών στο κύκλωμα. Για αυτό το λόγο, η στατική κατανάλωση μπορεί να μειωθεί δύο ή τρεις τάξεις μεγέθους. Μόλις οδηγήσουμε στην αποκοπή το τρανζίστορ επιβολής κατάστασης ύπνου το ρεύμα της συσκευής μειώνεται αυτόματα αλλά όλες οι τάσεις στην συσκευή είναι αρχικά αφόρτιστες. Έτσι, όλα τα ρεύματα διαρροής στη λογική συνεχίζουν να ρέουν και να αποφορτίζουν τις εσωτερικές χωρητικότητες. Το εικονικό δίκτυο διανομής τάσης προσπαθεί να υπερισχύσει έναντι της τάσης τροφοδοσίας που δεν έχει συνδεθεί με τρανζίστορ σε κατάσταση ύπνου, μέχρι η τάση στη λογική να έχει τόσο μικρή τιμή ώστε το ρεύμα της λογικής να εξισωθεί με το ρεύμα διαρροής στη

συσκευή του διακόπτη. Εξαιτίας της κατάρρευσης της τοπικής τάσης τροφοδοσίας, τα εσωτερικά στοιχεία αποθήκευσης (latches και flip-flops) χάνουν την αποθηκευμένη πληροφορία. Για αυτό χρειάζονται ειδικά flip-flops διατήρησης κατάστασης εάν η λογική πληροφορία πρέπει να μη χαθεί κατά τη φάση αδρανοποίησης.

Το κυκλωματικό μπλοκ μπορεί να τεθεί ξανά σε λειτουργία με το να ενεργοποιήσουμε το τρανζίστορ σε κατάσταση ύπνου. Όλες οι εσωτερικές χωρητικότητες πρέπει να επαναφορτιστούν για αυτό εμφανίζεται μία μεγάλη αιχμή ρεύματος (large current spike) κατά την φάση ενεργοποίησης. Για να αποφευχθούν διαταραχές στη λειτουργία των γειτονικών μπλοκ, εξαιτίας αυτής της αιχμής ρεύματος, το μπλοκ πρέπει να ενεργοποιηθεί με ελεγχόμενο τρόπο. Εάν το μπλοκ ξαναλειτουργήσει, το τρανζίστορ σε κατάσταση ύπνου δεν έχει καμία επιρροή στην κατανάλωση ενέργειας. Για αυτό και η τεχνική χαμηλής κατανάλωσης με απομόνωση ισχύος (power gating) είναι αποτελεσματική μόνο όταν υπάρχουν σημαντικά μεγάλες περιόδους αδρανοποίησης όπου το κύκλωμα δεν χρειάζεται να είναι σε λειτουργία. Παρόλα αυτά υπάρχει η παρασιτική αντίσταση του τρανζίστορ επιβολής κατάστασης ύπνου που προκαλεί υποβάθμιση στην τοπική τάση τροφοδοσίας και αυτή με τη σειρά της μειώνει την ταχύτητα της λογικής. Αυτό το μειονέκτημα πρέπει να ληφθεί σοβαρά υπόψη κατά τη σχεδίαση του τρανζίστορ σε κατάσταση ύπνου. Το να ενεργοποιήσουμε και να απενεργοποιήσουμε ένα κύκλωμα τρανζίστορ σε κατάσταση ύπνου προκαλεί επιβάρυνση σε ενέργεια (energy overhead). Για αυτό η περίοδος αδρανοποίησης πρέπει να είναι αρκετά μεγάλη ώστε να μπορέσουμε τουλάχιστον να εξοικονομήσουμε την ενέργεια που καταναλώνεται για τη λειτουργία του διακόπτη. Αυτός ο χρόνος αδρανοποίησης λέγεται ελάχιστος χρόνος μη κατανάλωσης ενέργειας (minimum power-down time).

4.3 Πόλωση Υποστρώματος (Back-Substrate-Bias)

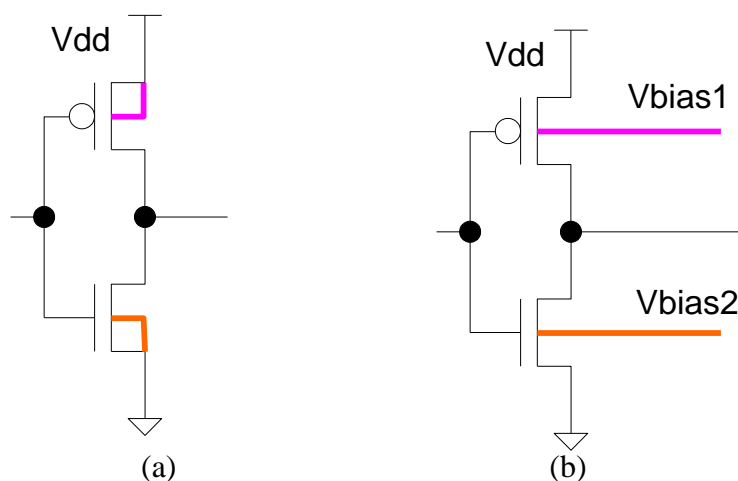
Το φαινόμενο σώματος (body effect) προκαλεί την αλλαγή της τάσης κατωφλίου του τρανζίστορ (V_T) που είναι αποτέλεσμα της διαφοράς τάσης μεταξύ πηγής και υποστρώματος (V_{SB}). Επειδή η διαφορά τάσης V_{SB} επηρεάζει την V_T , το υπόστρωμα μπορεί να θεωρηθεί σα μια δεύτερη πύλη που βοηθάει να καθοριστεί πότε το τρανζίστορ είναι σε λειτουργία ή όχι. Η ένταση του φαινομένου σώματος προσδιορίζεται ποσοτικά από τη σταθερά σώματος “ γ ”.

Ο τύπος φαίνεται παρακάτω:

$$V_{TN} = V_{T0} + \gamma(\sqrt{|u_{SB} + 2\phi_F|} - \sqrt{2\phi_F}) \quad [\text{Εξ 4.3}]$$

Όπου V_{T0} = η τιμή της V_{TN} για μηδενική τάση V_{SB} , γ η σταθερά φαινομένου σώματος και ϕ_F είναι το δυναμικό Fermi.

Όταν υπάρχει σημαντικό φαινόμενο σώματος ενεργοποιείται μία μεγάλη τεχνικών πόλωσης υποστρώματος (body bias). Παρόλα αυτά, το φαινόμενο σώματος έχει ελαττωθεί με την κλιμάκωση της τεχνολογίας των τρανζίστορ. Για αυτό το λόγο η πόλωση υποστρώματος δεν χρησιμοποιείται ευρέως για τεχνολογίες 65nm ή μικρότερες.



Σχήμα 4.3. (a) Γενική Σχεδίαση: Το Υπόστρωμα Συνδέεται στην Τροφοδοσία ή στη Γη. (b) Μεταβλητή Τάση Πόλωσης Υποστρώματος για να Μεταβάλλει την Τάση Κατωφλίου.

Όπως φαίνεται και στο σχήμα 4.3. (a) το υπόστρωμα μαζί με την πηγή συνδέονται είτε στην τροφοδοσία (V_{DD}) για τα τρανζίστορ με p-κανάλι ή στην γη (V_{SS}) για τρανζίστορ με n-κανάλι. Η πόλωση υποστρώματος βασίζεται στη σύνδεση των υποστρωμάτων των τρανζίστορ σε ένα δίκτυο πόλωσης στο φυσικό σχεδιασμό (layout) του κυκλώματος αντί να συνδεθούν στην τροφοδοσία ή στη γη όπως φαίνεται και στο σχήμα 4.3. (b). Η πόλωση υποστρώματος [19] μπορεί να τροφοδοτηθεί από μία εξωτερική πηγή (off-chip) ή από μία εσωτερική πηγή (on-chip). Στην προσέγγιση on-chip, η σχεδίαση περιλαμβάνει κατάλληλο κύκλωμα για να παράγει την τάση για την αντίστροφη πόλωση του υποστρώματος (Reverse Body Bias) και/ ή κατάλληλο κύκλωμα για να παράγει την τάση για την

κανονική πόλωση του υποστρώματος (Forward Body Bias). Η αντίστροφη πόλωση του υποστρώματος περιλαμβάνει την εφαρμογή μιας αρνητικής διαφοράς δυναμικού μεταξύ υποστρώματος και πηγής για ένα τρανζίστορ με n-κανάλι, που αυξάνει την τάση κατωφλίου και κάνει το τρανζίστορ πιο αργό και με μικρότερα ρεύματα διαρροής. Η κανονική πόλωση σώματος, από την άλλη πλευρά, μειώνει την τάση κατωφλίου εφαρμόζοντας μία θετική τάση μεταξύ υποστρώματος και πηγής σε ένα τρανζίστορ με n-κανάλι και κάνει το τρανζίστορ πιο γρήγορο αλλά και με μεγαλύτερα ρεύματα διαρροής. Οι πολικότητες των εφαρμοζόμενων πολώσεων που περιγράψαμε παραπάνω είναι οι αντίθετες για ένα τρανζίστορ με p-κανάλι.

Υπάρχουν διάφορες μέθοδοι πόλωσης του υποστρώματος. Η πιο απλή τεχνική είναι να εφαρμόσουμε μία σταθερή τάση πόλωσης υποστρώματος με τον ίδιο τρόπο για όλα τα παραγόμενα ολοκληρωμένα κυκλώματα με την τιμή της πόλωσης να καθορίζεται κατά τη διάρκεια της σχεδίασης. Σε ένα τρανζίστορ με έντονο το φαινόμενο σώματος, η σταθερή τάση πόλωσης του υποστρώματος αναλαμβάνει να καθορίσει την τάση κατωφλίου του τρανζίστορ.

Τα τρανζίστορ που χρησιμοποιούν την τεχνική χαμηλής κατανάλωσης με απομόνωση ισχύος (power gating) παρέχουν μία ενδιαφέρουσα ευκαιρία για να χρησιμοποιηθεί μία σταθερή κανονική πόλωση (fixed forward bias) κατά τη διάρκεια λειτουργίας για να μειωθεί η αντίσταση που υπάρχει στο τρανζίστορ. Εναλλακτικά, μία σταθερή αντίστροφη πόλωση εφαρμόζεται κατά τη διάρκεια μη-λειτουργίας του τρανζίστορ για να μειώσει τη διαρροή που υπάρχει στο μπλοκ που χρησιμοποιεί την τεχνική (power-gated block).

Μία πιο προηγμένη τεχνική [19] πόλωσης υποστρώματος είναι να εφαρμόσουμε μία προσαρμοζόμενη πόλωση, όπου για κάθε ολοκληρωμένο υπάρχει μία διαφορετική σταθερή τιμή πόλωσης σώματος η οποία καθορίζεται και εφαρμόζεται κατά τον έλεγχο μετά την κατασκευή. Η προσαρμοζόμενη πόλωση υποστρώματος είναι ένα πολύτιμο εργαλείο για να ξεπεράσουμε τη συστηματική διακύμανση των κατασκευαστικών παραμέτρων του συστήματος (systematic manufacturing variation). Για παράδειγμα, η κανονική πόλωση διακύμανση (forward body bias) μπορεί να εφαρμοστεί σε ένα αργό ολοκληρωμένο κύκλωμα μειώνοντας την τάση κατωφλίου και αυξάνοντας την ταχύτητά του. Αντίστοιχα, η αντίστροφη πόλωση διακύμανση μπορεί να εφαρμοστεί σε ένα γρήγορο

ολοκληρωμένο αυξάνοντας την τάση κατωφλίου του ολοκληρωμένου και μειώνοντας τα ρεύματα διαρροής και συνεπώς την στατική κατανάλωση του ολοκληρωμένου. Η δυνατότητα να χρησιμοποιείται προσαρμοζόμενη πόλωση διακύμανση μειώνει τις διακυμάνσεις της τάσης κατωφλίου V_T και άρα βελτιώνει την κατασκευαστική απόδοση του προϊόντος. Επίσης, αμβλύνει τα περιθώρια ανοχής στους σχεδιασμούς, μειώνοντας έτσι το χρόνο σχεδίασης και το χρόνο για να βγει το προϊόν στην αγορά (time-to-market).

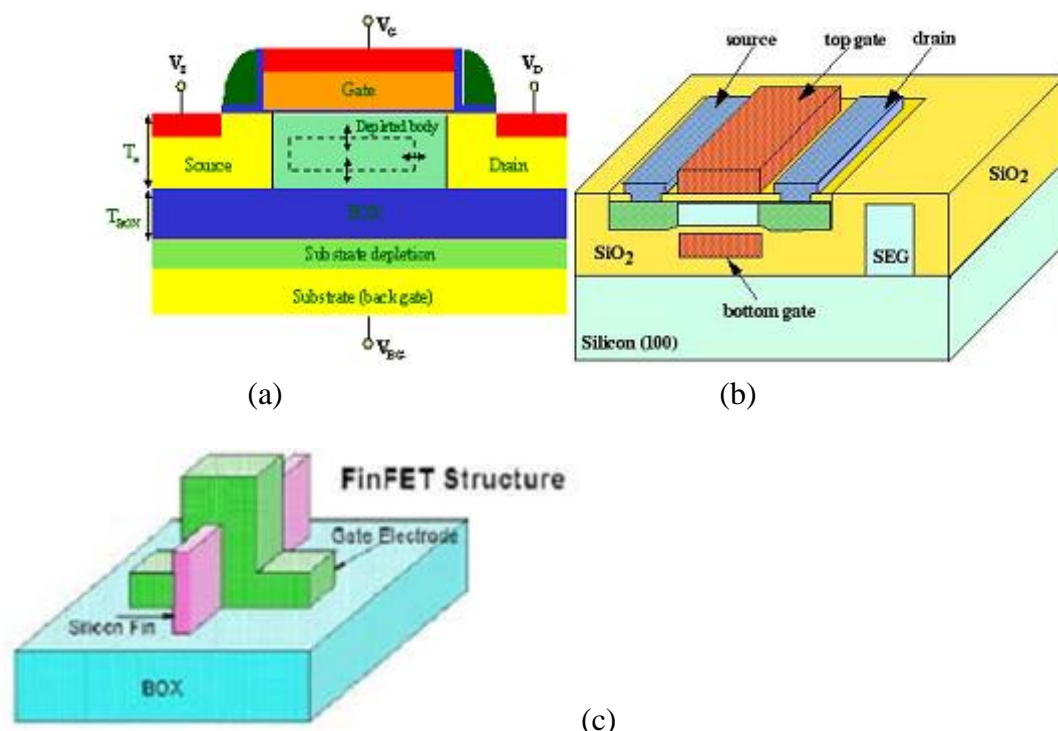
Η δυναμική πόλωση υποστρώματος, από την άλλη μεριά, αλλάζει την τιμή της πόλωσης σώματος πολλαπλές φορές κατά τη λειτουργία του ολοκληρωμένου αντί του να τη θέσει μία φορά μόνο είτε κατά τη διάρκεια της σχεδίασης ή κατά τον έλεγχο του προϊόντος. Συνεπώς, η δυναμική πόλωση υποστρώματος μπορεί να χρησιμοποιηθεί για να μειώσει την επίδραση της θερμοκρασίας και τα αποτελέσματα της γήρανσης καθώς και να διαχειριστεί πιο αποτελεσματικά την κατανάλωση και να βελτιώσει τις λειτουργίες με πολύ χαμηλή ισχύ.

Για παράδειγμα, η δυναμική πόλωση υποστρώματος μπορεί να προσαρμόσει τη V_T του τρανζίστορ για να αντισταθμίσει τις αλλαγές στο τρανζίστορ όπως είναι η γήρανσή του ή και αλλαγές που σχετίζονται με τη θερμοκρασία, διατηρώντας μία σταθερή απόδοση αλλά και διαρροή ρεύματος.

4.4 Συσκευές SOI Διπλών Πυλών για Χαμηλή Κατανάλωση (SOI Double-Gate Devices)

Η κλιμάκωση της συμβατικής τεχνολογίας CMOS bulk αντιμετωπίζει αρκετά προβλήματα σχετικά με τα αυξανόμενα ρεύματα διαρροής και τις διακυμάνσεις των παραμέτρων (process variation) καθώς μειώνονται οι διαστάσεις των τρανζίστορ. Για αυτό το λόγο δημιουργήθηκε η ανάγκη για μη-κλασικές συσκευές που κλιμακώνουν την τεχνολογία CMOS κάτω από τα 45nm (σχήμα 4.4. (a-c)). Τα FETS που χρησιμοποιούν πολύ λεπτό υπόστρωμα (π.χ. τεχνολογίες silicon-on-insulator – SOI) επιτυγχάνουν καλύτερο έλεγχο του καναλιού μέσω της πύλης και έτσι μειώνονται τα ρεύματα διαρροής και οι επιπτώσεις της επίδρασης μικρού καναλιού (short channel effects). Καλύτερη ικανότητα κλιμάκωσης μπορεί να επιτευχθεί με την εισαγωγή μιας δεύτερης πύλης, στην άλλη πλευρά του υποστρώματος κάθε τρανζίστορ, που οδηγεί σε μια κατασκευή SOI διπλής πύλης (DG),

σχήμα 4.4. (b). Εξαιτίας του άριστου ελέγχου των επιπτώσεων της επίδρασης μικρού καναλιού, οι συσκευές SOI διπλής πύλης αποτελούν κατάλληλη επιλογή για τεχνικές κάτω των 50nm γιατί δίνουν ένα χαμηλότερο ρεύμα διαρροής υποκατωφλίου και υψηλότερο ρεύμα κατά τη λειτουργία. Υπάρχει μεγάλη ποικιλία συσκευών για τεχνολογίες διπλών πυλών. Μία τέτοια κατασκευή είναι το FinFET σχήμα 4.4 (c) [20]. Τέτοιες κατασκευές στο επίπεδο της συσκευής παρέχουν ευκαιρίες για νέους τρόπους κυκλωματικής σχεδίασης με χαμηλή κατανάλωση και υψηλή απόδοση.



Σχήμα 4.4. (a) Τρανζίστορ Τεχνολογίας SOI (b) Τρανζίστορ SOI Διπλής Πύλης (c) FinFET Τρανζίστορ [20]

Ένα από τα κύρια πλεονεκτήματα της χρήσης τρανζίστορ διπλής πύλης είναι η χαμηλή κατανάλωση λόγω διαρροών που οφείλονται σε (α) ρεύματα διαρροής υποκατωφλίου και (β) σε ρεύματα διαρροής οξειδίου πύλης. Στην κατασκευή των διπλών πυλών, η ύπαρξη των δύο πυλών και του πολύ λεπτού υποστρώματος βοηθάει στη μείωση της επίδρασης του μικρού καναλιού, και στη σημαντική ελάττωση του ρεύματος διαρροής υποκατωφλίου. Η μείωση της επίδρασης του μικρού καναλιού, στα τρανζίστορ DG και το υψηλότερο οδηγούμενο ρεύμα (εξαιτίας των δύο πυλών) επιτρέπουν την χρήση παχύτερου στρώματος οξειδίου στην πύλη σε σχέση με τις κατασκευές CMOS bulk. Αυτό βοηθάει στη μείωση του ρεύματος διαρροής της πύλης. Επίσης η μείωση της επίδρασης του μικρού

καναλιού επιτρέπει το μικρότερο “ντοπάρισμα” του υποστρώματος στις συσκευές DG σε σχέση με τις συσκευές CMOS bulk. Οπότε, κατά την αναστροφή μεταξύ πύλης και πηγής δημιουργούνται χαμηλά εσωτερικά ηλεκτρικά πεδία σε σχέση με τα τρανζίστορ CMOS-bulk που επίσης βοηθάει στη μείωση του ρεύματος διαρροής οξειδίου της πύλης.

ΚΕΦΑΛΑΙΟ 5. Η ΠΡΟΤΕΙΝΟΜΕΝΗ ΤΕΧΝΙΚΗ ΧΑΜΗΛΗΣ ΔΥΝΑΜΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ

- 5.1 Εισαγωγή
 - 5.2 Τρανζίστορ σε συνδεσμολογία διόδου (diode-connected transistor)
 - 5.3 Η Στατική Σχεδίαση του Αναστροφέα NMOS με Τρανζίστορ σε Συνδεσμολογία Διόδου (Diode-connected Transistor)
 - 5.4 Η Επανεκτίμηση της V_{OH} και του $(W/L)_S$
 - 5.5 Το Φαινόμενο Σώματος στο Στοιχείο MOSFET σε Συνδεσμολογία Διόδου
 - 5.6 Ο Επανυπολογισμός του Μεγέθους του Στοιχείου σε Συνδεσμολογία Διόδου
 - 5.7 Η V_{IH} και η V_{IL}
-

5.1 Εισαγωγή

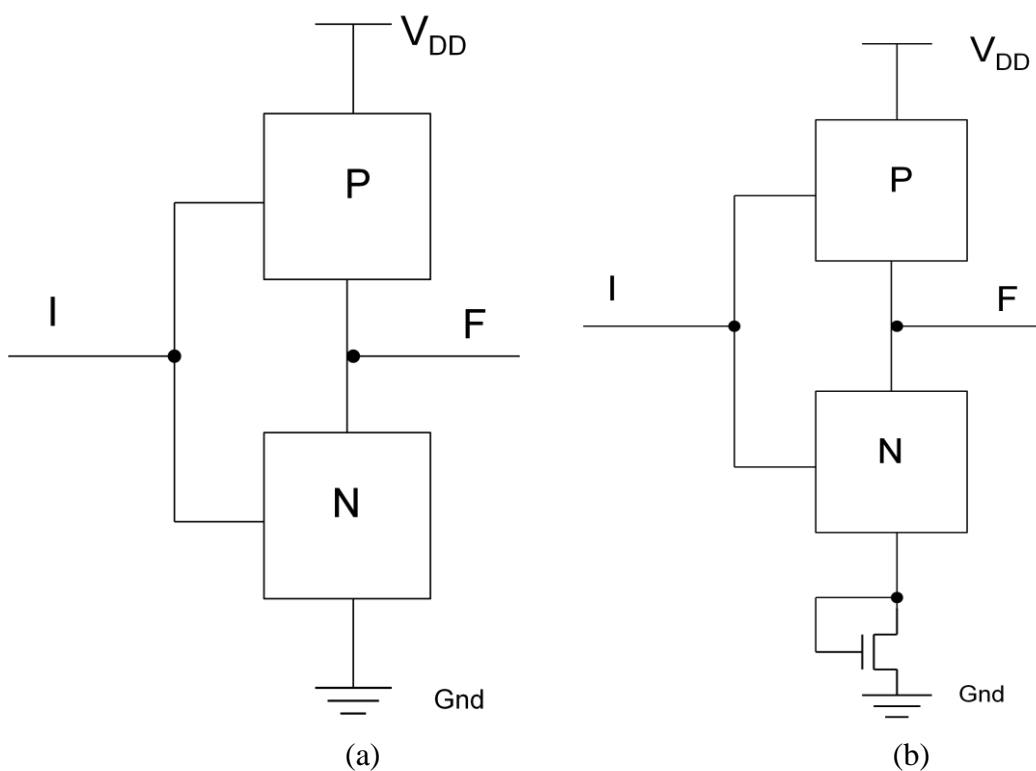
Η τεχνική που προτείνουμε έχει σαν στόχο τη μείωση της δυναμικής κατανάλωσης ενέργειας. Η μέση ισχύς μετάβασης που καταναλώνεται σε μία πλήρη ταλάντευση (swing) του σήματος στον κόμβο εξόδου ($0 \rightarrow V_{DD}$) μίας πύλης CMOS είναι:

$$P_i = a_i f_s C_L V_{DD}^2 \quad [\text{Εξ 5.1}]$$

όπου P_i είναι η μέση δυναμική ισχύς που καταναλώνεται σε μια πύλη που οδηγεί τον $i^{\text{οστώ}}$ κόμβο και a_i είναι η πιθανότητα μία κατάσταση αλλαγής τάσης να συμβεί στον $i^{\text{οστώ}}$ κόμβο σε έναν κύκλο ρολογιού.

Όπως φαίνεται λοιπόν από την εξίσωση 5.1, η μέση δυναμική ισχύς έχει μία τετραγωνική εξάρτηση από την τάση τροφοδοσίας V_{DD} . Οπότε μία πιθανή μείωση της V_{DD} θα οδηγούσε σε τετραγωνική μείωση της δυναμικής ισχύος.

Επιδίωξη της τεχνικής μας είναι με την εισαγωγή ενός επιπλέον τρανζίστορ (PMOS ή NMOS) είτε στη τροφοδοσία, είτε στη γη είτε ανάμεσα στα δικτυώματα PMOS ή NMOS και τον κόμβο εξόδου, να μειώσει τη ταλάντευση του σήματος στον κόμβο εξόδου της CMOS πύλης. Το αποτέλεσμα είναι να μην έχουμε μία πλήρη ταλάντευση του σήματος στον κόμβο εξόδου ($0 \rightarrow V_{DD}$) αλλά ανάλογα την τοπολογία του τρανζίστορ έχουμε σήμα ταλάντευσης μεταξύ ($0 \rightarrow V_{DD} - |V_t|$) ή ($|V_t| \rightarrow V_{DD}$). Το τρανζίστορ που προσθέτουμε χαρακτηρίζεται από το γεγονός ότι οι ακροδέκτες πύλης και υποδοχής είναι μεταξύ τους βραχυκυκλωμένοι. Στο σχήμα 5.1 παραθέτουμε την τοπολογία μίας πύλης CMOS με την προτεινόμενη τεχνική.

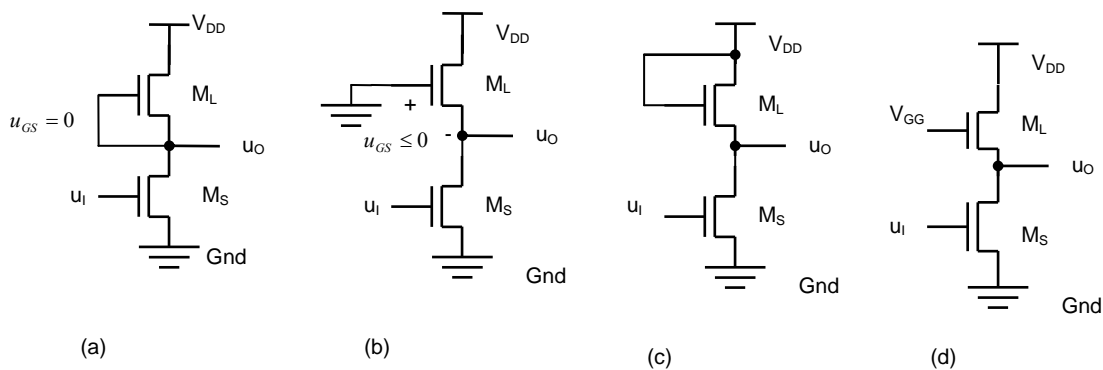


Σχήμα 5.1. (a) Κλασική Πύλη σε Τεχνολογία CMOS (b) Πύλη με την Προτεινόμενη Τεχνική

5.2 Τρανζίστορ σε Συνδεσμολογία Διόδου (Diode-Connected Transistor)

Στο σχήμα 5.2 φαίνονται τέσσερις δυνατότητες διασύνδεσης ενός NMOS τρανζίστορ ως φόρτος σε μια ενισχυτική διάταξη κοινής πηγής (αναστρέφουσα συνδεσμολογία) [22]. Μία

πρώτη δυνατότητα είναι να συνδέσουμε την πύλη με την πηγή όπως στο σχήμα 5.2. (a). Όμως σε αυτή την περίπτωση η τάση $u_{GS} = 0$, και το MOSFET M_L δεν θα άγει, υποθέτοντας ότι είναι στοιχείο τύπου πύκνωσης, με $V_t > 0$. Ένα παρόμοιο πρόβλημα υπάρχει και αν η πύλη γειωθεί, όπως στο σχήμα 5.2. (b). Εδώ και πάλι η συνδεσμολογία αναγκάζει να είναι $u_{GS} \leq 0$, και το MOSFET M_L δεν άγει. Καμία από αυτές τις συνδεσμολογίες είναι λειτουργική καθώς ένα στοιχείο τύπου πύκνωσης δεν μπορεί ποτέ να άγει κάτω από αυτές τις συνθήκες.



Σχήμα 5.2. (a) Αναστροφέας NMOS με την Πύλη του Στοιχείου Φόρτου Συνδεδεμένη με την Πηγή του (b) Αναστροφέας NMOS με Γειωμένη την Πύλη του Στοιχείου Φόρτου (c) Αναστροφέας με Τρανζίστορ σε Συνδεσμολογία Διόδου (d) Αναστροφέας με Γραμμικό Φόρτο

Μία λειτουργική παραλλαγή είναι να συνδεθεί η πύλη με την υποδοχή, όπως στο σχήμα 5.2. (c). Εδώ έχουμε $u_{DS} = u_{GS}$, και το στοιχείο φόρτου M_L θα λειτουργήσει στην περιοχή κόρου επειδή ισχύει $0 < u_{GS} - V_t < u_{DS}$. Επειδή η συνδεσμολογία αυτή αναγκάζει το τρανζίστορ να λειτουργήσει πάντοτε στην περιοχή κόρου, αναφερόμαστε στον αναστροφέα αυτό σαν αναστροφέα που χρησιμοποιεί τρανζίστορ σε συνδεσμολογία διόδου (diode-connected transistor). Μία άλλη λύση, που αναφέρεται σαν αναστροφέας με γραμμικό φόρτο (linear load inverter) δείχνεται στο σχήμα 5.2. (d), όπου μια σταθερή τάση V_{GG} οδηγεί την πύλη του τρανζίστορ M_L . Μία εναλλακτική λύση είναι η χρήση τεχνολογιών όπου συνυπάρχουν τρανζίστορ τύπου πύκνωσης και τύπου αραιώσης.

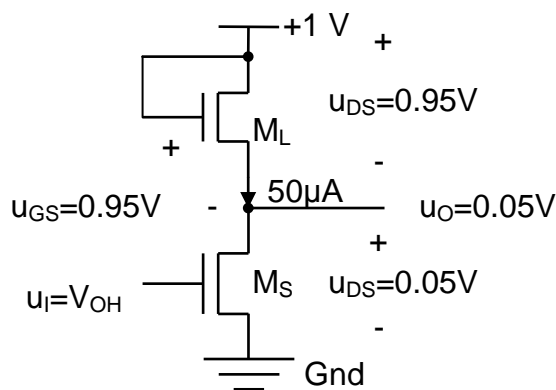
5.3 Η Στατική Σχεδίαση του Αναστροφέα NMOS με Τρανζίστορ σε Συνδεσμολογία Διόδου (Diode-connected Transistor)

Για τη σχεδίαση του αναστροφέα με τρανζίστορ σε συνδεσμολογία διόδου, χρησιμοποιούμε την εξίσωση 5.2. Για να περιορίσουμε το ρεύμα και την ισχύ της λογικής πύλης στο επιθυμητό επίπεδο, επιλέγουμε το λόγο W/L του M_L . Επειδή το M_L αναγκάζεται να λειτουργεί στον κόρο, από την κυκλωματική συνδεσμολογία, το ρεύμα στην υποδοχή του δίνεται από τη σχέση:

$$i_{DS} = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (u_{GS} - V_t)^2 \quad [\text{Εξ } 5.2]$$

Έστω για παράδειγμα οι συνθήκες του κυκλώματος που δίνονται στο σχήμα 5.3. Το στοιχείο MOSFET M_L , έχει $u_{GS} = 0.95V$ και $V_{OL} = 0.05V$. Με την υπόθεση ότι το ρεύμα λειτουργίας είναι $50\mu A$, βρίσκουμε ότι η τιμή του W/L δίνεται από τη σχέση

$$\left(\frac{W}{L} \right)_L = \frac{2i_{DS}}{K'_n (u_{GS} - V_t)^2} = \frac{2 \cdot 50 \cdot 10^{-6} \text{ A}}{3.085 \cdot 10^{-4} \frac{\text{A}}{\text{V}^2} (0.95 - 0.32)^2 \text{ V}^2} = \frac{9798}{80} = \frac{1}{8.17}$$



Σχήμα 5.3. Παράδειγμα Κυκλώματος με Φόρτο σε Συνδεσμολογία Διόδου

Σημειώστε ότι το μήκος L αυτού του στοιχείου φόρτου είναι μεγαλύτερο από το πλάτος του W . Στις περισσότερες ψηφιακές σχεδιάσεις ολοκληρωμένων κυκλωμάτων, μία από αυτές τις δύο διαστάσεις θα γίνει όσο μικρότερη είναι εφικτό.

5.4 Η Επανεκτίμηση της V_{OH} και του $(W/L)_S$

Δυστυχώς, η χρήση του στοιχείου κορεσμένου φόρτου έχει υποβαθμιστική επίδραση στα χαρακτηριστικά της λογικής πύλης. Η τιμή της υψηλής τάσης εξόδου V_{OH} δεν θα είναι ίση με τη V_{DD} . Στην κατανόηση της συμπεριφοράς των λογικών κυκλωμάτων MOS, βοηθάει συχνά να φανταστούμε ένα χωρητικό φορτίο συνδεδεμένο στην έξοδο της λογικής πύλης όπως στο σχήμα 5.4. Θεωρείστε τη λογική πύλη με τάση εισόδου ίση με τη χαμηλή τάση εξόδου $u_i = V_{OL}$, ώστε το M_S να μην άγει. Όταν το M_S δεν άγει, το στοιχείο σε συνδεσμολογία διόδου M_L φορτίζει τον πυκνωτή C μέχρι που το ρεύμα διαμέσου του M_L να γίνει μηδενικό, πράγμα που γίνεται όταν $u_{GS} = V_t$:

$$u_{GS} = V_{DD} - V_{OH} = V_t \quad \text{ή} \quad V_{OH} = V_{DD} - V_t \quad [\text{Εξ 5.3}]$$

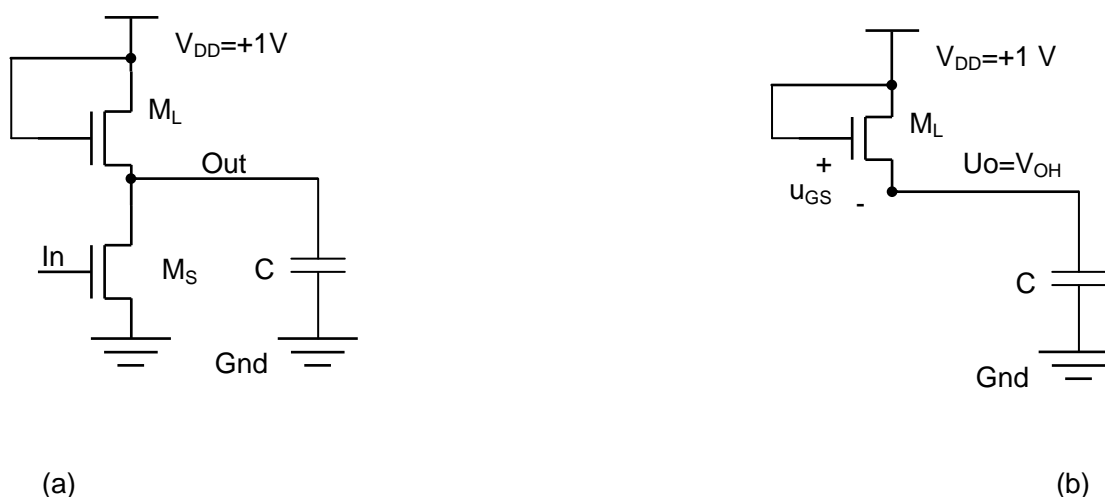
Έτσι, για τον αναστροφέα NMOS που χρησιμοποιεί τρανζίστορ σε συνδεσμολογία διόδου, η τάση εξόδου φτάνει σε μια μέγιστη τιμή ίση με την τάση τροφοδοσίας V_{DD} μείον την τάση κατωφλίου.

Επισημαίνουμε, ότι η τάση V_{OH} είναι η τάση που οδηγεί το τρανζίστορ μεταγωγής M_S , της επόμενης πύλης το οποίο με τη σειρά του επιβάλλει στην έξοδο της πύλης την τιμή του χαμηλού επιπέδου. Επειδή η V_{OH} είναι μικρότερη από V_{DD} στο κύκλωμα με το τρανζίστορ σε συνδεσμολογία διόδου η τιμή του $(W/L)_S$ πρέπει να αυξηθεί, για να αντισταθμιστεί η ελαττωμένη τιμή της V_{OH} και να επιβληθεί στην έξοδο η χαμηλή τιμή καθώς και να επιτευχθεί υψηλή ταχύτητα απόκρισης της πύλης.

$$i_{DS} = K'_n \left(\frac{W}{L} \right)_S (u_{GS} - V_t - 0.5u_{DS}) \mu_{DS} = K'_n \left(\frac{W}{L} \right)_S (V_{OH} - V_t - 0.5u_{DS}) \mu_{DS}$$

$$50 \cdot 10^{-6} \text{ A} = \frac{3.085 \cdot 10^{-4} \text{ A}}{V^2} \left(\frac{W}{L} \right)_S (0.68 - 0.32 - 0.5(0.05)) V (0.05V) \quad [\text{Εξ 5.4}]$$

$$\left(\frac{W}{L} \right)_S = \frac{9.68}{1}$$

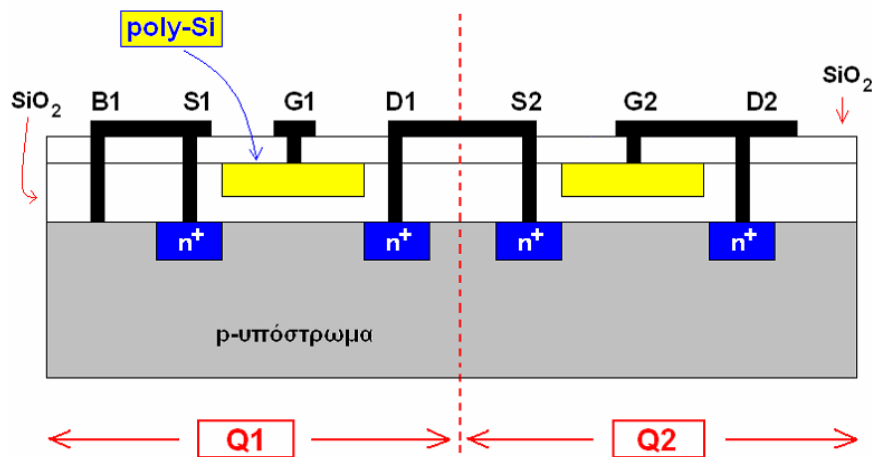


Σχήμα 5.4. (α) Αναστροφέας με Χωρητικό Φορτίο (β) Το Υψηλό Επίπεδο Εξόδου Επιτυγχάνεται Όταν Είναι $u_i = V_{OL}$ και το M_S Δεν Αγει

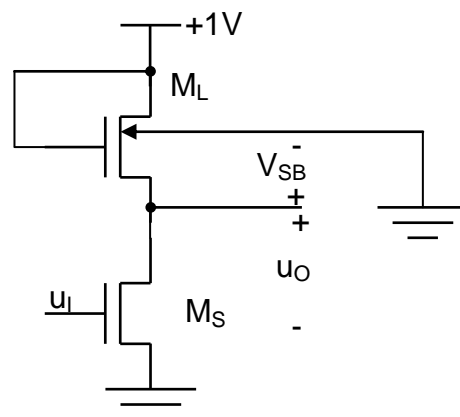
5.5 Το Φαινόμενο Σώματος στο Στοιχείο MOSFET σε Συνδεσμολογία Διόδου

Μέχρι το σημείο αυτό, αγνοήσαμε την εξάρτηση της τάσης καταωφλίου του MOSFET από την τάση πηγής-υποστρώματός του. Δυστυχώς, το φαινόμενο σώματος στο MOSFET έχει επίσης σημαντική επίδραση στην σχεδίαση λογικών πυλών που χρησιμοποιούν τρανζίστορ σε συνδεσμολογία διόδου.

Το σχήμα 5.5 δείχνει μια διατομή με δύο MOSFET τα οποία σχηματίζουν ένα αναστροφέα με το στοιχείο Q2 σε συνδεσμολογία διόδου. Το υπόστρωμα είναι κοινό και για τα δύο τρανζίστορ NMOS. Έτσι η τάση υποστρώματος πρέπει να είναι ίδια και για το M_S και για το M_L στον αναστροφέα. Η συνηθέστερη τάση που εφαρμόζεται στον ακροδέκτη του υποστρώματος στη λογική NMOS είναι 0 V (φυσικά μπορούν να χρησιμοποιηθούν και αρνητικές τάσεις). Για $V_B = 0$ V, η u_{SB} για το στοιχείο μεταγωγής M_S είναι πάντοτε μηδέν, αλλά η u_{SB} για το στοιχείο φόρτου M_L μεταβάλλεται καθώς η u_O αυξάνεται και ισχύει ότι $u_{SB} = u_O$ καθώς φαίνεται και στο σχήμα 5.6.



Σχήμα 5.5. Διατομή Δυο MOSFET σε Συνδεσμολογία Αναστροφεία



Σχήμα 5.6. Η Τάση Υποστρώματος- Πηγής για το Στοιχείο Φόρτου

Καθώς η τάση εξόδου αυξάνεται προς την V_{OH} , η τιμή της u_{SB} γίνεται μεγαλύτερη. Έτσι, η τάση κατωφλίου αυξάνεται, όπως προκύπτει από την παρακάτω εξίσωση για το φαινόμενο σώματος:

$$V_t = V_{t0} + \gamma(\sqrt{|u_{SB} + 2\phi_F|} - \sqrt{2\phi_F}) \quad [\text{Εξ } 5.5]$$

Όπου V_{t0} = η τιμή της V_t για μηδενική πόλωση (V)

γ = παράμετρος φαινομένου σώματος (\sqrt{V})

$2\phi_F =$ δυναμικό του Φερμί (V)

Το φαινόμενο σώματος έχει σαν αποτέλεσμα μια περαιτέρω ελάττωση στη V_{OH} . Όταν η u_O φτάνει στη V_{OH} , πρέπει να αληθεύει η ακόλουθη σχέση, καθώς $u_{SB} = V_{OH}$.

$$\begin{aligned} V_{OH} &= V_{DD} - V_{tL} \\ V_{OH} &= V_{DD} - \left[V_{t0} + \gamma(\sqrt{V_{OH} + 2\phi_F} - \sqrt{2\phi_F}) \right] \end{aligned} \quad [\text{Εξ 5.6}]$$

Οι συμβολισμοί V_{tL} και V_{tS} θα χρησιμοποιούνται για τις τιμές της τάσης κατωφλίου για τα τρανζίστορ σε συνδεσμολογία διόδου και μεταγωγής, αντίστοιχα. Θα χρησιμοποιήσουμε το σύνολο των παραμέτρων του NMOS που δόθηκαν στον πίνακα 5.1.

Πίνακας 5.1. Παράμετροι για το Τρανζίστορ NMOS Τύπου Πύκνωσης

V_{t0}	0.32V
γ	$0.5\sqrt{V}$
$2\phi_F$	0.6V
K'_n	$3.085 \times 10^{-4} \text{ A/V}^2$

Χρησιμοποιώντας την εξίσωση (5.6) με τις παραμέτρους του πίνακα 5.1 και $V_{DD}=1 \text{ V}$, μπορούμε να λύσουμε ως προς V_{OH} , παίρνοντας την ακόλουθη δευτεροβάθμια εξίσωση:

$$(V_{OH} - 0.68 - 0.5\sqrt{0.6})^2 = 0.25(V_{OH} + 0.6)$$

ή

$$V_{OH}^2 - 2.384V_{OH} + 0.989 = 0$$

[Εξ 5.7]

και οι λύσεις είναι:

$$V_{OH} = 0.535 \text{ V}, 1.849 \text{ V}$$

Σε αυτό το κύκλωμα, η τιμή σταθερής κατάστασης για τη V_{OH} δεν μπορεί να υπερβεί την τάση τροφοδοσίας, V_{DD} (στην πράξη δεν μπορεί να υπερβεί την τιμή $V_{DD} - V_{tL}$), έτσι η

σωστή λύση πρέπει να είναι $V_{OH} = 0.535 \text{ V}$. Μπορούμε να ελέγξουμε το αποτέλεσμα αυτό για V_{OH} υπολογίζοντας την τάση κατωφλίου για το στοιχείο σε συνδεσμολογία διόδου, χρησιμοποιώντας την εξίσωση (5.5):

$$V_{IL} = 0.32V + 0.5\sqrt{V}(\sqrt{(0.535 + 0.6)V} - \sqrt{0.6V}) = 0.465V$$

και

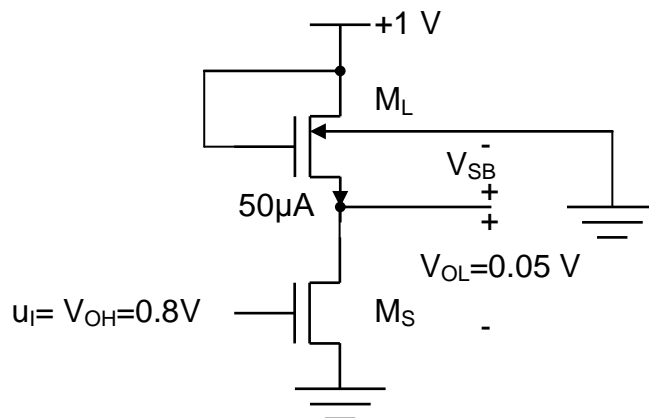
$$V_{OH} = V_{DD} - V_{IL} = 1 - 0.465 = 0.535V$$

Το οποίο συμφωνεί με τους υπολογισμούς στην εξίσωση (5.7).

Λόγω του φαινομένου σώματος, η τιμή της V_{OH} στον αναστροφέα είναι μικρότερη από εκείνη που χρησιμοποιήθηκε στην εξίσωση (5.4), για τον υπολογισμό του $(W/L)_S$ του τρανζίστορ μεταγωγής. Για να αντισταθμιστεί η περαιτέρω ελάττωση της V_{OH} , ο λόγος $(W/L)_S$ πρέπει να αυξηθεί ακόμη περισσότερο. Χρησιμοποιώντας $V_{OH}=0.535 \text{ V}$, στην εξίσωση (5.4), παίρνουμε τη νέα τιμή του $(W/L)_S=17.07/1$.

5.6 Ο Επανυπολογισμός του Μεγέθους του Στοιχείου σε Συνδεσμολογία Διόδου

Η τιμή του $(W/L)_L$ επηρεάζεται επίσης από το φαινόμενο σώματος. Για να ολοκληρώσουμε τη σχεδίαση της πύλης, πρέπει να διορθώσουμε την τιμή αυτή. Όταν είναι $u_I = V_{OH}$ και $u_O = V_{OL}$, το M_L πρέπει να άγει το ρεύμα σχεδίασης των $50\mu\text{A}$, με τις κυκλωματικές συνθήκες που αναφέρονται στο σχήμα 5.7.



Σχήμα 5.7. Οι Συνθήκες Πόλωσης που Χρησιμοποιούνται για τον Καθορισμό του $(W/L)_L$

Το M_L παραμένει στον κόρο, σύμφωνα με τη συνδεσμολογία, με $u_{GS} = 1 - 0.05 = 0.95V$. Η τάση πηγής-υποστρώματος u_{SB} του M_L είναι τώρα $0.05 V$, και η τάση κατωφλίου του στοιχείου σε συνδεσμολογία διόδου βρίσκεται να είναι

$$V_{tL} = 0.32V + 0.5\sqrt{V}(\sqrt{(0.05 + 0.6)V} - \sqrt{0.6V}) = 0.336V \quad [\text{Εξ } 5.8]$$

Ο λόγος $(W/L)_L$ μπορεί τώρα να υπολογιστεί, χρησιμοποιώντας

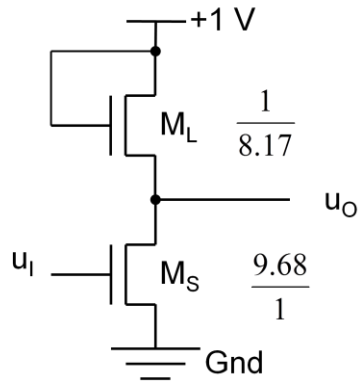
$$i_{DS} = \frac{K'_n}{2} \left(\frac{W}{L}\right)_L (u_{GSL} - V_{tL})^2$$

$$50 \cdot 10^{-6} A = \frac{3.085 \cdot 10^{-4} \frac{A}{V^2}}{2} \left(\frac{W}{L}\right)_L (0.95 - 0.336)^2 V^2 \quad [\text{Εξ } 5.9]$$

$$\left(\frac{W}{L}\right)_L = \frac{1}{3.32}$$

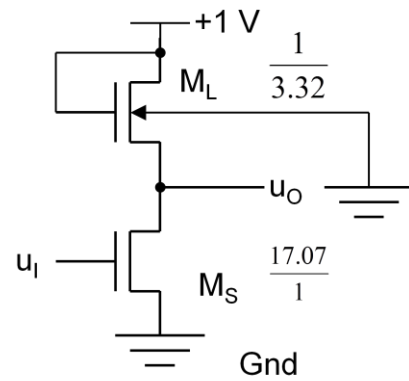
Η αυξημένη τάση κατωφλίου του τρανζίστορ σε συνδεσμολογία διόδου επιτρέπει την μικρή ελάττωση της επιφάνειας του στοιχείου φόρτου. Η πλήρης σχεδίαση του αναστροφέα συγκρίνεται στο σχήμα 5.8 με το κύκλωμα, που σχεδιάστηκε αγνοώντας το φαινόμενο σώματος. Τα λογικά επίπεδα της σχεδίασης στο σχήμα 5.8(b) είναι $V_{OL} = 0.05V$ και $V_{OH} = 0.54 V$.

Το σχήμα 5.9 δείχνει τα αποτελέσματα της προσομοίωσης SPICE της συνάρτησης μεταφοράς τάσης για το σχήμα 5.8 (b). Για μικρές τιμές της τάσης εισόδου, η έξοδος είναι σταθερή στα $3.4 V$. Καθώς η τάση εισόδου αυξάνεται, η κλίση της συνάρτησης μεταφοράς αλλάζει απότομα στο σημείο που το transistor μεταγωγής αρχίζει να άγει, όταν η τάση εισόδου υπερβεί την τάση κατωφλίου του M_S . Καθώς η τάση εισόδου συνεχίζει να αυξάνεται, η τάση εξόδου ελαττώνεται γρήγορα, και τελικά φτάνει την τιμή σχεδίασης των $0.05 V$, για μια τάση εξόδου $0.54 V$.



$$V_{OL} = 0.05 \text{ V και } V_{OH} = 0.68 \text{ V}$$

(a)

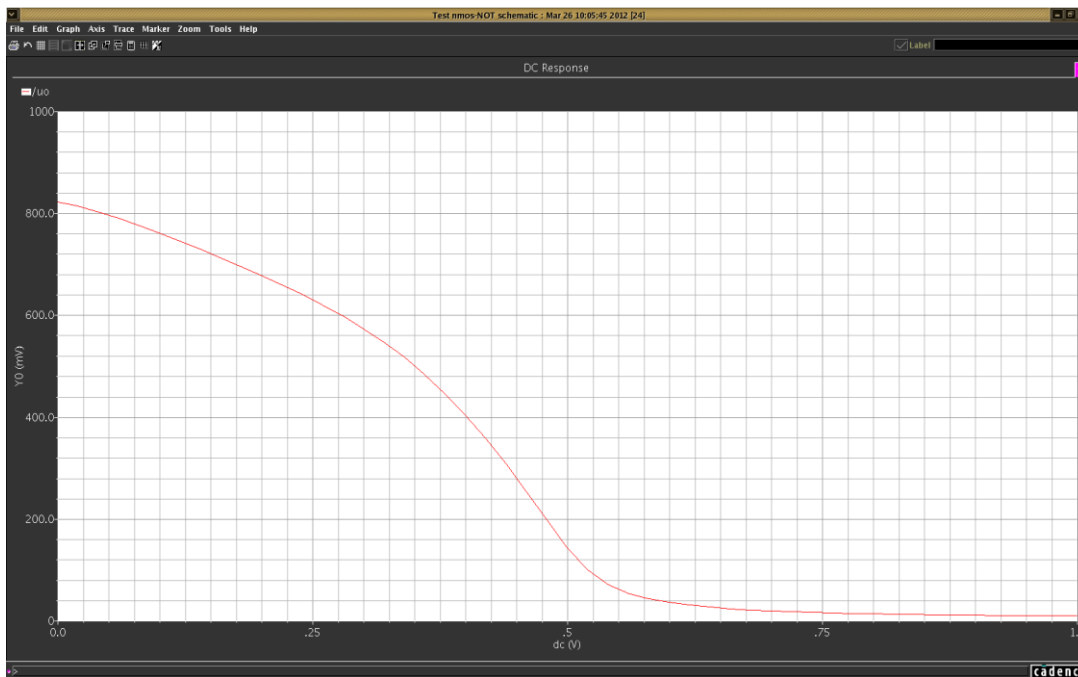


$$V_{OL} = 0.05 \text{ V και } V_{OH} = 0.54 \text{ V}$$

(b)

Σχήμα 5. 8. Οι Σχεδιασμοί Αναστροφέα με Τρανζίστορ σε Συνδεσμολογία Διόδου:

(a) Χωρίς το Φαινόμενο Σώματος, (b) Συμπεριλαμβανομένου του Φαινομένου Σώματος



Σχήμα 5. 9. Η Προσομοίωση Spice της Συνάρτησης Μεταφοράς Τάσης για τον Αναστροφέα NMOS με Τρανζίστορ σε Συνδεσμολογία Διόδου

5.7 Η V_{IH} και η V_{IL}

Θα υπολογίσουμε τώρα τις τιμές των περιθωρίων θορύβου V_{IH} και V_{IL} για τον αναστροφέα με τρανζίστορ σε συνδεσμολογία διόδου. Οι V_{IH} και V_{IL} ορίζονται από τα σημεία στην συνάρτηση μεταφοράς στα οποία η κλίση ισούται με -1.

Στο σχήμα 5.9, η κλίση της συνάρτησης μεταφοράς αλλάζει απότομα, καθώς το M_S αρχίζει να άγει στο σημείο όπου ισχύει $u_I = V_{IS}$. Αυτό το σημείο καθορίζει τη V_{IL} :

$$V_{IL} = V_{IS} = 0.32V \quad \text{για} \quad V_{OH} = V_{DD} - V_{IL} = 0.54V$$

Ας υπολογίσουμε τώρα τη V_{IH} . Για να βρούμε μία σχέση ανάμεσα στις u_I και u_O , παρατηρούμε ότι τα ρεύματα υποδοχής στα στοιχεία μεταγωγής και φόρτου πρέπει να είναι ίσα. Σε $u_I = V_{IH}$, η είσοδος βρίσκεται σε σχετικά μεγάλη τάση, και η έξοδος είναι σε σχετικά μικρή τάση. Έτσι, μπορούμε να μαντέψουμε ότι το M_S θα βρίσκεται στη γραμμική περιοχή, και γνωρίζουμε ήδη ότι η κυκλωματική συνδεσμολογία αναγκάζει το M_L να

λειτουργεί στην περιοχή του κόρου. Εξισώνοντας τα ρεύματα υποδοχής στο transistor μεταγωγής και τύπου διόδου, έχουμε:

$$i_{DSS} = i_{DSL}$$

$$K_S \left(u_I - V_{tL} - \frac{u_O}{2} \right) u_O = \frac{K_L}{2} (V_{DD} - u_O - V_{tL})^2 \quad [\text{Εξ 5.10}]$$

$$K_S = K'_n \left(\frac{W}{L} \right)_S \quad \text{και} \quad K_L = K'_n \left(\frac{W}{L} \right)_L$$

Το σημείο που μας ενδιαφέρει είναι το $du_O / du_I = -1$. Επειδή οι παράγωγοι είναι ομαλές, συνεχείς και μη μηδενικές, υποθέτουμε ότι $du_O / du_I = (du_O / du_I)^{-1}$, και λύνουμε ως προς τη u_I , βάσει της u_O :

$$u_I = V_{tS} + \frac{u_O}{2} + \frac{K_L}{2K_S} \frac{1}{u_O} (V_{DD} - u_O - V_{tL})^2$$

$$u_I = V_{tS} + \frac{u_O}{2} + \frac{K_L}{2K_S} \left[\frac{(V_{DD} - V_{tL})^2}{u_O} - 2(V_{DD} - V_{tL}) + u_O \right]$$

και

$$\frac{du_I}{du_O} \approx \frac{1}{2} + \frac{K_L}{2K_S} \left[-\frac{(V_{DD} - V_{tL})^2}{u_O^2} + 1 \right] \quad [\text{Εξ 5.11}]$$

Σε αυτή την τελευταία έκφραση, η εξάρτηση V_{tL} από την u_O έχει αγνοηθεί για λόγους απλότητας (αυτή η προσέγγιση θα δικαιολογηθεί αργότερα).

Θέτοντας την παράγωγο ίση με -1 σε $u_I = V_{IH}$, παίρνουμε

$$-1 = \frac{1}{2} + \frac{K_L}{2K_S} \left[-\frac{(V_{DD} - V_{tL})^2}{u_O^2} + 1 \right]$$

Και λύνοντας ως προς u_O παίρνουμε:

$$u_O = \frac{V_{DD} - V_{tL}}{\sqrt{1 + 3 \frac{K_S}{K_L}}} = \frac{V_{DD} - V_{tL}}{\sqrt{1 + 3 \frac{K'_n (W/L)_S}{K'_n (W/L)_L}}} = \frac{V_{DD} - V_{tL}}{\sqrt{1 + 3 \frac{(W/L)_S}{(W/L)_L}}} \quad [\text{Εξ 5.12}]$$

$$u_I = V_{TNS} + \frac{u_O}{2} + \frac{(W/L)_L}{2(W/L)_S} \frac{1}{u_O} (V_{DD} - u_O - V_{tL})^2$$

Για τη σχεδίαση αναστροφεία του Σχήμα 4.7(b), με $V_{tL} = 0.32 \text{ V}$, βρίσκουμε

$$u_O = \frac{V_{DD} - V_{tL}}{\sqrt{1 + 3 \frac{(W/L)_S}{(W/L)_L}}} = \frac{(1 - 0.32)V}{\sqrt{1 + 3(17.07)(3.32)}} = 0.052V$$

$$V_{IH} = 0.32 + \frac{0.052V}{2} + \frac{1}{2(17.07)(3.32)} \frac{1}{0.052V} (1 - 0.052 - 0.32)^2 V^2 = 0.413 \text{ V}$$

Με τις τιμές αυτές, μπορούμε να ελέγξουμε την υπόθεσή μας για την περιοχή λειτουργίας του M_S :

$$V_{GS} - V_{tS} = 0.413 - 0.32 = 0.26V \quad \text{και} \quad V_{DS} = 0.052V$$

Επειδή είναι $V_{DS} < V_{GS} - V_{tS}$, η υπόθεση για λειτουργία στη γραμμική περιοχή ήταν σωστή.

Στο σχήμα 5.9 μπορούμε να δούμε ότι οι υπολογισμένες τιμές των V_{IH} και V_{tL} συμφωνούν καλά με τα αποτελέσματα προσομοίωσης με το SPICE. Έτσι, η προσέγγιση που κάναμε αγνοώντας την εξάρτηση της τάσης κατωφλίου του τρανζίστορ φόρτου από την τάση εξόδου u_O δεν εισάγει σημαντικό σφάλμα.

Φυσικά, αν το επιθυμούμε, μπορούμε να χρησιμοποιήσουμε μια επαναληπτική διαδικασία για να βελτιώσουμε τις προηγούμενες εκτιμήσεις. Η υπολογισμένη τιμή της V_{OL} μπορεί να χρησιμοποιηθεί για να γίνει μια καλύτερη εκτίμηση για τη V_{tL} , και αυτή η νέα τιμή της V_{tL} μπορεί κατόπιν να χρησιμοποιηθεί για να βελτιωθεί η εκτίμηση της V_{IH} . Για $u_O = 0.052 \text{ V}$, έχουμε

$$V_{TL} = 0.32V + 0.5\sqrt{V} \left(\sqrt{(0.052 + 0.6)V} - \sqrt{0.6V} \right) = 0.336V$$

και οι νέες τιμές των u_O και V_{IH} από την Εξ. (5.12) είναι ίσες με

$$u_O = 0.051 \text{ V και } V_{IH} = 0.468 \text{ V}$$

Αυτή η διαδικασία μπορεί να συνεχιστεί αν και συγκλίνει πολύ γρήγορα, όπως φαίνεται στον πίνακα 5.2.

Πίνακας 5.2. Επαναληπτική διαδικασία για τον καλύτερο υπολογισμό u_O και V_{IH}

Αρ. Επανάληψης	u_O	V_{TNL}	V'_{OH}	V'_{IH}
0	...	0.32V	0.052V	0.413V
1	0.052V	0.336V	0.051V	0.426V
2	0.051V	0.352V	0.05V	0.44V
3	0.05	0.368	0.048	0.455
4	0.048	0.383	0.047	0.467
5	0.047	0.398	0.046	0.48

ΚΕΦΑΛΑΙΟ 6. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ

- 6.1 Προτεινόμενες Συνδεσμολογίες Χαμηλής Κατανάλωσης Δυναμικής Ενέργειας
 - 6.2 Οι υπό μελέτη τοπολογίες με τρανζίστορ συνδεσμολογίας διόδου υψηλής τάσης κατωφλίου
 - 6.3 Οι υπό μελέτη τοπολογίες με τρανζίστορ συνδεσμολογίας διόδου χαμηλής τάσης κατωφλίου
 - 6.4 Πειραματική διάταξη για την αξιολόγηση της προτεινόμενης τεχνικής.
 - 6.5 Εφαρμογή της προτεινόμενης τεχνικής σε συνδυασμό με DVFS τεχνικές
 - 6.6 Πειραματική διάταξη για την αξιολόγηση της δεύτερης προτεινόμενης τεχνικής
-

6.1 Προτεινόμενες Συνδεσμολογίες Χαμηλής Κατανάλωσης Δυναμικής Ενέργειας

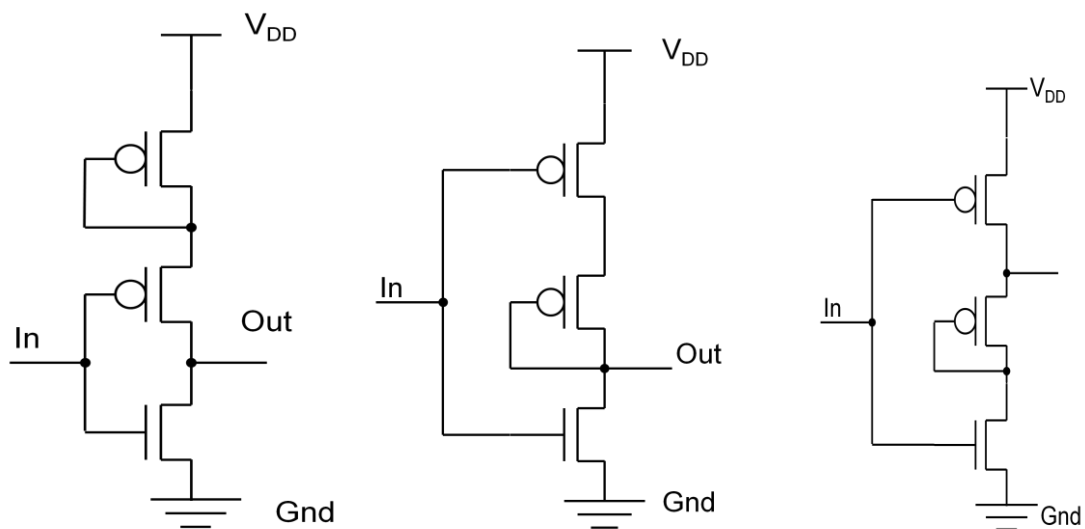
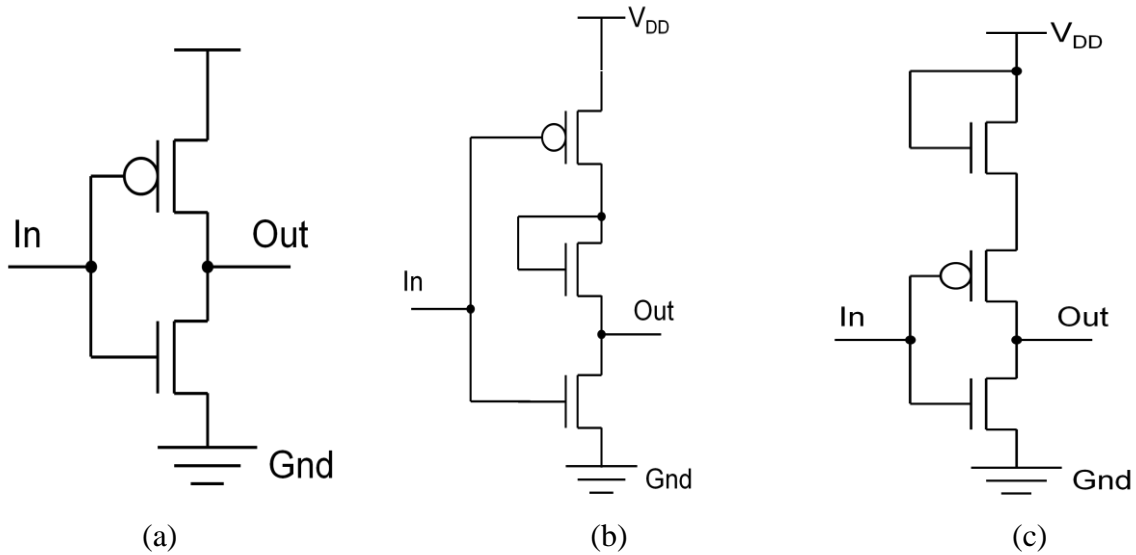
Στο σχήμα 6.1. (a) παρουσιάζουμε έναν κλασσικό αναστροφέα που αποτελείται από ένα PMOS και ένα NMOS τρανζίστορ. Η συγκεκριμένη τεχνική που προτείνουμε για μείωση της δυναμικής κατανάλωσης βασίζεται στην ιδέα της προσθήκης ενός επιπλέον τρανζίστορ στο PMOS δικτύωμα της πύλης είτε στο NMOS δικτύωμα της πύλης. Το βασικό χαρακτηριστικό του συγκεκριμένου τρανζίστορ, είτε πρόκειται για PMOS είτε για NMOS είναι ότι έχει συνδεδεμένους μεταξύ τους, τους ακροδέκτες της υποδοχής και πύλης και λειτουργεί στην περιοχή του κόρου. Η τοπολογία αυτή ονομάζεται τρανζίστορ σε συνδεσμολογία διόδου (diode-connected transistor). Στη συνέχεια θα παρουσιάσουμε τις οκτώ συνδεσμολογίες που εξετάσαμε (πάνω στη βασική πύλη NOT της CMOS τεχνολογίας) σε σχέση με την καθυστέρηση διάδοσης σήματος, τη δυναμική και στατική κατανάλωση ενέργειας για να καταλήξουμε στη βέλτιστη που θα προταθεί, όπως φαίνεται

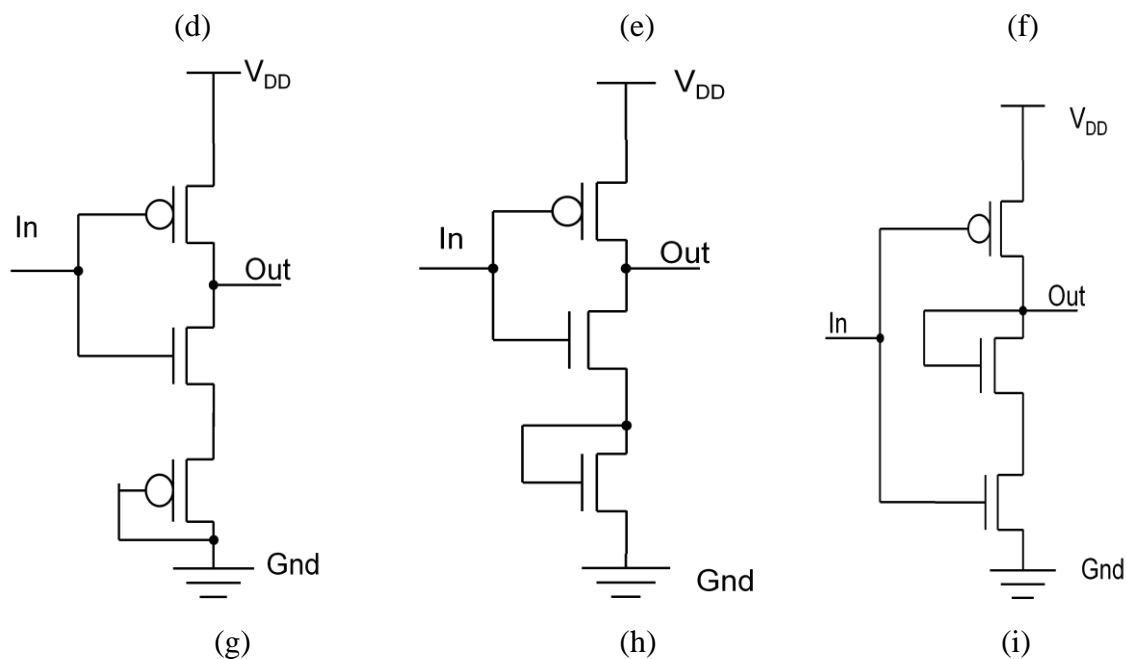
και στο σχήμα 6.1. Στις προσομοιώσεις που έγιναν, κάθε κύκλωμα αποτελείται από δύο αναστροφείς που ενσωματώνουν το τρανζίστορ σε συνδεσμολογία διόδου και έναν κλασικό αναστροφέα για φόρτο σχήμα 6.2. Ο πρώτος από τους δύο αναστροφείς με το τρανζίστορ σε συνδεσμολογία διόδου χρησιμεύει σαν οδηγός. Ο οδηγός και ο φόρτος του σχήματος 6.2. έχουν διαφορετική τάση τροφοδοσίας σε σχέση με την ενδιάμεση πύλη γιατί οι μετρήσεις γίνονται αποκλειστικά στη ενδιάμεση πύλη.

Η συνδεσμολογία, που φαίνεται στο σχήμα 6.1. (b), έχει αυξημένη συνολική κατανάλωση ενέργειας. Αυτό συμβαίνει γιατί όταν η είσοδος είναι σε λογικό «1» (το οποίο αντιστοιχεί σε τάση $V_{in} = V_{DD} - V_m$, καθώς η πύλη οδηγείται από μία παρόμοιας συνδεσμολογίας πύλη – βλ. σχήμα 6.2) το PMOS τρανζίστορ δεν είναι βαθιά στον αποκοπή, το NMOS τρανζίστορ σε συνδεσμολογία διόδου άγει (είναι στον κόρο), το NMOS δικτύωμα άγει και συνεπώς έχουμε αυξημένη κατανάλωση εξαιτίας διαρροών από την τροφοδοσία στη γη. Πιο αναλυτικά, όταν $V_{in} = V_{DD} - V_m$ τότε το PMOS είναι οριακά στην αποκοπή ($|V_{GS}| = V_m$), το τρανζίστορ σε συνδεσμολογία διόδου δεν είναι στην αποκοπή καθώς το PMOS τρανζίστορ φορτίζει τον ενδιάμεσο κόμβο και συνεπώς είναι στον κόρο γιατί $V_{DS} = V_{GS}$ άρα $|V_{DS}| > |V_{GS}| - V_m$, ενώ το τρανζίστορ του NMOS δικτύωματος είναι στην τριόδο περιοχή λειτουργίας. Όταν άγει το PMOS δικτύωμα, το NMOS τρανζίστορ σε συνδεσμολογία διόδου είναι στο κόρο γιατί ($V_{GS} > V_m$ και $V_{DS} > V_{GS} - V_m$) και η έξοδος φορτίζεται στην τάση $V_{out} = V_{DD} - V_m$. Όταν άγει το NMOS δικτύωμα ο κόμβος εξόδου αποφορτίζεται διαμέσου του NMOS τρανζίστορ και η τάση εξόδου γίνεται 0. Άρα έχουμε χαμηλή δυναμική κατανάλωση ενέργειας γιατί δεν έχουμε μία πλήρη ταλάντευση του σήματος εξόδου (0-> V_{DD}) αλλά (0-> $V_{DD} - V_m$). Όπως είπαμε όπως έχουμε υψηλή συνολική κατανάλωση ενέργειας λόγω των ρευμάτων διαρροής από την τροφοδοσία στη γη.

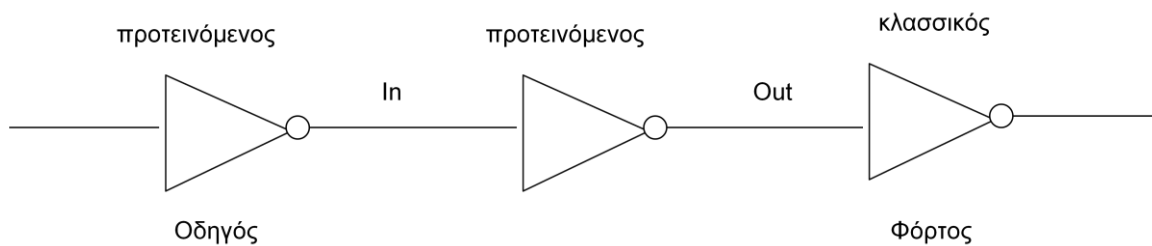
Η συνδεσμολογία που απεικονίζεται στο σχήμα 6.1. (c) παρουσιάζει χαμηλή δυναμική κατανάλωση ενέργειας. Όταν άγει το PMOS τρανζίστορ, το NMOS τρανζίστορ σε συνδεσμολογία διόδου είναι στο κόρο γιατί ($V_{GS} > V_m$ και $V_{DS} > V_{GS} - V_m$) και η έξοδος φορτίζεται στην τάση $V_{out} = V_{DD} - V_m$. Όταν άγει το NMOS τρανζίστορ ο κόμβος εξόδου αποφορτίζεται διαμέσου του NMOS τρανζίστορ και η τάση εξόδου γίνεται 0. Άρα έχουμε

χαμηλή κατανάλωση ενέργειας γιατί δεν έχουμε μία πλήρη ταλάντευση του σήματος εξόδου ($0 \rightarrow V_{DD}$) αλλά ($0 \rightarrow V_{DD} - V_m$). Σε αυτή την περίπτωση δεν υπάρχει πρόβλημα ρευμάτων διαρροής όπως νωρίτερα, καθώς όταν η είσοδος είναι λογικό «1» ($V_{in} = V_{DD} - V_m$) η πηγή του PMOS τρανζίστορ βρίσκεται επίσης σε δυναμικό $V_{DD} - V_m$ και το PMOS τρανζίστορ είναι βαθιά στην αποκοπή.





Σχήμα 6.1. Diode Transistor- Transistor Logic (a) Κλασσικός Αναστροφέας (b) 1^η Συνδεσμολογία (c) 2^η Συνδεσμολογία (d) 3^η Συνδεσμολογία (e) 4^η Συνδεσμολογία (f) 5^η Συνδεσμολογία (g) 6^η Συνδεσμολογία (h) 7^η Συνδεσμολογία (i) 8^η Συνδεσμολογία



Σχήμα 6.2. Αναστροφέας με Τρανζίστορ σε Συνδεσμολογία Διόδου

Στην συνδεσμολογία, που φαίνεται στο σχήμα 6.1. (d), όταν άγει το PMOS δικτύωμα, το PMOS τρανζίστορ σε συνδεσμολογία διόδου είναι στο κόρο γιατί ($|V_{GS}| > |V_p|$ και $|V_{DS}| > |V_{GS}| - |V_p|$) η έξοδος φορτίζεται στην τάση $V_{out} = V_{DD} - |V_p|$. Όταν άγει το NMOS

δικτύωμα ο κόμβος εξόδου αποφορτίζεται διαμέσου του NMOS τρανζίστορ και η τάση εξόδου γίνεται 0. Άρα έχουμε χαμηλή κατανάλωση ενέργειας γιατί δεν έχουμε μία πλήρη ταλάντευση του σήματος εξόδου ($0 \rightarrow V_{DD}$) αλλά ($0 \rightarrow V_{DD} - |V_{tp}|$). Όπως και στην περίπτωση (c) και για τους ίδιους λόγους δεν έχουμε αυξημένα ρεύματα διαρροής.

Στη συνδεσμολογία στο σχήμα 6.1. (e), έχουμε αυξημένη συνολική κατανάλωση ενέργειας σε σχέση με τον απλό αναστροφέα για παρόμοιους λόγους που έχει και η συνδεσμολογία στο σχήμα 6.1. (b). Αυτό συμβαίνει γιατί όταν η είσοδος είναι σε λογικό «1» (το οποίο αντιστοιχεί σε τάση $V_{in} = V_{DD} - |V_{tp}|$) το PMOS τρανζίστορ δεν είναι βαθιά στον αποκοπή, το PMOS τρανζίστορ σε συνδεσμολογία διόδου άγει (είναι στον κόρο), το NMOS δικτύωμα άγει και συνεπώς έχουμε αυξημένη κατανάλωση εξαιτίας διαρροών από την τροφοδοσία στη γη. Πιο αναλυτικά, όταν $V_{in} = V_{DD} - |V_{tp}|$ τότε το PMOS είναι οριακά στην αποκοπή ($|V_{GS}| = |V_{tp}|$) το τρανζίστορ σε συνδεσμολογία διόδου είναι συνεχώς στον κόρο ($V_{DS} = V_{GS}$), ενώ το τρανζίστορ του NMOS δικτύωματος είναι στην τρίοδο περιοχή λειτουργίας. Όταν άγει το PMOS δικτύωμα, η τάση εξόδου φτάνει στο $V_{out} = V_{DD} - |V_{tp}|$, ενώ όταν άγει το NMOS δικτύωμα η τάση εξόδου αποφορτίζεται και φτάνει στο 0. Συνεπώς, μειώνεται η δυναμική κατανάλωση ενέργειας, καθώς η ταλάντευση σήματος είναι ($0 \rightarrow V_{DD} - |V_{tp}|$), με τίμημα την υψηλή στατική κατανάλωση ενέργειας εξ αιτίας διαρροών.

Στην συνδεσμολογία, στο σχήμα 6.1. (f) υπάρχει αυξημένη συνολική κατανάλωση για τους ίδιους λόγους που έχουν και οι συνδεσμολογίες στα σχήματα 6.1. (b) και 6.1. (e). Όταν άγει το PMOS δικτύωμα, η τάση εξόδου φορτίζεται στην τιμή $V_{out} = V_{DD}$, ενώ όταν άγει το NMOS δικτύωμα, το PMOS τρανζίστορ σε συνδεσμολογία διόδου είναι στον κόρο ($|V_{GS}| > |V_{tp}|$, $V_{DS} = V_{GS}$ άρα $|V_{DS}| > |V_{GS}| - |V_{tp}|$). Οπότε ο κόμβος εξόδου αποφορτίζεται μέσω του PMOS τρανζίστορ σε συνδεσμολογία διόδου και του NMOS δικτύωματος μέχρι η τάση στην έξοδο να φτάσει την τιμή $|V_{tp}|$ οπότε και το PMOS τρανζίστορ σε συνδεσμολογία διόδου μπαίνει στη αποκοπή. Άρα μειώνεται η δυναμική κατανάλωση

ενέργειας αφού η ταλάντευση σήματος είναι ($|V_{tp}| \rightarrow V_{DD}$). Όταν όμως η είσοδος είναι σε λογικό «0» (το οποίο αντιστοιχεί σε τάση $|V_{tp}|$) (καθώς αναμένουμε η πύλη να οδηγείται από μία παρόμοια πύλη σύμφωνα με το σχήμα 6.2) το NMOS τρανζίστορ δεν είναι βαθιά στον αποκοπή, το PMOS τρανζίστορ σε συνδεσμολογία διόδου άγει καθώς είναι στον κόρο, το PMOS δικτύωμα άγει και συνεπώς έχουμε αυξημένη κατανάλωση εξαιτίας διαρροών από την τροφοδοσία στη γη.

Στην συνδεσμολογία του σχήμα 6.1. (g), έχω μειωμένη δυναμική κατανάλωση ενέργειας. Όταν άγει το PMOS δικτύωμα, η τάση εξόδου φορτίζει στο $V_{out} = V_{DD}$, ενώ όταν άγει το NMOS δικτύωμα, το PMOS τρανζίστορ σε συνδεσμολογία διόδου είναι στον κόρο ($|V_{GS}| > |V_{tp}|$, $V_{DS} = V_{GS}$ άρα $|V_{DS}| > |V_{GS}| - |V_{tp}|$). Οπότε ο κόμβος εξόδου αποφορτίζεται μέσω του NMOS δικτύωματος και του PMOS τρανζίστορ σε συνδεσμολογία διόδου μέχρι η τάση στην έξοδο να φτάσει την τιμή $|V_{tp}|$ οπότε και το PMOS τρανζίστορ σε συνδεσμολογία διόδου μπαίνει στη αποκοπή. Άρα μειώνεται η δυναμική κατανάλωση ενέργειας αφού η ταλάντευση σήματος είναι ($|V_{tp}| \rightarrow V_{DD}$). Και σε αυτή την περίπτωση δεν υπάρχει πρόβλημα αυξημένων ρευμάτων διαρροής.

Στην συνδεσμολογία του σχήματος 6.1. (h), έχω μειωμένη δυναμική κατανάλωση ενέργειας για τον ίδιο λόγο που έχω και στη συνδεσμολογία του σχήματος 6.1. (g). Πιο αναλυτικά, όταν άγει το PMOS δικτύωμα, η τάση εξόδου φορτίζει στο $V_{out} = V_{DD}$, ενώ όταν άγει το NMOS δικτύωμα, το NMOS τρανζίστορ σε συνδεσμολογία διόδου είναι στον κόρο ($V_{GS} > V_{tn}$, $V_{DS} = V_{GS}$ άρα $V_{DS} > V_{GS} - V_{tn}$). Οπότε ο κόμβος εξόδου αποφορτίζεται μέσω του NMOS δικτύωματος και του NMOS τρανζίστορ σε συνδεσμολογία διόδου μέχρι η τάση στην έξοδο να φτάσει την τιμή V_{tn} οπότε και το NMOS τρανζίστορ σε συνδεσμολογία διόδου μπαίνει στη αποκοπή. Άρα μειώνεται η δυναμική κατανάλωση ενέργειας αφού η ταλάντευση σήματος είναι ($V_{tn} \rightarrow V_{DD}$).

Τέλος, στη συνδεσμολογία του σχήματος 6.1. (i), έχουμε αυξημένη συνολική κατανάλωση ενέργειας. Όταν άγει το PMOS δικτύωμα, η τάση εξόδου φορτίζει στο $V_{out} = V_{DD}$, ενώ

όταν άγει το NMOS δικτύωμα, το NMOS τρανζίστορ σε συνδεσμολογία διόδου είναι στον κόρο ($V_{GS} > V_m$, $V_{DS} = V_{GS}$ άρα $V_{DS} > V_{GS} - V_m$). Οπότε ο κόμβος εξόδου αποφορτίζεται μέσω του NMOS τρανζίστορ σε συνδεσμολογία διόδου και του NMOS δικτύωματος μέχρι η τάση στην έξοδο να φτάσει την τιμή V_m οπότε και το NMOS τρανζίστορ σε συνδεσμολογία διόδου μπαίνει στη αποκοπή. Άρα μειώνεται η δυναμική κατανάλωση ενέργειας αφού η ταλάντευση σήματος είναι ($V_m \rightarrow V_{DD}$). Όταν όμως η είσοδος είναι σε λογικό «0» (το οποίο αντιστοιχεί σε τάση $V_{in} = V_m$, καθώς η πύλη οδηγείται από μία παρόμοια πύλη – βλ. σχήμα 6.2) το PMOS δικτύωμα άγει, το NMOS τρανζίστορ σε συνδεσμολογία διόδου άγει (είναι στον κόρο), το NMOS τρανζίστορ δεν είναι βαθιά στον αποκοπή και συνεπώς έχουμε αυξημένη κατανάλωση εξαιτίας διαρροών από την τροφοδοσία στη γη. Πιο αναλυτικά, όταν $V_{in} = V_m$ τότε το PMOS είναι στην τριόδο περιοχή λειτουργίας, το τρανζίστορ σε συνδεσμολογία διόδου είναι συνεχώς στον κόρο γιατί $V_{DS} = V_{GS}$ άρα $V_{DS} > V_{GS} - V_m$ (κόρος), ενώ το τρανζίστορ του NMOS δικτύωματος είναι οριακά στην αποκοπή ($V_{GS} = V_m$), οπότε έχουμε υψηλή στατική κατανάλωση ενέργειας.

Μια αιτία προβληματισμού σε αυτές τις τοπολογίες είναι ότι όταν ένα NMOS (PMOS) τρανζίστορ σε συνδεσμολογία διόδου έχει μόνιμα συνδεδεμένη την πύλη του στην τροφοδοσία V_{DD} (γη) υπάρχει πρόβλημα στρες και ενδεχόμενα με την πάροδο του χρόνου εμφανίζει μειωμένη αξιοπιστία (γήρανση). Όμως στα ψηφιακά κυκλώματα τα τρανζίστορ δεν άγουν συνεχώς (όπως στα αναλογικά), συνεπώς η λειτουργία αυτών των τρανζίστορ δεν διαφοροποιείται σε σχέση με τα υπόλοιπα καθώς ο χρόνος αγωγιμότητας είναι μικρός (είτε κατά τη φόρτιση είτε κατά την αποφόρτιση του κόμβου εξόδου ανάλογα με την τοπολογία).

6.2 Οι Υπό Μελέτη Τοπολογίες με Τρανζίστορ Συνδεσμολογίας Διόδου Υψηλής Τάσης Κατωφλίου

Τα αποτελέσματα προσομοιώσεων για τη συνολική δυναμική και στατική κατανάλωση ενέργειας (E_{total}), για την καθυστέρηση διάδοσης σήματος (Delay_Time), το γινόμενο ενέργειας επί καθυστέρηση, τη στατική κατανάλωση ενέργειας (μέση - E_{static_medium} και

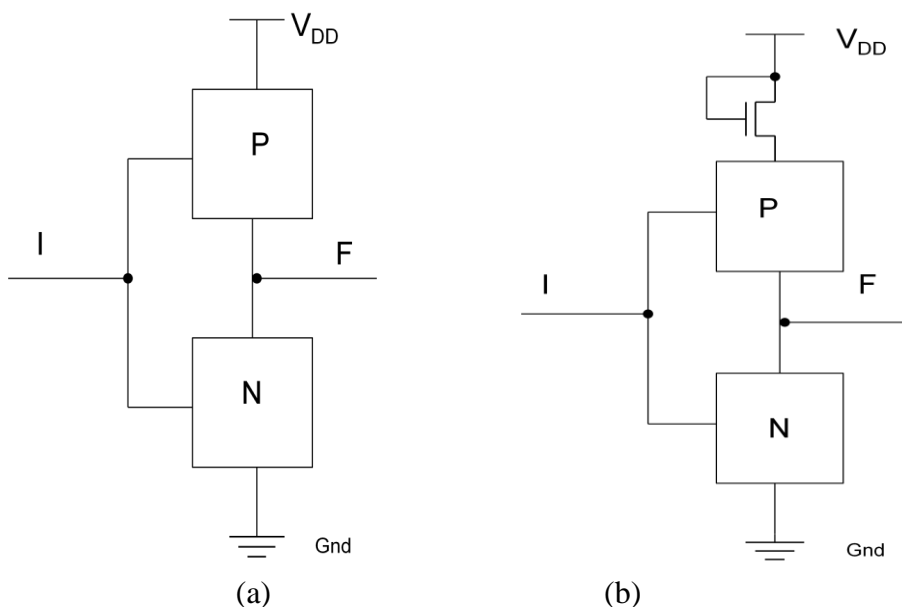
χειρότερη - $E_{\text{static_worst}}$) καθώς και την τάση στην έξοδο της πύλης (V_{out}), τόσο για το κύκλωμα με τον απλό αναστροφέα όσο και για τα κυκλώματα των οκτώ εξεταζόμενων συνδεσμολογιών καθώς και οι ποσοστιαίες μεταβολές για καθένα από τα προηγούμενα μεγέθη για τις οκτώ συνδεσμολογίες σε σχέση με τον απλό αναστροφέα παρουσιάζονται στον πίνακα 6.1. Οι προσομοιώσεις έγιναν στην τεχνολογία 90nm της UMC ($L=80\text{nm}$, $V_{\text{DD}}=1\text{V}$, $V_{\text{tn}}=0.32\text{V}$, $V_{\text{tp}}=0.32\text{V}$) χρησιμοποιώντας αποκλειστικά τρανζίστορ χαμηλής τάσης κατωφλίου (LV_t) εκτός από το διοδικό τρανζίστορ που μπορεί να είναι και υψηλής (HV_t) και χαμηλής (LV_t) τάσης κατωφλίου. Όπως φαίνεται και από τα αποτελέσματα του πίνακα 6.1 επαληθεύονται όσα είπαμε στο προηγούμενο κεφάλαιο για τις οκτώ τοπολογίες με τρανζίστορ σε συνδεσμολογία διόδου. Η δεύτερη και η έβδομη συνδεσμολογία δίνουν τη βέλτιστη δυναμική κατανάλωση αφού έχουν ποσοστιαία μεταβολή για το γινόμενο ενέργειας επί καθυστέρηση σε σχέση με τον απλό αναστροφέα 53.97% και 32.33% αντίστοιχα, ποσοστιαία μείωση για τη δυναμική ενέργεια 62.95% και 60.23% αντίστοιχα και για την ποσοστιαία μεταβολή για την καθυστέρηση διάδοσης σήματος 315.52% και 232.76% αντίστοιχα. Η ελάχιστη δυναμική κατανάλωση παρουσιάζεται στη δεύτερη και έβδομη συνδεσμολογία είναι μειωμένη γιατί δεν έχουμε μία πλήρη ταλάντευση του σήματος εξόδου ($0 \rightarrow V_{\text{DD}}$) αλλά ($0 \rightarrow V_{\text{DD}} - V_{\text{tn}}$). Ξέρουμε ότι η καθυστέρηση διάδοσης σήματος αυξάνει με τη μείωση της ταλάντευσης του σήματος εξόδου όπως μας δείχνει η εξίσωση για την ταχύτητα:

$$I_D = K(V_{\text{DD}} - V_t)^2 \quad [\text{Εξ 6.1}]$$

Πίνακας 6.1. Αποτελέσματα Προσομοιώσεων για τις Τοπολογίες με Τρανζίστορ
Συνδεσμολογίας Διόδου Υψηλής Τάσης Κατωφλίου

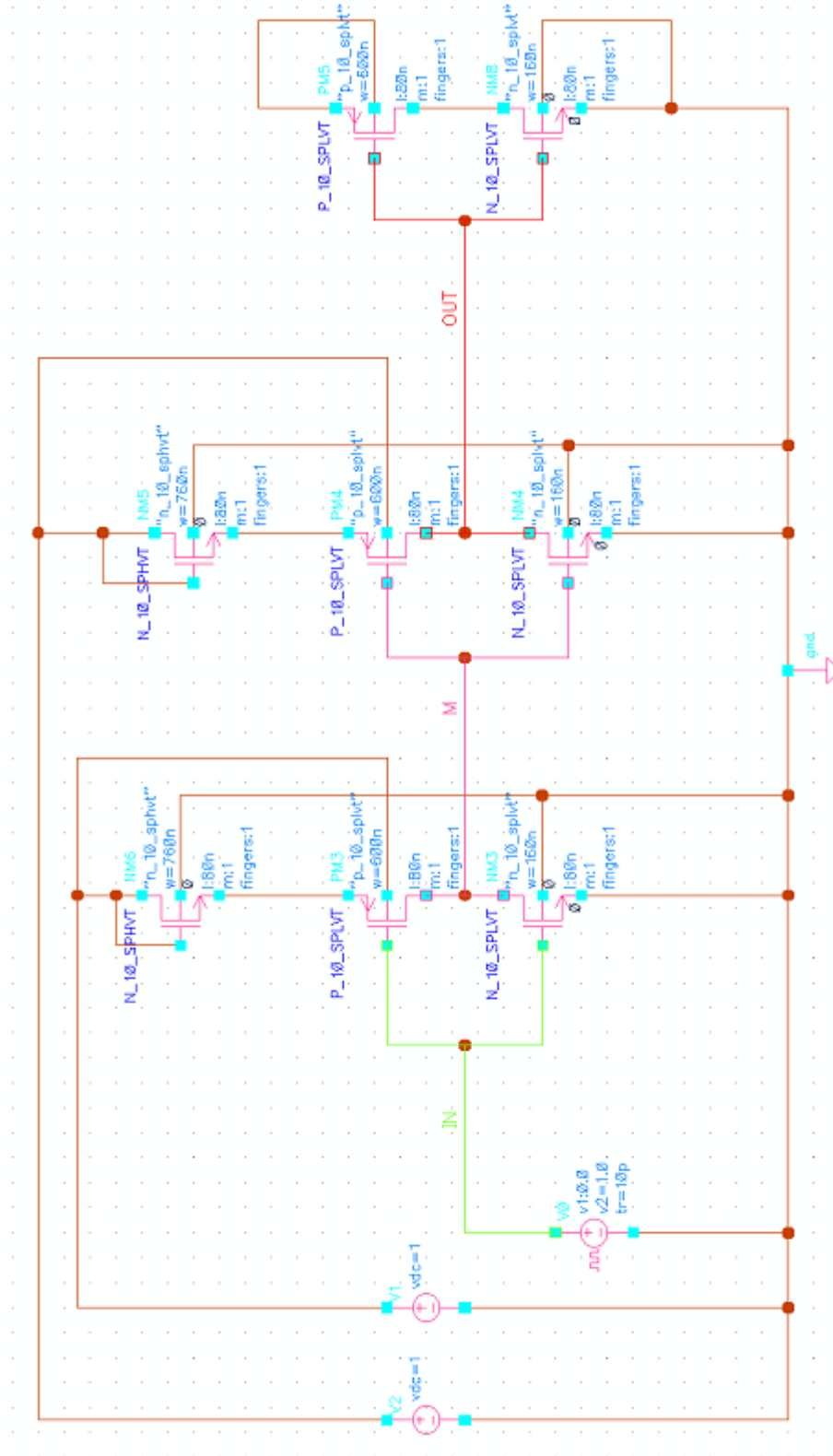
	E_{total}	Delay_Time	Energy x Delay	E_{static_medium}	E_{static_worst}	V_{out}
Αναστροφέας	12.9fJ	19.72ps	254.39fJ x ps	0.15fJ	0.16fJ	1V
1 ^η συνδεσμολογία	36.95fJ	92.85ps	3430.81fJ x ps	32 fJ	63.8fJ	667mV
	186.43%	370.84%	1248.65%	21233.33%	39775%	-33.3%
2 ^η συνδεσμολογία	4.78fJ	81.94ps	391.67fJ x ps	0.09fJ	0.11fJ	667mV
	-62.95%	315.52%	53.97%	-40%	-31.25%	-33.3%
3 ^η συνδεσμολογία	9.66fJ	71.17ps	687.50fJ x ps	0.1fJ	0.1fJ	749mV
	-25.12%	260.9%	170.26%	-36.67%	-37.5%	-25.1%
4 ^η συνδεσμολογία	21.67fJ	58.17ps	1260.54fJ x ps	4.05fJ	8.11fJ	772mV
	67.98%	194.98%	395.52%	2600%	4968.75%	-22.8%
5 ^η συνδεσμολογία	32.59fJ	74.6 ps	2431.21fJ x ps	15.33fJ	30.67fJ	700mV
	152.64%	278.3%	855.71%	10120%	19068.75%	-30%
6 ^η συνδεσμολογία	5.86fJ	75 ps	439.5fJ x ps	0.09fJ	0.14fJ	698mV
	-54.57%	280.33%	72.77%	-36.67%	-12.5%	-30.2%
7 ^η συνδεσμολογία	5.13fJ	65.62ps	336.63fJ x ps	0.11fJ	0.12fJ	740mV
	-60.23%	232.76%	32.33%	-26.67%	-25%	-26%
8 ^η συνδεσμολογία	28.32fJ	74.6 ps	2112.67fJ x ps	6.92fJ	13.84fJ	745mV
	119.54%	278.3%	730.49%	4513.33%	8550%	-25.5%

Στην συνέχεια προχωράμε στην παρουσίαση των σχημάτων και των προσομοιώσεων για τις δύο βέλτιστες τοπολογίες. Η ενσωμάτωση της δεύτερης συνδεσμολογίας στην πύλη CMOS δίνεται στο σχήμα 6.3. (b).

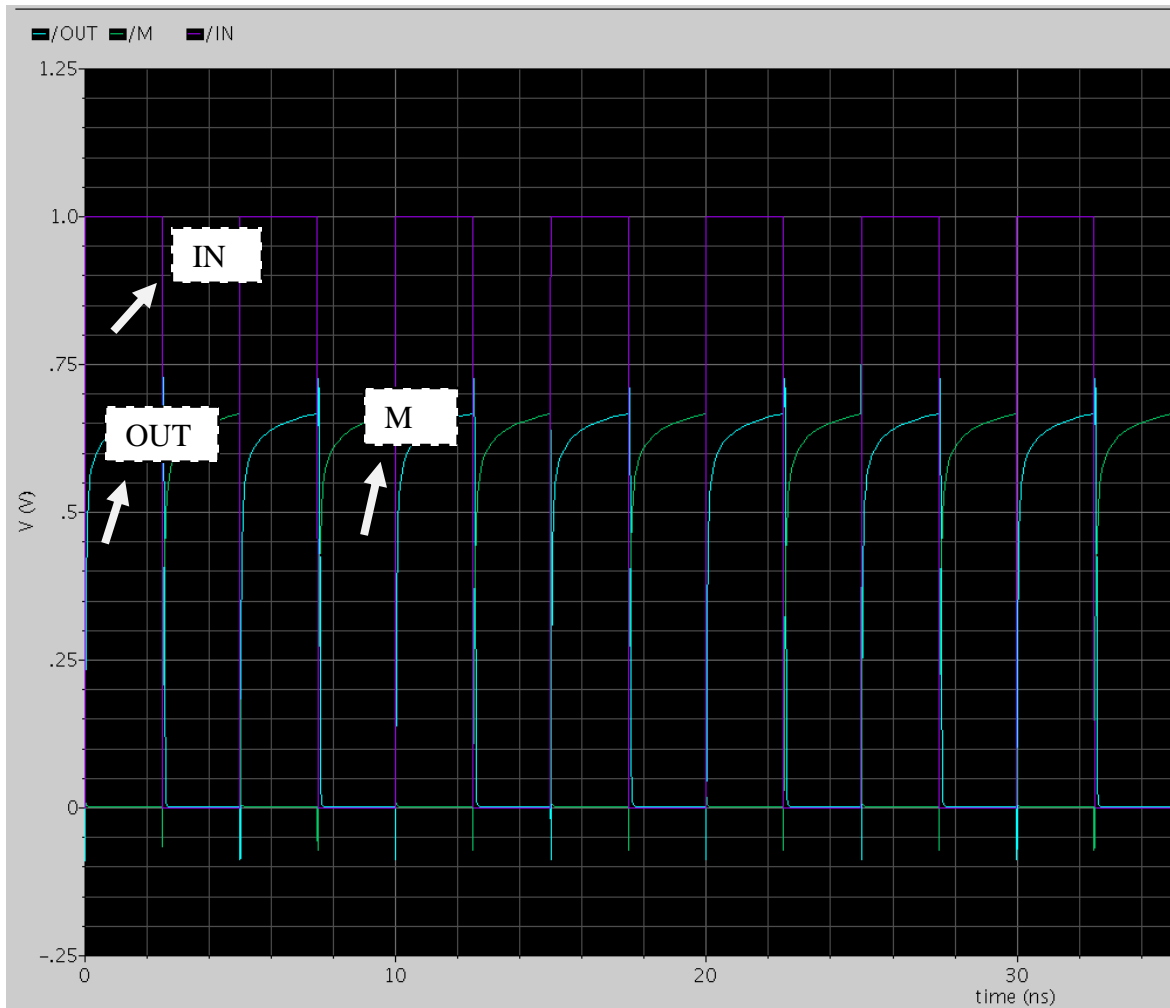


Σχήμα 6.3. (a) Απλή Πύλη CMOS (b) Πύλη CMOS με τη 2^η Συνδεσμολογία

Το κύκλωμα, που αποτελείται από δύο αναστροφείς που ενσωματώνουν τη δεύτερη συνδεσμολογία και έναν κλασσικό αναστροφέα για φόρτο, σε επίπεδο τρανζίστορ φαίνεται στο σχήμα 6.4. Ενώ η κυματομορφή για την απόκριση του κυκλώματος παρουσιάζεται στο σχήμα 6.5.

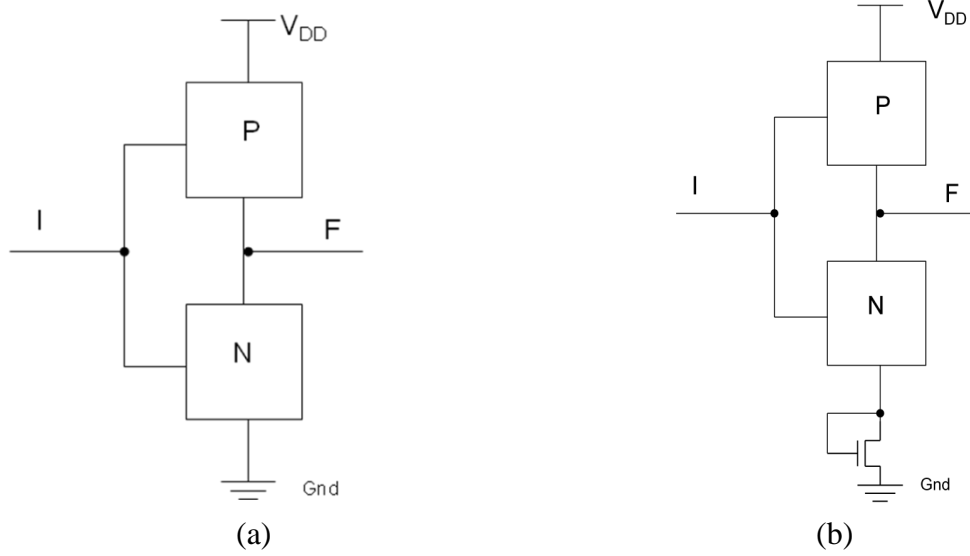


Σχήμα 6.4. Σχηματικό με τη 2^η Συνδεσμολογία σε Δύο Πύλες NOT

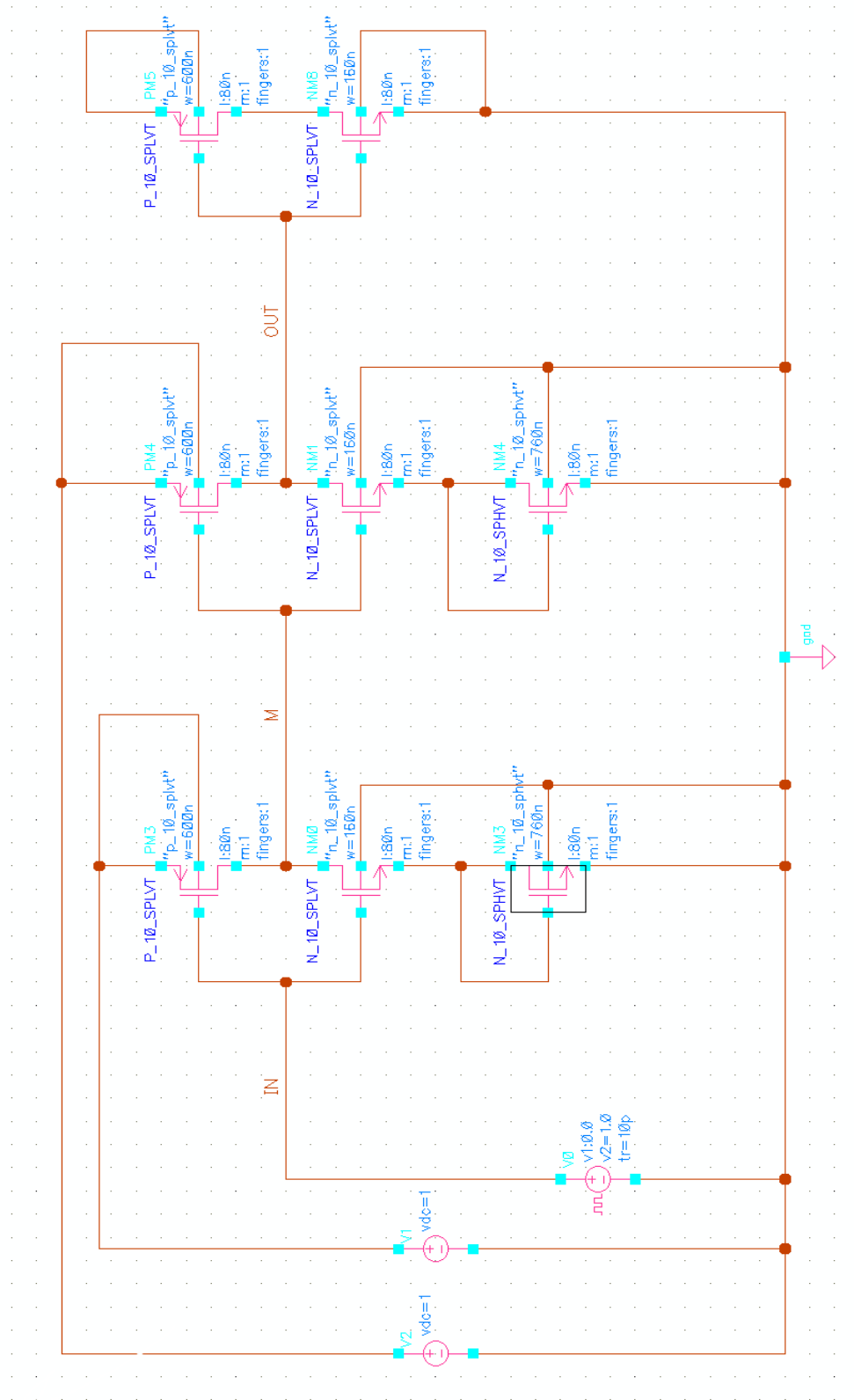


Σχήμα 6.5. Κυματομορφή Απόκρισης του Κυκλώματος

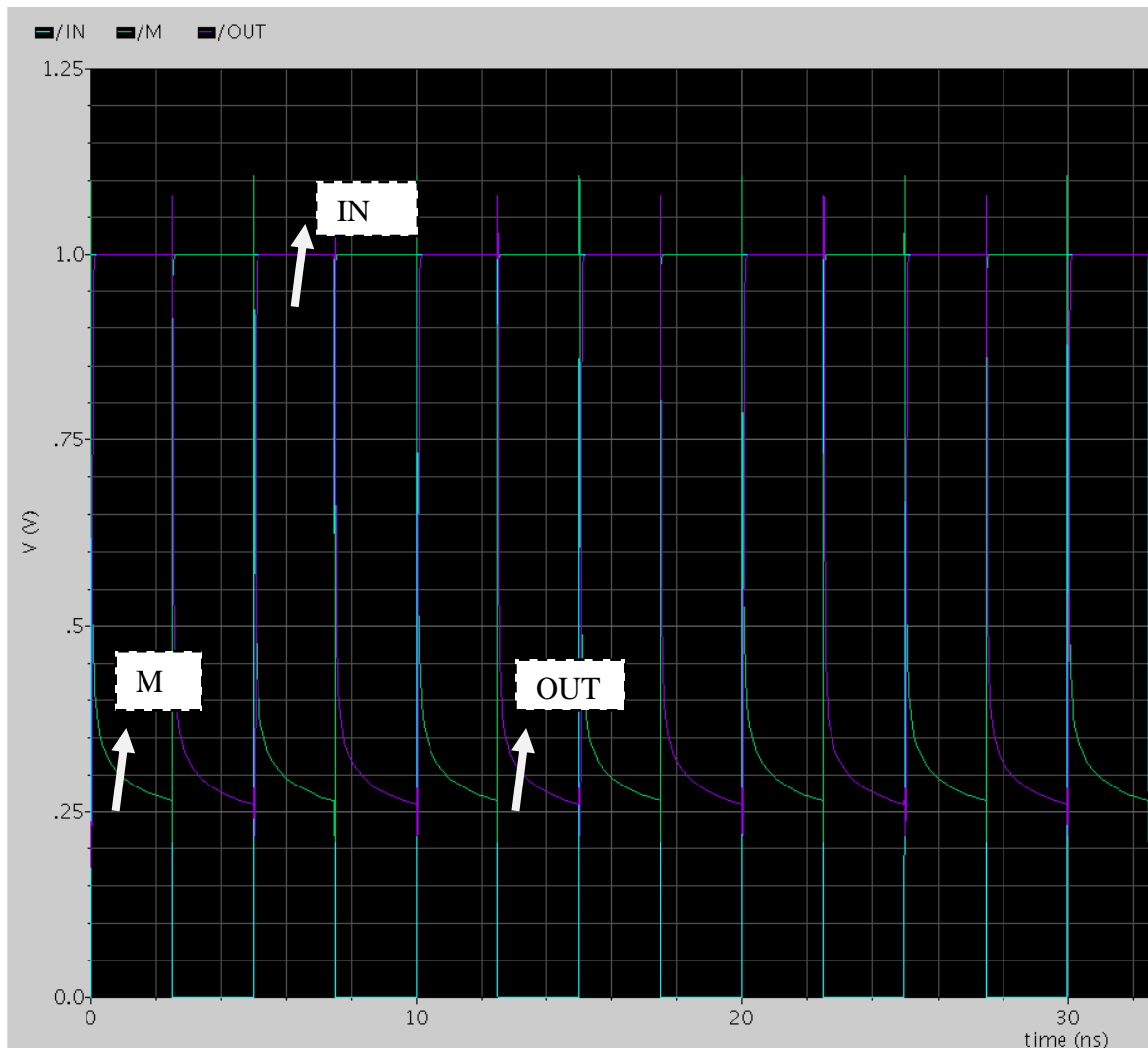
Αντίστοιχα, η ενσωμάτωση της έβδομης συνδεσμολογίας στην πύλη CMOS δίνεται στο σχήμα 6.6. (b). Το κύκλωμα, που αποτελείται από δύο αναστροφείς που ενσωματώνουν την έβδομη συνδεσμολογία και έναν κλασσικό αναστροφέα για φόρτο, σε επίπεδο τρανζίστορ φαίνεται στο σχήμα 6.7. Ενώ η κυματομορφή για την απόκριση του κυκλώματος παρουσιάζεται στο σχήμα 6.8.



6.6. (a) Απλή Πύλη CMOS (b) Πύλη CMOS με την 7η Συνδεσμολογία



Σχήμα 6.7 Σχηματικό με την 7^η Συνδεσμολογία σε Δύο Πύλες NOT



Σχήμα 6.8 Κυματομορφή Απόκρισης του Κυκλώματος

6.3 Οι Υπό Μελέτη Τοπολογίες με Τρανζίστορ Συνδεσμολογίας Διόδου Χαμηλής Τάσης Κατωφλίου

Τα αποτελέσματα προσομοιώσεων για τη συνολική δυναμική και στατική κατανάλωση ενέργειας (E_{total}), για την καθυστέρηση διάδοσης σήματος ($Delay_Time$), το γινόμενο ενέργειας επί καθυστέρηση, τη στατική κατανάλωση ενέργειας (μέση - E_{static_medium} και χειρότερη - E_{static_worst}) καθώς και την τάση στην έξοδο της πύλης (V_{out}), τόσο για το κύκλωμα με τον απλό αναστροφέα όσο και για τα κυκλώματα των οκτώ εξεταζόμενων συνδεσμολογιών καθώς και οι ποσοστιαίες μεταβολές για καθένα από τα προηγούμενα μεγέθη για τις οκτώ συνδεσμολογίες σε σχέση με τον απλό αναστροφέα παρουσιάζονται

στον πίνακα 6.2. Οι προσομοιώσεις έγιναν στην τεχνολογία 90nm της UMC ($L=80\text{nm}$, $V_{DD}=1\text{V}$, $V_{in}=0.32\text{V}$, $V_{tp}=0.32\text{V}$) χρησιμοποιώντας αποκλειστικά τρανζίστορ χαμηλής τάσης κατωφλίου (LV_t). Όπως φαίνεται και από τα αποτελέσματα του πίνακα 6.2 επαληθεύονται όσα είπαμε στο προηγούμενο κεφάλαιο για τις οκτώ τοπολογίες με τρανζίστορ σε συνδεσμολογία διόδου. Η δεύτερη και η έβδομη συνδεσμολογία δίνουν τη βέλτιστη δυναμική κατανάλωση αφού έχουν ποσοστιαία μεταβολή για το γινόμενο ενέργειας επί καθυστέρηση σε σχέση με τον απλό αναστροφέα 28.60% και -131.20% αντίστοιχα, ποσοστιαία μείωση για την ολική ενέργεια 47.01% και 51.4% αντίστοιχα και για την ποσοστιαία μεταβολή για την καθυστέρηση διάδοσης σήματος 142.55% και 95.13% αντίστοιχα. Όπως βλέπουμε η καθυστέρηση διάδοσης σήματος αυξάνει καθώς μειώνουμε τη δυναμική κατανάλωση.

Πίνακας 6.2. Αποτελέσματα Προσομοιώσεων για τις Τοπολογίες με Τρανζίστορ Συνδεσμολογίας Διόδου Χαμηλής Τάσης Κατωφλίου

	E_{total}	delay_time	Energy x delay	E_{static_medium}	E_{static_worst}	V_{out}
Αναστροφέας	12.9fJ	19.72ps	254.39fJ x ps	0.15 fJ	0.16 fJ	1 V
1 ^η συνδεσμολογία	12.96fJ 0.49%	55.84ps 183.16%	723.69fJ x ps 184.48%	1.84 fJ 1126.67%	1.84fJ 1050%	890mV -11%
2 ^η συνδεσμολογία	6.84fJ -47.01%	47.83ps 142.546%	327.16fJ x ps 28.6%	0.13fJ -16.67%	0.13fJ -21.25%	890 mV -11%
3 ^η συνδεσμολογία	9.44fJ -26.83%	55.72ps 182.56%	327.16fJ x ps 526%	0.13fJ -16.67%	0.13fJ -21.25%	885 mV -11.5%
4 ^η συνδεσμολογία	8.79fJ -31.83%	42.22ps 114.1%	371.11fJ x ps 45.88%	0.5fJ 233%	0.71fJ 344.58%	905 mV -9.5%
5 ^η συνδεσμολογία	19.04fJ 47.6%	45.59ps 131.19%	868.03fJ x ps 241.22%	2.68fJ 1688.7%	2.68fJ 1576.88%	861 mV -13.9%
6 ^η συνδεσμολογία	6.05fJ 53.08%	60.61ps 207.35%	366.8fJ x ps 44.216%	0.13fJ -14.67%	0.13fJ -16.25%	849 mV -15.1%
7 ^η συνδεσμολογία	6.27fJ -51.4%	38.48ps 95.13%	241.27fJ x ps -131.2%	0.14fJ -4%	0.15fJ -6.9%	920 mV 8%

8η συνδεσμολογία	23.17fJ	34.38ps	796.59fJ x ps	0.36fJ	0.57fJ	924 mV
	79.61%	74.34%	542.195%	137%	256.3%	7.6%

6.4 Πειραματική Διάταξη για την Αξιολόγηση της Προτεινόμενης Τεχνικής.

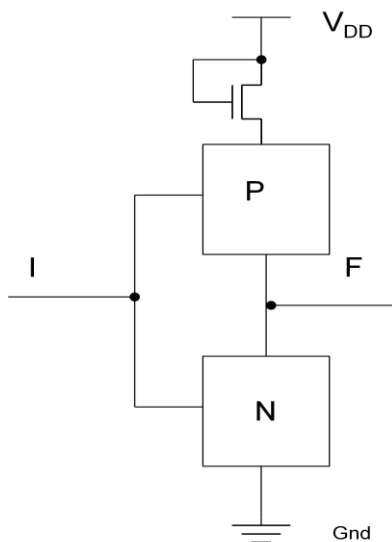
Το κύκλωμα που χρησιμοποιήσαμε στις προσομοιώσεις αποτελείται από 15 πύλες σε σειρά, όπου εναλλάσσονται πύλες NAND και NOR με βραχυκυκλωμένες τις δύο εισόδους (συνδεσμολογία NOT) όπως φαίνεται στο σχήμα 6.9. Χρησιμοποιήσαμε 8 NAND και 7 NOR με την πρώτη πύλη να είναι NAND. Θέσαμε την τάση τροφοδοσίας $V_{DD} = 1V$ πήραμε περίοδο του σήματος εισόδου INP στα 5ns. Για το σήμα enable στην πρώτη πύλη δόθηκε περίοδος 200ns. Το σήμα αυτό χρησιμοποιείται για την απενεργοποίηση του κυκλώματος ώστε να μετρηθεί η στατική κατανάλωση.



Σχήμα 6.9. Το κύκλωμα που Χρησιμοποιήσαμε στις Προσομοιώσεις σε Επίπεδο-Πύλης

Υλοποιήθηκαν δύο συνδεσμολογίες, μία με κλασσικές πύλες και μία με τις προτεινόμενες πύλες σύμφωνα με το σχήμα 6.10. Στην κλασσική υλοποίηση τα μεγέθη των PMOS και NMOS ήταν: α) για την NAND πύλη 640nm και 320nm αντίστοιχα και για την NOR 640nm και 110nm αντίστοιχα. Στην υλοποίηση της προτεινόμενης μεθοδολογίας τα τρανζίστορ σε συνδεσμολογία διόδου έχουν υψηλή τάση κατωφλίου (HV_t) ενώ τα υπόλοιπα χαμηλή τάση κατωφλίου. Με παραμετρική ανάλυση επιλέξαμε τα πλάτη W για τα διοδικά τρανζίστορ στις πύλες NAND και NOR να είναι 355nm και 160nm αντίστοιχα.

Τέλος, η ταλάντευση του σήματος (signal swing) στην έξοδο των πυλών ήταν 0V – 640mV.



Σχήμα 6.16. Προτεινόμενη Τοπολογία που Χρησιμοποιήθηκε στις Προσομοιώσεις της Παρούσας Ενότητας

Με βάση τα επιλεγμένα W το μέσο κόστος σε επιφάνεια που εισάγει η τεχνική (C%) είναι

$$C = \frac{(W_{diode-con_NAND} + W_{diode-con_NOR})}{W_{NAND_total} + W_{NOR_total}} = 29.1\% \quad [\text{Εξ } 6.2]$$

Με στόχο να παρουσιάσουμε αποτελέσματα της καταναλισκόμενης ενέργειας σε ένα κύκλωμα που να προσεγγίζει το μέγεθος ενός πραγματικού ολοκληρωμένου κυκλώματος, χρησιμοποιήθηκαν πολλαπλά αντίγραφα της προαναφερόμενης συνδεσμολογίας. Έτσι στην κλασσική υλοποίηση αθροιστικά το συνολικό πλάτος των τρανζίστορ σε όλο το κύκλωμα ήταν:

$$W_{total} = 4.15 \times 10^6 \mu m \quad [\text{Εξ } 6.3]$$

Επειδή στην τεχνολογία που χρησιμοποιούμε (UMC 90nm) το ελάχιστο πλάτος για ένα τρανζίστορ είναι 120nm (W_{min}), ο αριθμός των μοναδιαίων τρανζίστορ στο κύκλωμα είναι:

$$\# \text{τρανζίστορ} = \frac{W_{total}}{W_{min}} = \frac{4.15 \times 10^6 \mu m}{120nm} = 34.58 \times 10^6 \quad [\text{Εξ } 6.4]$$

δηλαδή είναι της τάξης των δεκάδων εκατομμυρίων τρανζίστορ.

Τα αποτελέσματα των προσομοιώσεων στους 27°C για την καθυστέρηση διάδοσης σήματος, τη δυναμική κατανάλωση ενέργειας για μεταβάσεις $0 \rightarrow 1$ και $1 \rightarrow 0$ και για τη στατική κατανάλωση ενέργειας φαίνονται στον πίνακα 6.3 που ακολουθεί. Η στατική κατανάλωση ενέργειας μετρήθηκε θέτοντας τα σήματα enable και input και στις δύο καταστάσεις (0 και 1) για χρόνο 60ns και στον πίνακα επισημαίνεται με έντονη γραφή η χειρότερη περίπτωση. Επίσης σχεδιάστηκε και προσομοιώθηκε (υπό τις ίδιες συνθήκες) για λόγους σύγκρισης το ίδιο κύκλωμα με τη χρήση απλών – κλασικών πυλών (αποτελούμενες από τρανζίστορ με χαμηλή τάση κατωφλίου (LV_t)). Στις προσομοιώσεις χρησιμοποιήθηκε τάση τροφοδοσίας V_{DD} τόσο στο 1V όσο και στα 640mV . Στόχος ήταν να συγκρίνουμε την προτεινόμενη σχεδίαση τόσο με την κλασική (1V) όσο και με μια σχεδίαση που θα χρησιμοποιούσε διπλές τάσεις τροφοδοσίας (dual- V_{DD}) με δεύτερη τάση τα 640mV (η τάση επιλέχθηκε έτσι ώστε να έχουμε την ίδια ταλάντευση στα σήματα εξόδου μεταξύ των δύο τεχνικών). Τα σχετικά αποτελέσματα παρουσιάζονται στον ίδιο πίνακα. Να επισημάνουμε ότι για τη dual- V_{DD} υλοποίηση συνδέσαμε τον ακροδέκτη του υποστρώματος των PMOS τρανζίστορ σε στην υψηλή τάση $V_H = 1\text{V}$ και τον ακροδέκτη της πηγής του διοδικού τρανζίστορ στη χαμηλή τάση $V_L = 640\text{mV}$ [4]. Σε όλες τις περιπτώσεις, η κατανάλωση ενέργειας υπολογίστηκε ολοκληρώνοντας το ρεύμα της τροφοδοσίας (φορτίο από την τροφοδοσία) και πολλαπλασιάζοντάς το με την ταλάντευση του σήματος στην έξοδο της πύλης.

Για τη δυναμική κατανάλωση ενέργειας της τεχνικής με τη χρήση διπλών τάσεων τροφοδοσίας (dual- V_{DD}), λήφθηκε υπόψη και η διαρροή λόγω της διαφοράς τάσης μεταξύ υποστρώματος και πηγής στα PMOS τρανζίστορ.

Πίνακας 6.3. Συγκριτικά Αποτελέσματα Προσομοιώσεων με HV_t Διοδικό Τρανζίστορ

Συνδεσμολογία	Καθυστέρηση σήματος	Δυναμική ενέργεια	Στατική ενέργεια
Συνδεσμολογία NAND-NOR με την προτεινόμενη τεχνική	1.70 ns	4.06 nJ	0-0: 384.17fJ 1-1: 1.85nJ
	342.41%	-62.68%	0-0: -25.77% 1-1: -83.57%
Συνδεσμολογία NAND-NOR με την υπόθεση της τεχνικής dual $V_{DD}=640$ MV	771.95 ps	5.89nJ	0-0: 172.3 pJ 1-1: 1.84 nJ
	100.89%	-45.86%	0-0:-66.7% 1-1:-83.66%
Κλασσική Συνδεσμολογία NAND-NOR $V_{DD}=1$ V	384.26 ps	10.88 nJ	0-0: 517.51pJ 1-1: 11.26nJ

Οι προηγούμενες προσομοιώσεις επαναλήφθηκαν με τη χρήση διοδικού τρανζίστορ με χαμηλή τάση κατωφλίου (LV_t) και τα αποτελέσματα παρουσιάζονται στον Πίνακα 6.4. Εξαιτίας της χρήσης χαμηλής τάσης κατωφλίου το νέο εύρος ταλάντευσης των σημάτων είναι 0V – 874mV.

Πίνακας 6.4. Συγκριτικά Αποτελέσματα Προσομοιώσεων με LV_t Διοδικό Τρανζίστορ

Συνδεσμολογία	Καθυστέρηση σήματος	Δυναμική ενέργεια	Στατική ενέργεια
Συνδεσμολογία με NAND- NOR με την προτεινόμενη τεχνική	910.69 ps	8.15 nJ	0-0: 513.57pJ 1-1: 3.56nJ
	137%	-25.09%	0-0: -0.76% 1-1: -68.38%
Συνδεσμολογία με NAND- NOR με την υπόθεση της τεχνικής dual $V_{DD}=874$ mV	453.89 ps	9.92nJ	0-0: 258.18 1-1: 5.75 nJ
	18.9%	-8.8%	0-0: -50.1% 1-1: -48.9%
Κλασσική Συνδεσμολογία με NAND-NOR $V_{DD}=1$ V	384.26 ps	10.88 nJ	0-0: 517.51pJ 1-1: 11.26nJ

Από τις παραπάνω μετρήσεις βλέπουμε ότι για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή τάση κατωφλίου (HV_t) η προτεινόμενη τεχνική σχεδόν διπλασιάζει την καθυστέρηση σε σχέση με την dual V_{DD} ενώ η δυναμική ενέργεια είναι μικρότερη για την τεχνική μας (περίπου κατά 16.8%) και η στατική κατανάλωση είναι οριακά μεγαλύτερη για την τεχνική μας. Αυτό σημαίνει ότι η τεχνική μας μπορεί να εφαρμοστεί σε διαδρομές σήματος με το μισό περίπου μήκος σε σχέση με τις διαδρομές όπου μπορεί να εφαρμοστεί η τεχνική dual V_{DD} . Όμως η τεχνική μας βελτιώνει πολύ τη δυναμική κατανάλωση σε σχέση με το standard κύκλωμα (περίπου κατά 62.68% έναντι 45.86% της τεχνικής dual V_{DD}) και το ίδιο συμβαίνει και με τη στατική κατανάλωση (83.57% έναντι 83.66%).

Για τρανζίστορ σε συνδεσμολογία διόδου με χαμηλή τάση κατωφλίου (LV_t) παρατηρούμε ότι η καθυστέρηση διάδοσης σήματος σαφώς και βελτιώνεται για την τεχνική μας (137%) και αντίστοιχα και για την τεχνική dual V_{DD} (18.9%). Επιπλέον μειώνεται η δυναμική κατανάλωση και συγκεκριμένα για την τεχνική μας κατά 25.09% ενώ για την τεχνική dual V_{DD} στα 8.8%. Πλησιάζουν δηλαδή την κατανάλωση του κλασσικού κυκλώματος και συνεπώς η χρήση τρανζίστορ χαμηλής τάση κατωφλίου είναι ασύμφορη.

Στη συνέχεια θα εξετάσουμε τη μετρική του γινομένου της δυναμικής ενέργειας επί την καθυστέρηση (energy-delay product – EDP) για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή και χαμηλή τάση κατωφλίου (HV_t και LV_t αντίστοιχα).

$$EDP_{\text{κλασσική}} = (0.384ns \times 10.88nJ) = 4.181ns \times nJ$$

Για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή τάση κατωφλίου HV_t :

$$EDP_{\text{πρστ}} = (1.699ns \times 4.058nJ) = 6.895ns \times nJ$$

$$EDP_{\text{dual_vdd}} = (0.772ns \times 5.887nJ) = 4.545ns \times nJ$$

Άρα η μετρική του γινομένου της δυναμικής ενέργειας επί την καθυστέρηση (energy-delay product – EDP) αυξάνει στην τεχνική μας σε σχέση με την κλασσική συνδεσμολογία κατά 64.91% ενώ η αντίστοιχη μετρική για την τεχνική dual V_{DD} αυξάνει κατά 8.71% σε σχέση με την κλασσική συνδεσμολογία.

Για τρανζίστορ σε συνδεσμολογία διόδου με χαμηλή τάση κατωφλίου LV_t :

$$EDP_{\text{πρωτ}} = (0.911\text{ns} \times 8.154\text{nJ}) = 7.428\text{ns} \times \text{nJ}$$

$$EDP_{\text{dual_Vdd}} = (0.454\text{ns} \times 9.92\text{nJ}) = 4.504\text{ns} \times \text{nJ}$$

Άρα η μετρική του γινομένου της δυναμικής ενέργειας επί την καθυστέρηση (energy-delay product – EDP) αυξάνει στην τεχνική μας σε σχέση με την κλασσική συνδεσμολογία κατά 77.66% ενώ η αντίστοιχη μετρική για την τεχνική dual V_{DD} αυξάνει κατά 7.73% σε σχέση με την κλασσική συνδεσμολογία.

Στην συνέχεια κάναμε πειράματα για τη δυναμική και στατική κατανάλωση για τα τρία διαφορετικά κυκλώματα για 0°C , 20°C , 40°C , 60°C όπως φαίνεται και στον πίνακα 6.5. Σε γενικές γραμμές βλέπουμε ότι αυξάνοντας η θερμοκρασία, επιβαρύνεται και η δυναμική και στατική ενέργεια για όλες τις τεχνικές.

Πίνακας 6.5. Μεταβολή Κατανάλωσης ως προς τη Θερμοκρασία

Θερμοκρασία	Συνδεσμολογία με NAND- NOR με την προτεινόμενη τεχνική		Συνδεσμολογία με NAND- NOR με την υπόθεση της τεχνικής dual $V_{DD}=640\text{ mV}$		Κλασσική Συνδεσμολογία με NAND-NOR $V_{DD}=1\text{ V}$	
	Δυναμική ενέργεια	Στατική ενέργεια	Δυναμική ενέργεια	Στατική ενέργεια	Δυναμική ενέργεια	Στατική ενέργεια
0°C	3.79 nJ	0-0: 162.91pJ 1-1: 800.04pJ	4.87nJ	0-0: 105.67pJ 1-1: 727.04pJ	9.73 nJ	0-0: 225.54pJ 1-1: 4.81pJ
20°C	3.97 nJ	0-0: 283.41pJ 1-1: 1.51nJ	5.49nJ	0-0: 136.31pJ 1-1: 1.47nJ	10.74 nJ	0-0: 417.29pJ 1-1: 9.15nJ

40° C	4.20 nJ	0-0: 566.17pJ 1-1: 2.65nJ	6.29 nJ	0-0: 261.01pJ 1-1: 2.74nJ	11.25 nJ	0-0: 765.46pJ 1-1: 16.16nJ
60° C	4.46 nJ	0-0: 986.91pJ 1-1: 4.39nJ	8.74 nJ	0-0: 473.93pJ 1-1: 4.78 nJ	11.68 nJ	0-0: 1.35J 1-1: 26.75nJ

Στη συνέχεια κάναμε τις ίδιες μετρήσεις πολώνοντας το υπόστρωμα του διοδικού τρανζίστορ στην τροφοδοσία VDD αντί στη γη, συνεπώς $V_{DB}=0$ (χρήση τεχνολογίας τριπλού πηγαδιού – triple well technology). Τα αποτελέσματα των προσομοιώσεων στους 27° C για την καθυστέρηση διάδοσης σήματος, τη δυναμική κατανάλωση ενέργειας για μεταβάσεις 0->1 και 1->0 και τη στατική κατανάλωση ενέργειας φαίνονται στον πίνακα 6.6 που ακολουθεί. Η στατική κατανάλωση ενέργειας μετρήθηκε θέτοντας τα σήματα enable και input και στις δύο καταστάσεις (0 και 1) για χρόνο 60ns και στον πίνακα επισημαίνεται με έντονη γραφή η χειρότερη περίπτωση. Επίσης σχεδιάστηκε και προσομοιώθηκε (υπό τις ίδιες συνθήκες) για λόγους σύγκρισης το ίδιο κύκλωμα με τη χρήση απλών – κλασσικών πυλών (αποτελούμενες από τρανζίστορ με χαμηλή τάση κατωφλίου (LV_i)). Στις προσομοιώσεις χρησιμοποιήθηκε τάση τροφοδοσίας V_{DD} τόσο στο 1V όσο και στα 640mV. Στόχος ήταν να συγκρίνουμε την προτεινόμενη σχεδίαση τόσο με την κλασσική (1V) όσο και με μια σχεδίαση που θα χρησιμοποιούσε διπλές τάσεις τροφοδοσίας (dual- V_{DD}) με δεύτερη τάση τα 760mV (η τάση επιλέχθηκε έτσι ώστε να έχουμε την ίδια ταλάντευση στα σήματα εξόδου μεταξύ των δύο τεχνικών). Τα σχετικά αποτελέσματα παρουσιάζονται στον ίδιο πίνακα. Να επισημάνουμε ότι για τη dual- V_{DD} υλοποίηση συνδέσαμε τον ακροδέκτη του υποστρώματος των PMOS τρανζίστορ σε στην υψηλή τάση $V_H=1V$ και τον ακροδέκτη της πηγής του διοδικού τρανζίστορ στη χαμηλή τάση $V_L=760mV$ [4]. Σε όλες τις περιπτώσεις, η κατανάλωση ενέργειας υπολογίστηκε ολοκληρώνοντας το ρεύμα της τροφοδοσίας (φορτίο από την τροφοδοσία) και πολλαπλασιάζοντάς το με την ταλάντευση της τάσης στους κόμβους του κυκλώματος.

Για τη δυναμική κατανάλωση ενέργειας της τεχνικής με την υπόθεση dual- V_{DD} , λήφθηκε υπόψη και η διαρροή λόγω της διαφοράς τάσης μεταξύ υποστρώματος και υποδοχής στα PMOS τρανζίστορ.

Πίνακας 6.6. Συγκριτικά Αποτελέσματα Προσομοιώσεων με Χρήση Τεχνολογίας Τριπλού Πηγαδιού και HV_i Διοδικό Τρανζίστορ

Συνδεσμολογία	Καθυστερήση σήματος	Δυναμική ενέργεια	Στατική ενέργεια
Συνδεσμολογία με NAND-NOR με την προτεινόμενη τεχνική	1.15ns	5.77 nJ	0-0: 450.33pJ 1-1: 2.49nJ
	199.28%	-46.97%	0-0: -12.98% 1-1: -77.89%
Συνδεσμολογία με NAND-NOR με την υπόθεση της τεχνική dual $V_{DD}=760$ mV	503.03 ps	9.43nJ	0-0: 250.09 nJ 1-1: 3.35nJ
	30.91%	-13.33%	0-0: -51.68% 1-1: -70.25%
Κλασσική Συνδεσμολογία με NAND-NOR $V_{DD}=1$ V	384.26 ps	10.88 nJ	0-0: 517.52pJ 1-1: 11.26nJ

Όπως παρατηρούμε η καθυστέρηση διάδοσης σήματος μειώνεται όταν συνδέουμε το υπόστρωμα με την υποδοχή κάτι το οποίο είναι λογικό γιατί:

$$V_{SB} = V_{SG} + V_{GD} + V_{DB} \quad [\text{Εξ } 6.5]$$

Για το τρανζίστορ σε συνδεσμολογία διόδου $V_{GD}=0$. Στην περίπτωση που το υπόστρωμα πολώνεται στη γη $V_{DB}=V_{DD}$ ενώ όταν πολώνεται στην τροφοδοσία V_{DD} τότε $V_{DB}=0$.

Άρα $V_{SB} > V_{SB,SOI}$. Από τον τύπο του φαινομένου σώματος:

$$V_{TN} = V_{T0} + \gamma(\sqrt{|u_{SB} + 2\phi_F|} - \sqrt{2\phi_F}) \quad [\text{Εξ } 6.6]$$

Όπου V_{T0} = η τιμή της V_{TN} για μηδενική πόλωση (V)

$$\gamma = \text{παράμετρος φαινομένου σώματος } (\sqrt{V})$$

$$2\phi_F = \text{παράμετρος δυναμικού επιφάνειας (V)}$$

προκύπτει ότι για την πόλωση του υποστρώματος στην τροφοδοσία V_{DD} έχουμε μικρότερη τάση κατωφλίου οπότε από τη σχέση:

$$I_D = k(V_{DD} - V_{th})^2 \quad [\text{Εξ 6.7}]$$

η ταχύτητα αυξάνεται καθώς τα ρεύματα είναι μεγαλύτερα.

Στη συνέχεια θα δούμε για πόσες πύλες με την προτεινόμενη τεχνική και με την τεχνική dual- V_{DD} αντίστοιχα σε μία διαδρομή μπορούμε να έχουμε ίδια καθυστέρηση διάδοσης σήματος με αυτή σε διαδρομή που αποτελείται από 15 πύλες NAND-NOR και υλοποιούνται με την κλασσική συνδεσμολογία. Τα πειράματα υλοποιήθηκαν για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή τάση κατωφλίου και χαμηλή τάση κατωφλίου (HV_t και LV_t αντίστοιχα). Τα αποτελέσματα φαίνονται στον πίνακα 6.7.

Πίνακας 6.7. Αριθμός Πυλών για Ίση Καθυστέρηση με την Κλασσική Συνδεσμολογία

Συνδεσμολογία	HV_t διοδικό τρανζίστορ		LV_t διοδικό τρανζίστορ	
	Καθυστέρηση διάδοσης	Αριθμός Πυλών	Καθυστέρηση διάδοσης	Αριθμός Πυλών
Κλασσική Συνδεσμολογία με NAND-NOR $V_{DD}=1$	384.26ps	15	384.26ps	15
Συνδεσμολογία με NAND-NOR με την προτεινόμενη τεχνική	312.85ps	4	378.91ps	6
Συνδεσμολογία με NAND-NOR με την υπόθεση της τεχνικής dual $V_{DD}=640\text{mV}$ και $V_{DD}=874\text{mV}$ αντίστοιχα	375.91ps	8	305.88	12

Στον πίνακα 6.7 δίδεται ο μέγιστος αριθμός πυλών σε μια διαδρομή σήματος που θα υλοποιηθεί με χρήση της προτεινόμενης τεχνικής ώστε η καθυστέρηση στη διάδοση του σήματος να μην ξεπερνά αυτή της κλασσικής CMOS σχεδίασης με διαδρομή σήματος που θα περιλαμβάνει δεκαπέντε πύλες. Στην προτεινόμενη σχεδίαση, με διοδικό τρανζίστορ υψηλής τάσης κατωφλίου ο αριθμός είναι τέσσερις πύλες με την προτεινόμενη τεχνική, ενώ με διοδικό τρανζίστορ χαμηλής τάσης κατωφλίου ο αριθμός είναι έξι πύλες.

Αντίστοιχα στον πίνακα δίδεται ο αριθμός των πυλών για την dual V_{DD} τεχνική ώστε η καθυστέρηση σήματος να μην ξεπερνά αυτή της κλασσικής CMOS σχεδίασης για ίδια ταλάντευση με την προτεινόμενη τεχνική.

6.4.1 Πειραματική Διάταξη μόνο με Πύλες NAND για την Αξιολόγηση της Προτεινόμενης Τεχνικής

Στη συνέχεια, χρησιμοποιήσαμε για τις προσομοιώσεις κύκλωμα που αποτελείται από 15 πύλες NAND σε σειρά, με βραχυκυκλωμένες τις δύο εισόδους (συνδεσμολογία NOT) όπως φαίνεται στο σχήμα 6.11. Θέσαμε την τάση τροφοδοσίας $V_{DD} = 1V$. Το σήμα enable χρησιμοποιείται για την απενεργοποίηση του κυκλώματος ώστε να μετρηθεί η στατική κατανάλωση.



Σχήμα 6.11. Το Κύκλωμα που Χρησιμοποιήσαμε στις Προσομοιώσεις σε Επίπεδο-Πύλης

Υλοποιήθηκαν δύο συνδεσμολογίες, μία με κλασσικές πύλες και μία με τις προτεινόμενες πύλες σύμφωνα με το σχήμα 6.7. Στην κλασσική υλοποίηση τα μεγέθη των PMOS και NMOS ήταν: α) για την NAND πύλη 200nm και 100nm αντίστοιχα. Στην υλοποίηση της προτεινόμενης μεθοδολογίας τα τρανζίστορ σε συνδεσμολογία διόδου έχουν υψηλή τάση κατωφλίου (HV_t) ενώ τα υπόλοιπα χαμηλή τάση κατωφλίου. Με παραμετρική ανάλυση επιλέξαμε το πλάτος W για το διοδικό τρανζίστορ στη πύλη NAND να είναι 160nm. Τέλος, η ταλάντευση του σήματος (signal swing) στην έξοδο των πυλών ήταν 0V – 640mV.

Με βάση τα επιλεγμένα W το μέσο κόστος σε επιφάνεια που εισάγει η τεχνική (C%) είναι

$$C = \frac{(W_{\text{diode-con_NAND}} + W_{\text{diode-con_NOR}})}{W_{\text{NAND_total}} + W_{\text{NOR_total}}} = 16.67\% \quad [\text{Εξ } 6.8]$$

Τα αποτελέσματα των προσομοιώσεων στους 27° C για την καθυστέρηση διάδοσης σήματος, τη δυναμική κατανάλωση ενέργειας για μεταβάσεις 0->1 και 1->0 και για τη στατική κατανάλωση ενέργειας φαίνονται στον πίνακα 6.8. Η στατική κατανάλωση

ενέργειας μετρήθηκε θέτοντας τα σήματα enable και input και στις δύο καταστάσεις (0 και 1) για χρόνο $\underline{60ns}$ και στον πίνακα επισημαίνεται με έντονη γραφή η χειρότερη περίπτωση. Επίσης σχεδιάστηκε και προσομοιώθηκε (υπό τις ίδιες συνθήκες) για λόγους σύγκρισης το ίδιο κύκλωμα με τη χρήση απλών – κλασσικών πυλών (αποτελούμενες από τρανζίστορ με χαμηλή τάση κατωφλίου (LV_t)). Στις προσομοιώσεις χρησιμοποιήθηκε τάση τροφοδοσίας V_{DD} τόσο στο 1V όσο και στα 640mV. Στόχος ήταν να συγκρίνουμε την προτεινόμενη σχεδίαση τόσο με την κλασσική (1V) όσο και με μια σχεδίαση που θα χρησιμοποιούσε διπλές τάσεις τροφοδοσίας (dual- V_{DD}) με δεύτερη τάση τα 640mV (η τάση επιλέχθηκε έτσι ώστε να έχουμε την ίδια ταλάντευση στα σήματα εξόδου μεταξύ των δύο τεχνικών). Τα σχετικά αποτελέσματα παρουσιάζονται στον ίδιο πίνακα. Να επισημάνουμε ότι για τη dual- V_{DD} υλοποίηση συνδέσαμε τον ακροδέκτη του υποστρώματος των PMOS τρανζίστορ στην υψηλή τάση $V_H = 1V$ και τον ακροδέκτη της πηγής του διοδικού τρανζίστορ στη χαμηλή τάση $V_L = 650mV$ [4]. Σε όλες τις περιπτώσεις, η κατανάλωση ενέργειας υπολογίστηκε ολοκληρώνοντας το ρεύμα της τροφοδοσίας (φορτίο από την τροφοδοσία) και πολλαπλασιάζοντάς το με την τάση της τροφοδοσίας.

Πίνακας 6.8. Συγκριτικά Αποτελέσματα Προσομοιώσεων με HV_t Διοδικό Τρανζίστορ

Συνδεσμολογία	Καθυστέρηση	Δυναμική ενέργεια	Στατική ενέργεια
Συνδεσμολογία NAND-NAND με την προτεινόμενη τεχνική	1.53 ns	4.61 nJ	0-0: 943.43pJ 1-1: 927.90pJ
	550.298%	-62.18%	0-0: -89.1% 1-1: -90.6%
Συνδεσμολογία NAND-NAND με την υπόθεση της τεχνικής dual $V_{DD}=650$ mV	441.3 ps	5.40nJ	0-0: 1.51nJ 1-1: 1.58nJ
	87.76%	-55.7%	0-0: -81.61% 1-1: -83.93%
Κλασσική Συνδεσμολογία NAND-NAND $V_{DD}=1V$	235.03 ps	12.19 nJ	0-0: 8.65nJ 1-1: 9.83nJ

Ο λόγος που η προτεινόμενη τεχνική έχει μικρότερη στατική κατανάλωση από τη dual V_{DD} είναι ότι προσθέτουμε στο συνολικό W της πύλης και το W του διοδικού τρανζίστορ

άρα αυξάνει η αγωγιμότητα (μειώνεται η αντίσταση σε σχέση με την τεχνική dual- V_{DD}) οπότε έχουμε μικρότερη διαρροή σε σχέση με τη dual- V_{DD} και μικρότερη κατανάλωση.

Οι προηγούμενες προσομοιώσεις επαναλήφθηκαν με τη χρήση διοδικού τρανζίστορ με χαμηλή τάση κατωφλίου (LV_t) και τα αποτελέσματα παρουσιάζονται στον πίνακα 6.9. Εξαιτίας της χρήσης χαμηλής τάσης κατωφλίου το νέο εύρος ταλάντευσης των σημάτων είναι 0V – 884mV.

Πίνακας 6.9. Συγκριτικά Αποτελέσματα Προσομοιώσεων με LV_t Διοδικό Τρανζίστορ

Συνδεσμολογία	Καθυστέρηση	Δυναμική ενέργεια	Στατική ενέργεια
Συνδεσμολογία NAND-NAND με την προτεινόμενη τεχνική	829.02 ps	9.27 nJ	0-0: 1.7nJ 1-1: 1.78nJ
	252.73%	-23.95%	0-0: -80.35% 1-1: -81.89%
Συνδεσμολογία NAND-NAND με την υπόθεση της τεχνικής dual $V_{DD}=884$ mV	441.3 ps	11.90nJ	0-0: 5.07nJ 1-1: 5.1nJ
	87.76%	-2.38%	0-0: -41.39% 1-1: -48.12%
Κλασσική συνδεσμολογία NAND-NAND $V_{DD}=1$ V	235.03 ps	12.19 nJ	0-0: 8.65nJ 1-1: 9.83ns

6.4.2 Monte Carlo για Στατική και Δυναμική Κατανάλωση

Για να μελετήσουμε τη συμπεριφορά της δυναμικής και της στατικής κατανάλωσης υπό την παρουσία διακυμάνσεων της κατασκευαστικής διαδικασίας (process variations) καθώς και μη ταιριασμάτων στα τρανζίστορ (mismatch) χρησιμοποιήσαμε προσομοιώσεις Monte Carlo. Στις προσομοιώσεις αυτές που έγιναν στο εργαλείο SPECTRE χρησιμοποιήθηκαν τα στατιστικά μοντέλα της 90nm UMC τεχνολογίας, με ενεργοποιημένη την επιλογή process & mismatch ενώ πραγματοποιήθηκαν 100 περάσματα. Τα αποτελέσματα για τη στατική ενέργεια και για HV_t διοδικό τρανζίστορ παρουσιάζονται στον πίνακα 6.10.

Πίνακας 6.10. Monte- Carlo για Στατική Κατανάλωση και HV_i στο Τρανζίστορ σε Συνδεσμολογία Διόδου

Συνδεσμολογία	Στατική ενέργεια
Συνδεσμολογία NAND-NOR με την προτεινόμενη τεχνική	0-0: Worst Case : 785.34 pJ 0-0: Best Case: 173.59 pJ 1-1: Worst Case: 3.84 nJ 1-1: Best Case: 756.94 Pj
Συνδεσμολογία NAND-NOR με την υπόθεση της τεχνικής dual $V_{DD}=640$ mV	0-0: Worst Case : 400.98pJ 0-0: Best Case: 95.51pJ 1-1: Worst Case: 4.51nJ 1-1: Best Case: 939.52Pj
Κλασσική Συνδεσμολογία NAND-NOR $V_{DD}=1V$	0-0: Worst Case : 1.11nJ 0-0: Best Case: 283.37pJ 1-1: Worst Case: 28.99nJ 1-1: Best Case: 5.3nJ

Βλέπουμε ότι και με το Monte Carlo επιβεβαιώθηκε ότι η στατική ενέργεια της προτεινόμενης τεχνικής (3.84nJ) είναι μικρότερη από της dual- V_{DD} (4.51nJ) και πολύ μικρότερη από αυτή του standard κυκλώματος (28.99nJ). Παρόμοια είναι και τα αποτελέσματα για την καλύτερη περίπτωση (756.94pJ για την προτεινόμενη τεχνική έναντι 939.53pJ για την τεχνική dual- V_{DD} και 5.3nJ για το standard κύκλωμα).

Τα αντίστοιχα αποτελέσματα για LV_i διοδικό τρανζίστορ δίνονται στον πίνακα 6.11:

Πίνακας 6.11. Monte-Carlo ανάλυση για Στατική Κατανάλωση και LV_i στο Τρανζίστορ σε Συνδεσμολογία Διόδου

Συνδεσμολογία	Στατική ενέργεια
Συνδεσμολογία NAND-NOR με την προτεινόμενη τεχνική	0-0: Worst Case : 1.07 nJ 0-0: Best Case: 242.07 pJ 1-1: Worst Case: 7.41 nJ 1-1: Best Case: 1.41 nJ
Συνδεσμολογία NAND-NOR με την υπόθεση της τεχνικής dual $V_{DD}=874$ mV	0-0: Worst Case : 727.17pJ 0-0: Best Case: 193.49pJ 1-1: Worst Case: 14.5nJ 1-1: Best Case: 2.81nJ
Κλασσική Συνδεσμολογία NAND-NOR $V_{DD}=1V$	0-0: Worst Case : 1.11nJ 0-0: Best Case: 283.37pJ 1-1: Worst Case: 28.98nJ 1-1: Best Case: 5.3nJ

Αντίστοιχα αποτελέσματα με HV_i έχουμε και για την περίπτωση με LV_i στο τρανζίστορ σε συνδεσμολογία διόδου. Πιο αναλυτικά, βλέπουμε ότι στη χειρότερη περίπτωση (worst case) η στατική κατανάλωση είναι 7.21 nJ για την προτεινόμενη τεχνική έναντι 14.5nJ για την τεχνική dual- V_{DD} ενώ για το standard κύκλωμα είναι 28.99 nJ. Επίσης και για την καλύτερη περίπτωση (best case) βλέπουμε ότι για την προτεινόμενη τεχνική η στατική κατανάλωση είναι στα 1.41nJ για την τεχνική dual- V_{DD} στα 2.81nJ και για το standard κύκλωμα στα 5.3nJ.

Αναφορικά με τη Δυναμική Κατανάλωση τα αποτελέσματα για HV_i διοδικό τρανζίστορ δίνονται στον πίνακα 6.12.

Πίνακας 6.12. Monte-Carlo ανάλυση για Δυναμική Κατανάλωση και HV_i στο Τρανζίστορ σε Συνδεσμολογία Διόδου

Συνδεσμολογία	Δυναμική Ενέργεια
Συνδεσμολογία NAND-NOR με την προτεινόμενη τεχνική	Worst Case: 4.07nJ Best Case: 3.8nJ
Συνδεσμολογία NAND-NOR με την υπόθεση της τεχνικής dual $V_{DD}=640$ mV	Worst Case: 8.41nJ Best Case: 3.99nJ
Κλασσική Συνδεσμολογία NAND-NOR $V_{DD}=1V$	Worst Case: 13.77nJ Best Case: 9.37nJ

Και στην περίπτωση της δυναμικής κατανάλωσης βλέπουμε ότι στην προτεινόμενη τεχνική είναι 4.07nJ, ενώ στην τεχνική dual- V_{DD} είναι 8.41nJ ενώ στο standard κύκλωμα είναι 13.77nJ (worst case). Στην καλύτερη περίπτωση (best case) αντίστοιχα έχουμε για την προτεινόμενη τεχνική δυναμική ενέργεια 3.8nJ, για την τεχνική dual- V_{DD} 3.99nJ και για το standard κύκλωμα 9.34nJ.

Αντίστοιχα ο πίνακας 6.13 δίνει αποτελέσματα για LV_i διοδικό τρανζίστορ.

Πίνακας 6.13. Monte-Carlo ανάλυση για Δυναμική Κατανάλωση και LV_t στο Τρανζίστορ σε Συνδεσμολογία Διόδου

Συνδεσμολογία	Δυναμική Ενέργεια
Συνδεσμολογία με NAND-NOR με την προτεινόμενη τεχνική	Worst Case: 9.13nJ Best Case: 7.35nJ
Συνδεσμολογία με NAND-NOR με την υπόθεση της τεχνική dual $V_{DD}=874$ mV	Worst Case: 16.14nJ Best Case: =8.74nJ
Κλασσική Συνδεσμολογία με NAND-NOR $V_{DD}=1V$	Worst Case: 13.77nJ Best Case: 9.37nJ

Και για LV_t στο τρανζίστορ σε συνδεσμολογία διόδου τα αποτελέσματα της Monte Carlo έδειξαν ότι η προτεινόμενη τεχνική υπερτερεί και στην worst case είναι 9.13nJ για την τεχνική μας, 16.14nJ για τη τεχνική dual- V_{DD} και 13.77nJ για τη standard τεχνική. Στην καλύτερη περίπτωση, για την τεχνική μας η δυναμική κατανάλωση είναι 7.35nJ για την dual- V_{DD} είναι 8.74nJ ενώ για τη standard τεχνική είναι 9.37nJ.

Μία παρατήρηση που θα μπορούσαμε να κάνουμε σχετικά με τη δυναμική κατανάλωση για LV_t είναι ότι στην τεχνική dual- V_{DD} η δυναμική κατανάλωση είναι μεγαλύτερη (16.14nJ) από την δυναμική κατανάλωση στο standard κύκλωμα (13.77nJ) στη χειρότερη περίπτωση (worst case). Αυτό μας οδηγεί στο συμπέρασμα ότι η τεχνική dual- V_{DD} είναι ευαίσθητη στις διακυμάνσεις της κατασκευαστικής διαδικασίας ειδικά στην περίπτωση που χρησιμοποιούμε LV_t (με χαμηλή V_{DD} στην περίπτωσή μας ίση με 874mV). Αυτό οφείλεται στην σημαντική επίδραση των διακυμάνσεων στο φαινόμενο σώματος που διαμορφώνει την τάση κατωφλίου σύμφωνα με τον τύπο:

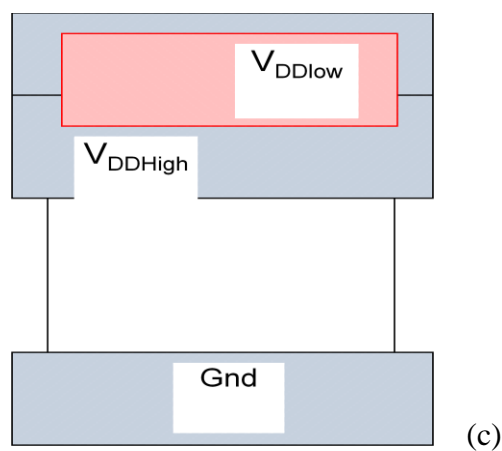
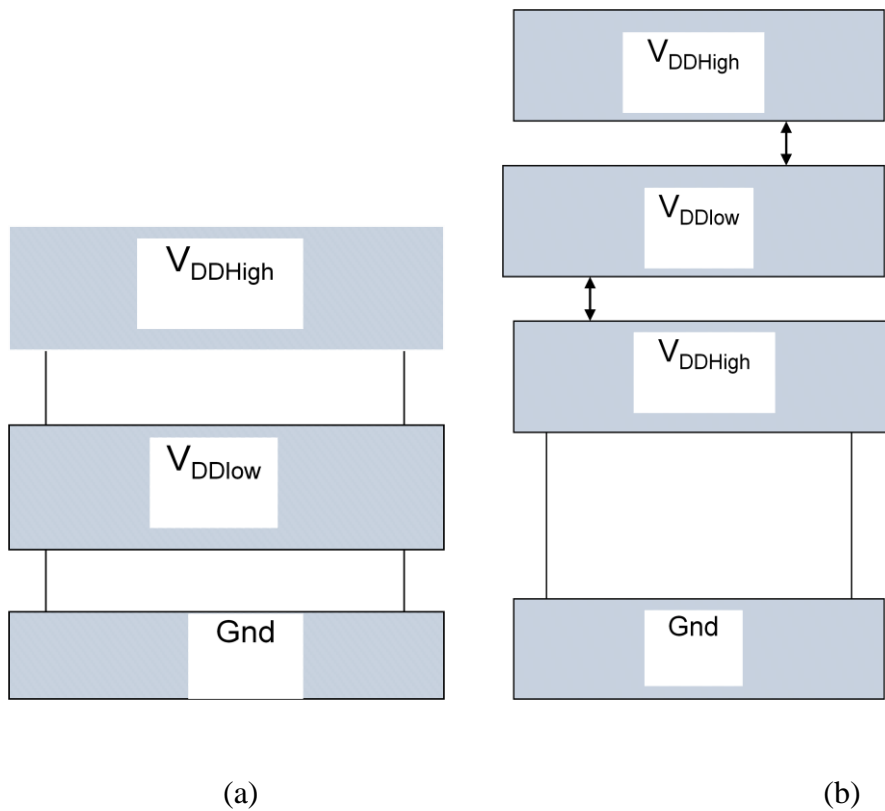
$$V_t = V_{t0} + \gamma \left[\sqrt{(|2\phi_b + V_{sb}|)} - \sqrt{2\phi_b} \right] \quad [\text{Εξ } 6.8]$$

Όπου V_{t0} είναι τάση κατωφλίου για $V_{sb}=0$, γ είναι σταθερά (συνήθως 0.4 – 0.12).

Επειδή στην τεχνική dual-VDD η υποδοχή (drain) του NMOS τρανζίστορ σε συνδεσμολογία διόδου είναι συνδεδεμένη στη χαμηλή τάση τροφοδοσίας (874mV) και το υπόστρωμα (bulk) στην υψηλή τάση (1V) έχουμε επίδραση του φαινομένου σώματος και άρα αυξάνει και η τάση κατωφλίου και η τεχνική γίνεται πιο ευαίσθητη στις διακυμάνσεις.

6.5 Εφαρμογή της Προτεινόμενης Τεχνικής σε Συνδυασμό με DVFS Τεχνικές

Η προτεινόμενη τεχνική δίνει μια εναλλακτική πρόταση χαμηλής κατανάλωσης σε σχέση με την τεχνική dual- V_{DD} . Η τεχνική dual- V_{DD} εμφανίζει μειονεκτήματα στο επίπεδο της σχεδίασης σε φυσικό επίπεδο (physical-level design) που σχετίζονται με την απαιτούμενη επιφάνεια πυριτίου και/ή την έλλειψη κατάλληλων εργαλείων για την αυτοματοποίηση του σχεδιασμού. Γενικά η τεχνική αυτή μπορεί να υλοποιηθεί με τρεις τρόπους. Ο πρώτος τρόπος φαίνεται στο σχήμα 6.6. (a) όπου η πρόσθετη τάση τροφοδοσίας (V_{DDLow}) περνά μέσα από την πύλη γεγονός που θα αυξήσει την επιφάνειά της. Με το δεύτερο τρόπο που φαίνεται στο σχήμα 6.6. (b) χρησιμοποιείται μία επιπλέον γραμμή για τη δεύτερη τάση τροφοδοσίας (V_{DDLow}) η οποία πρέπει να απέχει από τις γραμμές για τη βασική τάση τροφοδοσίας (V_{DDHigh}) συγκεκριμένη απόσταση που την καθορίζουν οι κανόνες του φυσικού σχεδιασμού. Έτσι όμως χρησιμοποιούμε επιπλέον επιφάνεια στο ολοκληρωμένο και θέλουμε και μια γέφυρα με μέταλλα για να συνδέσουμε τη γραμμή τροφοδοσίας για τη χαμηλή τάση (V_{DDLow}) με την πύλη. Το θετικό όμως με αυτό τον τρόπο είναι ότι δεν επηρεάζει τα εργαλεία σχεδιασμού. Ο τρίτος τρόπος που φαίνεται και στο σχήμα 6.6. (c) είναι να τοποθετήσουμε το μέταλλο για τη χαμηλή τάση τροφοδοσίας (V_{DDLow}) στο δεύτερο επίπεδο και ακριβώς πάνω από τα μέταλλα για τις υψηλές τροφοδοσίες (V_{DDHigh}). Με αυτό το τρόπο χρησιμοποιώ και το δεύτερο μέταλλο για την τροφοδοσία, γεγονός που μας επιβάλλει να χρησιμοποιήσουμε για τις διασυνδέσεις μεταξύ των πυλών τα μέταλλα από το τρίτο και επάνω. Εάν λάβουμε υπόψη ότι το κόστος αυξάνει με τα χρησιμοποιούμενα επίπεδα μετάλλου και αυτή η προσέγγιση έχει αυξημένο κόστος και δεν υποστηρίζεται από κλασικά εργαλεία σχεδιασμού. Αντίθετα στην προτεινόμενη τεχνική όπως και στη standard συνδεσμολογία χρησιμοποιούμε μόνο το πρώτο μέταλλο για την τροφοδοσία και όλα τα άλλα μέταλλα είναι ελεύθερα για τις διασυνδέσεις μεταξύ των πυλών.



Σχήμα 6.12. (α) Η Extra V_{DD} Περνάει μέσα στην Πύλη (β) Το Μέταλλο 1 για την Extra V_{DD} Τοποθετείται εκτός Πύλης (γ) Χρησιμοποιείται το Μέταλλο 2 για την Extra V_{DD} και Τοποθετείται πάνω από το Μέταλλο 1

Όπως συμπεραίνουμε από τα παραπάνω η τεχνική dual V_{DD} δεν μπορεί εύκολα να συνεργαστεί με τεχνικές όπως την τεχνική της δυναμικής κλιμάκωσης τάσης και συχνότητας (Dynamic voltage frequency scaling- DVFS) εξαιτίας του κόστους.

Χρειαζόμαστε επιπλέον εξωτερικές τάσεις τροφοδοσίας, περισσότερους ακροδέκτες (pads) και σταθεροποιητές τάσης και πρόσθετες γραμμές για την παροχή των τάσεων τροφοδοσίας.

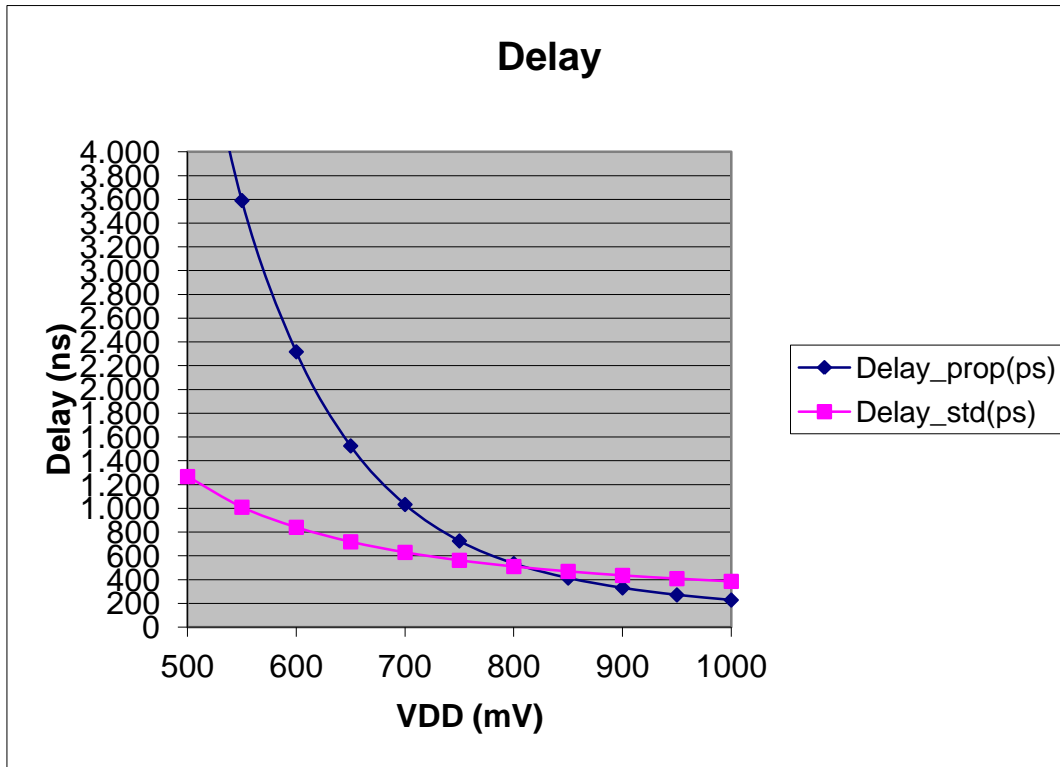
Η προτεινόμενη τεχνική, αποφεύγει τα ανωτέρω μειονεκτήματα της τεχνικής dual V_{DD} εισάγοντας τοπικά σε κάθε πύλη ένα κόστος επιφάνειας πυριτίου εξ' αιτίας του πρόσθετου διοδικού τρανζίστορ. Ως αποτέλεσμα, η προτεινόμενη τεχνική θα μπορούσε να συνδυαστεί καλύτερα με άλλες τεχνικές όπως η DVFS. Προς αυτή την κατεύθυνση, χρησιμοποιήσαμε την πειραματική διάταξη του σχήματος 6.9. Υλοποιήθηκαν δύο συνδεσμολογίες, μία με κλασσικές πύλες και μία με τις προτεινόμενες πύλες σύμφωνα με το σχήμα 6.7. Στην κλασσική υλοποίηση τα μεγέθη των PMOS και NMOS ήταν: α) για την NAND πύλη 640nm και 320nm αντίστοιχα και για την NOR 640nm και 110nm αντίστοιχα. Στην υλοποίηση της προτεινόμενης μεθοδολογίας τα τρανζίστορ σε συνδεσμολογία διόδου έχουν υψηλή τάση κατωφλίου (HV_i) ενώ τα υπόλοιπα χαμηλή τάση κατωφλίου. Με παραμετρική ανάλυση επιλέξαμε τα πλάτη W για τα διοδικά τρανζίστορ στις πύλες NAND και NOR να είναι 355nm και 160nm αντίστοιχα

Σύμφωνα με τα προηγούμενα πειράματα, τα κυκλώματα που χρησιμοποιήθηκαν στις προσομοιώσεις για την κλασσική συνδεσμολογία και την προτεινόμενη, ώστε να έχουν την ίδια καθυστέρηση, αποτελούνται από 15 πύλες και 4 πύλες αντίστοιχα σε σειρά, όπου εναλλάσσονται πύλες NAND και NOR με βραχυκυκλωμένες τις δύο εισόδους (συνδεσμολογία NOT) όπως φαίνεται στο σχήμα 6.9. Χρησιμοποιήσαμε 8 NAND και 7 NOR και 2 NAND και 2 NOR αντίστοιχα σε κάθε κύκλωμα με την πρώτη πύλη να είναι NAND. Θέσαμε την τάση τροφοδοσίας $V_{DD} = 1V$. Στη συνέχεια, μετρήσαμε την καθυστέρηση διάδοσης σήματος για την κλασσική και για την προτεινόμενη συνδεσμολογία για τάση από 1V μέχρι 500mV μειώνοντας κάθε φορά κατά 50mV. Τα αποτελέσματα που πήραμε φαίνονται στο πίνακα 6.14. και στο σχήμα 6.13.

Πίνακας 6.14. Καθυστέρηση για Προτεινόμενη και Standard Τεχνική με Κλιμάκωση Τάσης

VDD (mV)	Delay_prop (ps)	Delay_std (ps)
500	5.675	1.268
550	3.591	1010
600	2.318	841
650	1.526	719
700	1.033	630
750	726	563
800	536	511
850	414	470
900	331	436
950	272	409
1000	229	386

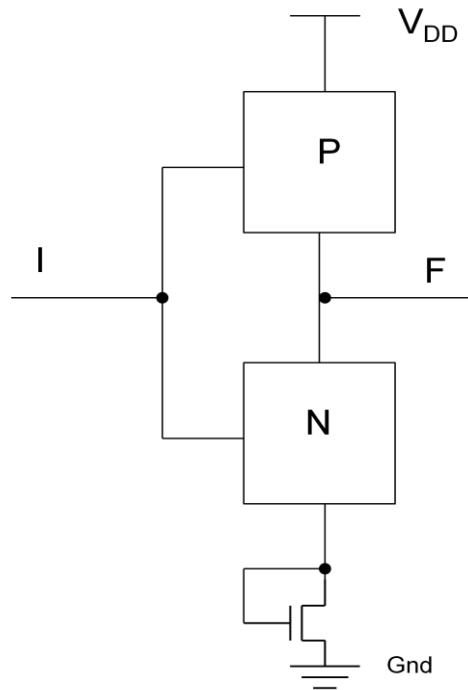
Από τον πίνακα 6.14 παρατηρούμε ότι η προτεινόμενη τεχνική μπορεί να εφαρμοστεί μέχρι τιμή τάσης 850mV. Για τιμές τάσης μικρότερες των 850mV η καθυστέρηση διάδοσης σήματος της προτεινόμενης τεχνικής ξεπερνάει την καθυστέρηση της κλασσικής συνδεσμολογίας. Συνεπώς, ένα DVFS σχήμα με εύρος τάσεων μεταξύ 850mV και 1V θα μπορούσε να συνεργαστεί με την προτεινόμενη τεχνική στις γρήγορες διαδρομές σήματος.



Σχήμα 6.13. Κλιμάκωση Τάσης για Προτεινόμενη και Standard Τεχνική

6.6 Πειραματική Διάταξη για την Αξιολόγηση της Δεύτερης Προτεινόμενης Τεχνικής

Στη συνέχεια θα μελετήσουμε τη δεύτερη συνδεσμολογία που επιλέχθηκε και φαίνεται στο σχήμα 6.14. Το κύκλωμα που χρησιμοποιήσαμε στις προσομοιώσεις αποτελείται από 15 πύλες σε σειρά, όπου εναλλάσσονται πύλες NAND και NOR με βραχυκυκλωμένες τις δύο εισόδους (συνδεσμολογία NOT) όπως φαίνεται στο σχήμα 6.15. Χρησιμοποιήσαμε 8 NAND και 7 NOR με την πρώτη πύλη να είναι NAND. Θέσαμε την τάση τροφοδοσίας $V_{DD} = 1V$ πήραμε περίοδο του σήματος εισόδου INP στα 5ns. Για το σήμα enable στην πρώτη πύλη δόθηκε περίοδος 200ns. Το σήμα αυτό χρησιμοποιείται για την απενεργοποίηση του κυκλώματος ώστε να μετρηθεί η στατική κατανάλωση.



Σχήμα 6.14. Η Δεύτερη Προτεινόμενη Τοπολογία που Χρησιμοποιήθηκε στις Προσομοιώσεις της Παρούσας Ενότητας

Υλοποιήθηκαν δύο συνδεσμολογίες, μία με κλασσικές πύλες και μία με τις προτεινόμενες πύλες σύμφωνα με το σχήμα 6.15. Στην κλασσική υλοποίηση τα μεγέθη των PMOS και NMOS τρανζίστορ ήταν: α) για την NAND πύλη 640nm και 320nm αντίστοιχα και για την NOR 640nm και 160nm αντίστοιχα και χρησιμοποιήθηκαν τρανζίστορ χαμηλής τάσης καταφλίου. Στην υλοποίηση της προτεινόμενης μεθοδολογίας χρησιμοποιήθηκαν και πάλι τα προηγούμενα τρανζίστορ για τη λογική. Τα τρανζίστορ σε συνδεσμολογία διόδου έχουν υψηλή τάση καταφλίου (HV_I) και με παραμετρική ανάλυση επιλέχθηκαν τα πλάτη τους W στις πύλες NAND και NOR αντίστοιχα να είναι 355nm και 160nm. Τέλος, η ταλάντευση του σήματος (signal swing) στην έξοδο των πυλών ήταν 0V – 730mV.



Σχήμα 6.15. Το κύκλωμα που Χρησιμοποιήθηκε στις Προσομοιώσεις σε Επίπεδο-Πύλης

Με βάση τα επιλεγμένα W το μέσο κόστος σε επιφάνεια που εισάγει η τεχνική (C%) είναι

$$C = \frac{(W_{diode-con_NAND} + W_{diode-con_NOR})}{W_{NAND_total} + W_{NOR_total}} = 29.1\% \quad [\text{Εξ 6.9}]$$

Με στόχο να παρουσιάσουμε αποτελέσματα της καταναλισκόμενης ενέργειας σε ένα κύκλωμα που να προσεγγίζει το μέγεθος ενός πραγματικού ολοκληρωμένου κυκλώματος, χρησιμοποιήθηκαν πολλαπλά αντίγραφα της προαναφερόμενης συνδεσμολογίας. Έτσι στην κλασσική υλοποίηση αθροιστικά το συνολικό πλάτος των τρανζίστορ σε όλο το κύκλωμα ήταν:

$$W_{total} = 4.15 \times 10^6 \mu m \quad [\text{Εξ 6.10}]$$

Επειδή στην τεχνολογία που χρησιμοποιούμε (UMC 90nm) το ελάχιστο πλάτος για ένα τρανζίστορ είναι 120nm (W_{min}), ο αριθμός των μοναδιαίων τρανζίστορ στο κύκλωμα είναι:

$$\# \text{τρανζίστορ} = \frac{W_{total}}{W_{min}} = \frac{4.15 \times 10^6 \mu m}{120nm} = 34.58 \times 10^6 \quad [\text{Εξ 6.11}]$$

δηλαδή είναι της τάξης των δεκάδων εκατομμυρίων τρανζίστορ.

Τα αποτελέσματα των προσομοιώσεων στους 27° C για την καθυστέρηση διάδοσης σήματος, τη δυναμική κατανάλωση ενέργειας για μεταβάσεις 0->1 και 1->0 και για τη στατική κατανάλωση ενέργειας φαίνονται στον πίνακα 6.15 που ακολουθεί. Η στατική κατανάλωση ενέργειας μετρήθηκε θέτοντας τα σήματα enable και input και στις δύο καταστάσεις (0 και 1) για χρόνο 60ns και στον πίνακα επισημαίνεται με έντονη γραφή η χειρότερη περίπτωση. Επίσης σχεδιάστηκε και προσομοιώθηκε (υπό τις ίδιες συνθήκες) για λόγους σύγκρισης το ίδιο κύκλωμα με τη χρήση απλών – κλασσικών πυλών (αποτελούμενες από τρανζίστορ με χαμηλή τάση κατωφλίου (LV_1)). Στις προσομοιώσεις χρησιμοποιήθηκε τάση τροφοδοσίας V_{DD} τόσο στο 1V όσο και στα 730mV. Στόχος ήταν να συγκρίνουμε την προτεινόμενη σχεδίαση τόσο με την κλασσική (1V) όσο και με μια σχεδίαση που θα χρησιμοποιούσε διπλές τάσεις τροφοδοσίας (dual- V_{DD}) με δεύτερη τάση τα 730mV (η τάση επιλέχθηκε έτσι ώστε να έχουμε την ίδια ταλάντευση στα σήματα

εξόδου μεταξύ των δύο τεχνικών). Τα σχετικά αποτελέσματα παρουσιάζονται στον ίδιο πίνακα. Να επισημάνουμε ότι για τη dual- V_{DD} υλοποίηση συνδέσαμε τον ακροδέκτη του υποστρώματος των PMOS τρανζίστορ στην υψηλή τάση $V_H=1V$. Σε όλες τις περιπτώσεις, η κατανάλωση ενέργειας υπολογίστηκε ολοκληρώνοντας το ρεύμα της τροφοδοσίας (φορτίο από την τροφοδοσία) και πολλαπλασιάζοντάς το με την τάση της τροφοδοσίας.

Για τη δυναμική κατανάλωση ενέργειας της τεχνικής με την υπόθεση dual- V_{DD} , λήφθηκε υπόψη και η διαρροή λόγω της διαφοράς τάσης μεταξύ υποστρώματος και υποδοχής στα PMOS τρανζίστορ.

Πίνακας 6.15. Συγκριτικά Αποτελέσματα Προσομοιώσεων με HV_t Διοδικό Τρανζίστορ

Συνδεσμολογία	Καθυστέρηση σήματος	Δυναμική ενέργεια (στα 5 ns)	Στατική ενέργεια
Συνδεσμολογία NAND- NOR με την προτεινόμενη τεχνική	1.34 ns	4.98 nJ	0-0: 400.4pJ 1-1: 6.83 nJ
	248.72%	-54.23%	0-0: -22.63% 1-1: -39.34
Συνδεσμολογία NAND- NOR με την υπόθεση της τεχνικής dual $V_{DD}=730$ mV	600 ps	7.9nJ	0-0: 228.4 pJ 1-1: 2.89 nJ
	56.14%	-27.39%	0-0: -55.87% 1-1: -74.33%
Κλασσική Συνδεσμολογία NAND-NOR $V_{DD}=1V$	384.26 ps	10.88 nJ	0-0: 517.52pJ 1-1: 11.26nJ

Οι προηγούμενες προσομοιώσεις επαναλήφθηκαν με τη χρήση διοδικού τρανζίστορ με χαμηλή τάση κατωφλίου (LV_t) και τα αποτελέσματα παρουσιάζονται στον Πίνακα 6.16. Εξαιτίας της χρήσης χαμηλής τάσης κατωφλίου το νέο εύρος ταλάντευσης των σημάτων είναι 0V – 897mV.

Πίνακας 6.16. Συγκριτικά Αποτελέσματα Προσομοιώσεων με LV_t Διοδικό Τρανζίστορ

Συνδεσμολογία	Καθυστέρηση σήματος	Δυναμική ενέργεια	Στατική ενέργεια
Συνδεσμολογία NAND- NOR με την προτεινόμενη τεχνική	837.59ps	8.05 nJ	0-0: 431.37pJ 1-1: 9.76 nJ
	117.97%	-26.01%	0-0: -16.65% 1-1: -13.32%
Συνδεσμολογία NAND- NOR με την υπόθεση της τεχνικής dual V _{DD} = 897 mV	444.25 ps	9.92nJ	0-0: 378.5 pJ 1-1: 6.37 nJ
	15.61%	-8.83%	0-0: -26.86% 1-1: -43.43%
Κλασσική Συνδεσμολογία NAND-NOR V _{DD} = 1V	384.26 ps	10.88 nJ	0-0: 517.51pJ 1-1: 11.26nJ

Στη συνέχεια θα εξετάσουμε τη μετρική του γινομένου της δυναμικής ενέργειας επί την καθυστέρηση (energy-delay product – EDP) για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή και χαμηλή τάση κατωφλίου (HV_t και LV_t αντίστοιχα).

$$EDP_{\text{κλασσική}} = (0.384\text{ns} \times 10.88\text{nJ}) = 4.18\text{ns} \times \text{nJ}$$

Για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή τάση κατωφλίου HV_t :

$$EDP_{\text{πρωτ}} = (1.34\text{ns} \times 4.978\text{nJ}) = 6.67\text{ns} \times \text{nJ}$$

$$EDP_{\text{dual_vdd}} = (0.6\text{ns} \times 7.9\text{nJ}) = 4.74\text{ns} \times \text{nJ}$$

Άρα η μετρική του γινομένου της δυναμικής ενέργειας επί την καθυστέρηση (energy-delay product – EDP) αυξάνει στην τεχνική μας σε σχέση με την κλασσική συνδεσμολογία κατά 59.56% ενώ η αντίστοιχη μετρική για την τεχνική dual V_{DD} αυξάνει κατά 13.37% σε σχέση με την κλασσική συνδεσμολογία.

Για τρανζίστορ σε συνδεσμολογία διόδου με χαμηλή τάση κατωφλίου LV_t:

$$EDP_{\text{πρωτ}} = (0.838\text{ns} \times 8.049\text{nJ}) = 6.75\text{ns} \times \text{nJ}$$

$$EDP_{dual_vdd} = (0.444ns \times 9.922nJ) = 4.41ns \times nJ$$

Άρα η μετρική του γινομένου της δυναμικής ενέργειας επί την καθυστέρηση (energy-delay product – EDP) αυξάνει στην τεχνική μας σε σχέση με την κλασική συνδεσμολογία κατά 61.44% ενώ η αντίστοιχη μετρική για την τεχνική dual V_{DD} αυξάνει κατά 5.48% σε σχέση με την κλασική συνδεσμολογία.

Παρατηρούμε από τα αποτελέσματα των πινάκων 6.15 και 6.16 είναι ότι η δυναμική κατανάλωση στην προτεινόμενη τεχνική είναι μειωμένη σε σχέση με τη dual V_{DD} (4.98nJ έναντι 7.9nJ και 8.05nJ έναντι 9.92nJ). Καθώς στην προτεινόμενη τεχνική χρησιμοποιούμε ένα τρανζίστορ επιπλέον, με την πύλη και την υποδοχή βραχυκυκλωμένες σύμφωνα με το σχήμα 6.14, έχουμε αυξήσει την παρασιτική χωρητικότητα της πύλης και η δυναμική κατανάλωση θα μπορούσε να επηρεαστεί αρνητικά. Αυτό δεν συμβαίνει καθώς όταν άγει το PMOS δικτύωμα τότε το ρεύμα που διαρρέει το PMOS φορτίζει την χωρητικότητα της εξόδου αποθηκεύοντας σε αυτή ενέργεια $\frac{1}{2}CV^2_{DD}$ (ενώ επιπρόσθετα ενέργεια ίση με $\frac{1}{2}CV^2_{DD}$ καταναλώνεται στο PMOS τρανζίστορ). Προφανώς, σύμφωνα με τις αρχές σχεδίασης στη CMOS τεχνολογία, όταν άγει το PMOS δικτύωμα δεν άγει το NMOS δικτύωμα. Άρα δεν μπορεί να φορτιστεί η παρασιτική χωρητικότητα στην υποδοχή του NMOS τρανζίστορ σε συνδεσμολογία διόδου. Η τάση σε αυτό τον κόμβο παραμένει ίση με την τάση κατωφλίου V_t του NMOS τρανζίστορ. Κατά την αποφόρτιση του κόμβου εξόδου, άγει το NMOS δικτύωμα και δεν άγει το PMOS δικτύωμα οπότε δεν καταναλώνεται έξτρα ενέργεια από την τροφοδοσία για να φορτιστεί η χωρητικότητα του τρανζίστορ σε συνδεσμολογία διόδου για αυτό με την παρουσία του δεν παρατηρείται αύξηση στη δυναμική κατανάλωση ενέργειας.

Στην τεχνική dual V_{DD} επειδή υπάρχει διαφορά δυναμικού μεταξύ υποστρώματος και πηγής (bulk και source) έχουμε ένα ρεύμα διαρροής της σχετικής επαφής p-n που αυξάνει την κατανάλωση ενέργειας. Στο σχήμα 6.16 βλέπουμε έναν αναστροφέα με την τεχνική dual - V_{DD} . Διακρίνουμε δύο ρεύματα διαρροής I_1 και I_2 . Το I_1 είναι το ρεύμα αναστροφής

πόλωσης της διόδου των p- n επαφών υποστρώματος και πηγής του PMOS τρανζίστορ. Αυτό το ρεύμα διαρροής προκύπτει από τη διαφορά δυναμικού μεταξύ υποστρώματος και πηγής ($V_{DDhigh} - V_{DDlow}$). Το I_2 είναι ένα μόνιμο ρεύμα διαρροής ανάστροφης πόλωσης μεταξύ υποστρώματος και υποδοχής όπου έχουμε διαφορά δυναμικού ($V_{DDhigh} - V_{out}$).

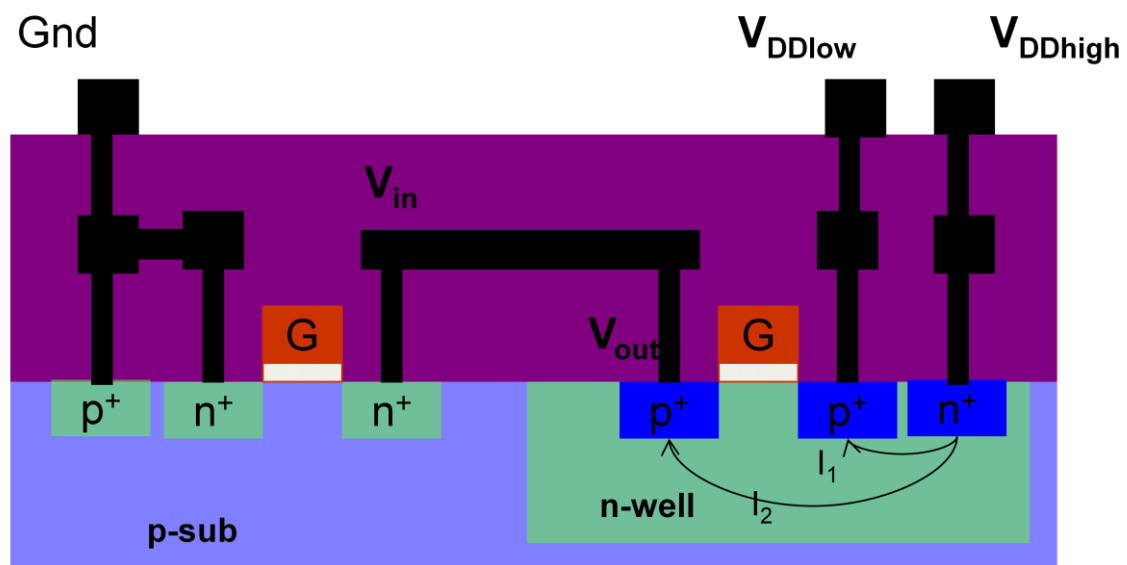
Επίσης, στην τεχνική dual V_{DD} επειδή $|V_{sb}| \neq 0$ για το PMOS τρανζίστορ, όπως αναφέραμε στην προηγούμενη ενότητα, υπάρχει η επίδραση του φαινομένου σώματος σύμφωνα με τη σχέση:

$$V_t = V_{t0} + \gamma \left[\sqrt{(2\phi_b + |V_{sb}|)} - \sqrt{2\phi_b} \right] \quad [\text{Εξ 6.12}]$$

$$\text{Όπου } \gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{si}N_A} = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}N_A}$$

V_{t0} = τάση κατωφλίου για $V_{sb}=0$

γ =σταθερά (συνήθως 0.4- 1.2)



Σχήμα 6.16. Αναστροφείας με την Τεχνική Dual- V_{DD}

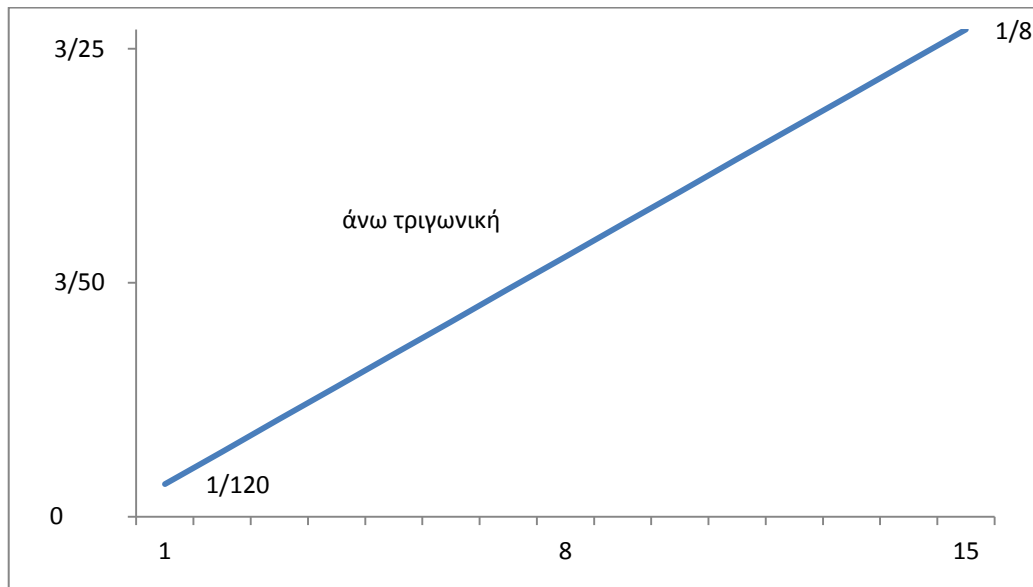
Η προτεινόμενη τεχνική όπως φαίνεται και στους πίνακες 6.15 και 6.16 έχει υψηλότερη στατική κατανάλωση από την τεχνική dual - V_{DD} (π.χ. για τρανζίστορ σε συνδεσμολογία

διόδου με HV_i η στατική κατανάλωση μειώνεται κατά 39.34% σε σχέση με την κλασσική συνδεσμολογία, ενώ η τεχνική dual - V_{DD} κατά 74.33%). Όπως παρατηρούμε στο σχήμα 6.14 όταν δεν άγει το PMOS δικτύωμα η συμπεριφορά του κυκλώματος ως προς τη στατική κατανάλωση είναι ίδια με αυτή της κλασσικής συνδεσμολογίας και συνεπώς δεν υπάρχει σημαντικό κέρδος στην στατική κατανάλωση παρά μόνο εξαιτίας της εν σειρά αντίστασης που εισάγει το τρανζίστορ σε συνδεσμολογία διόδου. Στην περίπτωση της dual - V_{DD} τεχνικής η τάση τροφοδοσίας είναι ίση με $V_{DD} - V_t$ οπότε έχουμε μειωμένη στατική κατανάλωση είτε δεν άγει το PMOS δικτύωμα είτε δεν άγει το NMOS δικτύωμα.

6.6.1 Αναλυτική Μελέτη της Προτεινόμενης Τεχνικής

Στην παρούσα ενότητα θα μελετήσουμε εκτενέστερα την εφαρμογή της προτεινόμενης τεχνικής, με τη θεώρηση διαφορετικών κατανομών στον αριθμό των πυλών στις διαδρομές σήματος στο κύκλωμα. Θεωρούμε κύκλωμα που αποτελείται από 10^6 πύλες. Ο μέγιστος αριθμός πυλών σε μια διαδρομή σήματος είναι 15 πύλες. Συνεπώς υπάρχουν 15 διαφορετικοί τύποι διαδρομών (δηλ. διαδρομές με 1 πύλη, με 2 πύλες, κ.ο.κ).

- 1) Αρχικά θα εξετάσουμε μια κατανομή πυλών όπου η μεγάλη πλειοψηφία των διαδρομών αποτελείται από μεγάλο αριθμό πυλών. Η κατανομή φαίνεται στο σχήμα 6.17 και θα την ονομάσουμε άνω-τριγωνική κατανομή.



Σχήμα 6.17. Άνω Τριγωνική Κατανομή

- a) Αρχικά μελετάμε την τεχνική με διοδικά τρανζίστορ υψηλής τάσης κατωφλίου (HVt).

Στην άνω τριγωνική κατανομή οι διαδρομές με πολλές πύλες έχουν μεγαλύτερη συχνότητα εμφάνισης στο κύκλωμα (έχουν μεγαλύτερο βάρος). Για να το αποδώσουμε αυτή την κατανομή, χρησιμοποιούμε συντελεστές (βάρη) με βάση την αριθμητική πρόοδο:

$$1+2+3+\dots+v=v(v+1)/2 \quad [\text{Εξ 6.13}]$$

όπου εδώ $v=15$, άρα $1+2+3+\dots+15=15 \cdot 16/2=15 \cdot 8=120$.

$$\text{Συνεπώς: } \sum_{i=1}^{i=15} \left(\frac{i}{120} \times 10^6 \right) = \frac{15 \times 16/2}{120} \times 10^6 = 10^6$$

Θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για άνω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών της δικής μας τεχνικής και της standard τεχνικής. Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με τη δική μας τεχνική σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που

αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα ακόλουθα:

- Για διαδρομές μέχρι τεσσάρων πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές μέχρι εννέα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δέκα και έντεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε δυο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατριών και δεκατεσσάρων πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τον προηγούμενο τύπο της άνω τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την προτεινόμενη τεχνική υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=4} \left(\left(\frac{i \times 10^6}{120} \right) \times (i \times E_{prop}) \right) + \sum_{i=5}^9 \left(\left(\frac{i \times 10^6}{120} \right) \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) \\
 & + \sum_{i=10}^{11} \left(\left(\frac{i \times 10^6}{120} \right) \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \sum_{i=12}^{12} \left(\left(\frac{i \times 10^6}{120} \right) \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \\
 & \sum_{i=13}^{14} \left(\left(\frac{i \times 10^6}{120} \right) \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\left(\frac{i \times 10^6}{120} \right) \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.14]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Στη συνέχεια, θα βρούμε τη δυναμική και στατική κατανάλωση, για άνω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών dual V_{DD} τεχνικής και της standard τεχνικής. Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με dual V_{DD} τεχνική σε μία

διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι δέκα πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την τεχνική dual V_{DD}
- Για διαδρομές μέχρι έντεκα πυλών, χρησιμοποιούμε επτά πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε έξι πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε τρεις πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε δύο πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τον τύπο της άνω τριγωνικής κατανομής που αναφέρθηκε παραπάνω, η δυναμική ή η στατική κατανάλωση για την τεχνική dual V_{DD} υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=10} \left(\left(\frac{i \times 10^6}{120} \right) \times (i \times E_{dual}) \right) + \sum_{i=11}^{i=11} \left(\left(\frac{i \times 10^6}{120} \right) \times (7 \times E_{dual} + (i - 7) \times E_{std}) \right) \\
 & + \sum_{i=12}^{i=12} \left(\left(\frac{i \times 10^6}{120} \right) \times (6 \times E_{dual} + (i - 6) \times E_{std}) \right) + \sum_{i=13}^{i=13} \left(\left(\frac{i \times 10^6}{120} \right) \times (3 \times E_{dual} + (i - 3) \times E_{std}) \right) + \\
 & \sum_{i=14}^{i=14} \left(\left(\frac{i \times 10^6}{120} \right) \times (2 \times E_{dual} + (i - 2) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\left(\frac{i \times 10^6}{120} \right) \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.15]

όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

Παρόμοια θα υπολογίσουμε τη δυναμική και στατική κατανάλωση στην περίπτωση της standard τεχνικής σχεδίασης για την ίδια κατανομή. Αυτή δίνεται από τον παρακάτω τύπο:

$$E_{tot} = \sum_{i=1}^{i=15} \left(\left(\frac{i \times 10^6}{120} \right) \times (i \times E_{std}) \right) = \left(\frac{E_{std}}{120} \times 10^6 \right) \times \sum_{i=1}^{15} (i^2) = \left(\frac{E_{std}}{120} \times 10^6 \right) \times 1240 \quad [\text{Εξ 6.16}]$$

Ο πίνακας 6.17 παρουσιάζει τα αποτελέσματα.

Πίνακας 6.17. Δυναμική και Στατική Κατανάλωση για την Άνω Τριγωνική Κατανομή με Χρήση HVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V _{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	112.43 mJ	98.46 mJ (12.42%)	97.5 mJ (13.28%)
Στατική κατανάλωση	116.31 mJ	105.83 mJ (9.01%)	74.41 mJ (36.03%)

b) Ακολουθεί η μελέτη της τεχνικής με διοδικά τρανζίστορ χαμηλής τάσης κατωφλίου (LV_t).

Με το ίδιο σκεπτικό, όπως στην περίπτωση HV_t θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για άνω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών δικής μας τεχνικής και της standard. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι επτά πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές οκτώ πυλών, χρησιμοποιούμε επτά πύλες με τη δική μας τεχνική και μία με την standard τεχνική
- Για διαδρομές εννέα πυλών, χρησιμοποιούμε έξι πύλες με τη δική μας τεχνική και τις υπόλοιπες τρεις πύλες με την standard τεχνική
- Για διαδρομές δέκα πυλών, χρησιμοποιούμε πέντε πύλες με τη δική μας τεχνική και τις υπόλοιπες πέντε πύλες με την standard τεχνική
- Για διαδρομές έντεκα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες επτά πύλες με την standard τεχνική

- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες εννέα πύλες με την standard τεχνική
- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες έντεκα πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων και δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική

Με βάση τον τύπο της άνω τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την προτεινόμενη τεχνική υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=7} \left(\left(\frac{i \times 10^6}{120} \right) \times (i \times E_{prop}) \right) + \sum_{i=8}^8 \left(\left(\frac{i \times 10^6}{120} \right) \times (7 \times E_{prop} + (i-7) \times E_{std}) \right) \\
 & + \sum_{i=9}^9 \left(\left(\frac{i \times 10^6}{120} \right) \times (6 \times E_{prop} + (i-6) \times E_{std}) \right) + \sum_{i=10}^{10} \left(\left(\frac{i \times 10^6}{120} \right) \times (5 \times E_{prop} + (i-5) \times E_{std}) \right) + \\
 & \sum_{i=11}^{11} \left(\left(\frac{i \times 10^6}{120} \right) \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) + \sum_{i=12}^{12} \left(\left(\frac{i \times 10^6}{120} \right) \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) \\
 & \sum_{i=13}^{13} \left(\left(\frac{i \times 10^6}{120} \right) \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=14}^{15} \left(\left(\frac{i \times 10^6}{120} \right) \times (E_{prop} + (i-1) \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.17]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Με το ίδιο σκεπτικό, θα προσπαθήσουμε να βρούμε τη δυναμική και στατική κατανάλωση, για άνω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών dual V_{DD} τεχνικής και της standard τεχνικής. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι δεκατριών πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την τεχνική dual V_{DD}
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε οκτώ πύλες με την τεχνική dual V_{DD} και επτά με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με την τεχνική dual V_{DD} και τις δεκατέσσερις πύλες με την standard τεχνική

Με βάση τον τύπο της άνω τριγωνικής κατανομής που αναφέρθηκε παραπάνω, η δυναμική ή η στατική κατανάλωση για τη dual V_{DD} τεχνική υπολογίζεται ως ακολούθως:

$$E_{tot} = \sum_{i=1}^{13} \left(\left(\frac{i \times 10^6}{120} \right) \times (i \times E_{dual}) \right) + \sum_{i=14}^{14} \left(\left(\frac{i \times 10^6}{120} \right) \times (8 \times E_{dual} + (i - 8) \times E_{std}) \right) + \sum_{i=15}^{15} \left(\left(\frac{i \times 10^6}{120} \right) \times (E_{dual} + (i - 1) \times E_{std}) \right) \quad [\text{Εξ. 6.18}]$$

όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

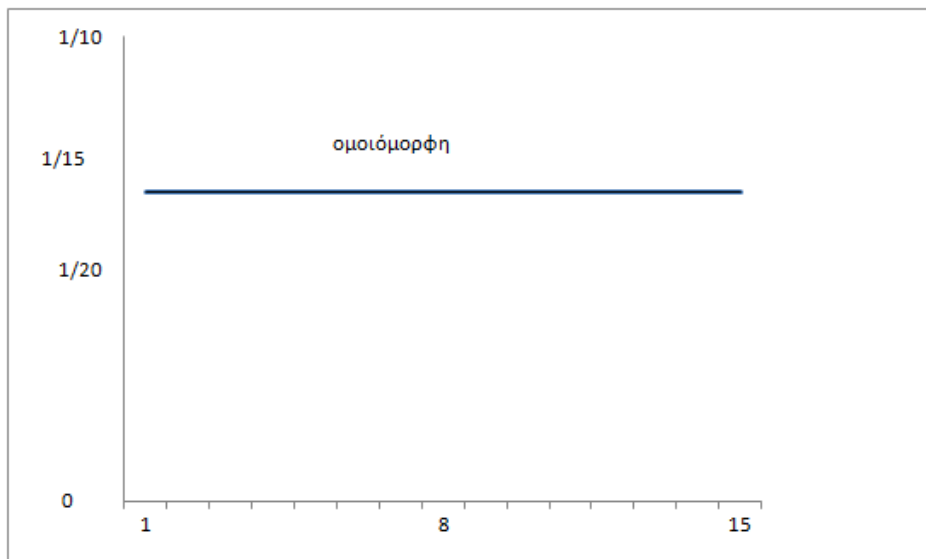
Ο τύπος για standard συνδεσμολογία είναι ίδιος με την εξίσωση [6.16].

Τα αποτελέσματα παρουσιάζονται στον πίνακα 6.18.

Πίνακας 6.18. Δυναμική και Στατική Κατανάλωση για την Άνω Τριγωνική Κατανομή με Χρήση LVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V_{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	112.43 mJ	102.16 mJ (9.13%)	104.87 mJ (6.72%)
Στατική κατανάλωση	116.31 mJ	110.9 mJ (4.65%)	77.79 mJ (33.12%)

- 2) Στη συνέχεια, θα εξετάσουμε μια κατανομή πυλών όπου όλοι οι τύποι διαδρομής μέσα στο κύκλωμα έχουν την ίδια πιθανότητα εμφάνισης (1/15). Η κατανομή φαίνεται στο σχήμα 6.18 και θα την ονομάσουμε ομοιόμορφη κατανομή.



Σχήμα 6.18. Ομοιόμορφη Κατανομή

- a) Αρχικά μελετάμε την τεχνική με διοδικά τρανζίστορ υψηλής τάσης κατοφλίου (HVt).

Αν η κατανομή των πυλών σε κάθε τύπο διαδρομής μέσα στο κύκλωμα είναι ομοιόμορφη τότε σημαίνει ότι σε κάθε τύπο έχουμε το $1/15$ των πυλών. Θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για ομοιόμορφη κατανομή, με το βέλτιστο συνδυασμό πυλών της δικής μας τεχνικής και της standard τεχνικής. Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με τη δική μας τεχνική σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα ακόλουθα:

- Για διαδρομές μέχρι τεσσάρων πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές μέχρι εννέα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δέκα και έντεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε δυο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική

- Για διαδρομές δεκατριών και δεκατεσσάρων πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τα προηγούμενα για την ομοιόμορφη κατανομή, η δυναμική ή η στατική κατανάλωση για την προτεινόμενη τεχνική υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=4} \left(\frac{10^6}{15} \times (i \times E_{prop}) \right) + \sum_{i=5}^9 \left(\frac{10^6}{15} \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) \\
 & + \sum_{i=10}^{11} \left(\frac{10^6}{15} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \sum_{i=12}^{12} \left(\frac{10^6}{15} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \\
 & \sum_{i=13}^{14} \left(\frac{10^6}{15} \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{10^6}{15} \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.19]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Στη συνέχεια, θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για ομοιόμορφη κατανομή, με το βέλτιστο συνδυασμό πυλών της τεχνικής dual V_{DD} και της standard τεχνικής. Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με της τεχνικής dual V_{DD} σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα ακόλουθα:

- Για διαδρομές μέχρι δέκα πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την τεχνική dual V_{DD}
- Για διαδρομές μέχρι έντεκα πυλών, χρησιμοποιούμε επτά πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε έξι πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική

- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε τρεις πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε δύο πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τα προηγούμενα για την ομοιόμορφη κατανομή, η δυναμική ή η στατική κατανάλωση για την τεχνική dual V_{DD} υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{10} \left(\frac{10^6}{15} \times (i \times E_{dual}) \right) + \sum_{i=11}^{11} \left(\frac{10^6}{15} \times (7 \times E_{dual} + (i-7) \times E_{std}) \right) \\
 & + \sum_{i=12}^{12} \left(\frac{10^6}{15} \times (6 \times E_{dual} + (i-6) \times E_{std}) \right) + \sum_{i=13}^{13} \left(\frac{10^6}{15} \times (3 \times E_{dual} + (i-3) \times E_{std}) \right) + \\
 & \sum_{i=14}^{14} \left(\frac{10^6}{15} \times (2 \times E_{dual} + (i-2) \times E_{std}) \right) + \sum_{i=15}^{15} \left(\frac{10^6}{15} \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.20]

όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

Παρόμοια θα υπολογίσουμε τη δυναμική και στατική κατανάλωση στην περίπτωση της standard τεχνικής σχεδίασης για την ίδια κατανομή. Αυτή δίνεται από τον παρακάτω τύπο:

$$E_{tot} = \sum_{i=1}^{15} \left(\frac{10^6}{15} \times (i \times E_{std}) \right) = \left(\frac{10^6}{15} \times E_{std} \right) \times \sum_{i=1}^{15} (i) = \left(\frac{10^6}{15} \times E_{std} \right) \times 120 = 8 \times E_{std} \times 10^6$$

[Εξ 6.21]

Ο πίνακας 6.19 παρουσιάζει τα αποτελέσματα.

Πίνακας 6.19. Δυναμική και Στατική Κατανάλωση για την Ομοιόμορφη Κατανομή με Χρήση HVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V _{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	87.04 mJ	71.3 mJ (18.08%)	72.54 mJ (16.66%)
Στατική κατανάλωση	90.05 mJ	78.24 mJ (13.11%)	49.33 mJ (45.22%)

b) Ακολουθεί η μελέτη της τεχνικής με διοδικά τρανζίστορ χαμηλής τάσης κατωφλίου (LV_t).

Με το ίδιο σκεπτικό, όπως στην περίπτωση HV_t θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για ομοιόμορφη κατανομή, με το βέλτιστο συνδυασμό πυλών δικής μας τεχνικής και της standard. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι επτά πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές οκτώ πυλών, χρησιμοποιούμε επτά πύλες με τη δική μας τεχνική και μία με την standard τεχνική
- Για διαδρομές εννέα πυλών, χρησιμοποιούμε έξι πύλες με τη δική μας τεχνική και τις υπόλοιπες τρεις πύλες με την standard τεχνική
- Για διαδρομές δέκα πυλών, χρησιμοποιούμε πέντε πύλες με τη δική μας τεχνική και τις υπόλοιπες πέντε πύλες με την standard τεχνική
- Για διαδρομές έντεκα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες επτά πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες εννέα πύλες με την standard τεχνική

- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες έντεκα πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων και δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=7} \left(\frac{10^6}{15} \times (i \times E_{prop}) \right) + \sum_{i=8}^8 \left(\frac{10^6}{15} \times (7 \times E_{prop} + (i-7) \times E_{std}) \right) \\
& + \sum_{i=9}^9 \left(\frac{10^6}{15} \times (6 \times E_{prop} + (i-6) \times E_{std}) \right) + \sum_{i=10}^{10} \left(\frac{10^6}{15} \times (5 \times E_{prop} + (i-5) \times E_{std}) \right) + \\
& \sum_{i=11}^{11} \left(\frac{10^6}{15} \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) + \sum_{i=12}^{12} \left(\frac{10^6}{15} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) \\
& \sum_{i=13}^{13} \left(\frac{10^6}{15} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=14}^{15} \left(\frac{10^6}{15} \times (E_{prop} + (i-1) \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.22]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Με το ίδιο σκεπτικό, θα βρούμε τη δυναμική και στατική κατανάλωση, για ομοιόμορφη κατανομή, με το βέλτιστο συνδυασμό πυλών τεχνικής dual V_{DD} και της standard τεχνικής. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι δεκατριών πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την τεχνική dual V_{DD}
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε οκτώ πύλες με την τεχνική dual V_{DD} και εφτά με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με την τεχνική dual V_{DD} και τις δεκατέσσερις πύλες με την standard τεχνική

Με βάση τον τύπο της ομοιόμορφης κατανομής, η δυναμική ή η στατική κατανάλωση για την τεχνική dual V_{DD} υπολογίζεται ως ακολούθως:

$$E_{tot} = \sum_{i=1}^{13} \left(\left(\frac{10^6}{15} \right) \times (i \times E_{dual}) \right) + \sum_{i=14}^{14} \left(\left(\frac{10^6}{15} \right) \times (8 \times E_{dual} + (i-8) \times E_{std}) \right) + \sum_{i=15}^{15} \left(\left(\frac{10^6}{15} \right) \times (E_{dual} + (i-1) \times E_{std}) \right)$$

[Εξ 6.23]

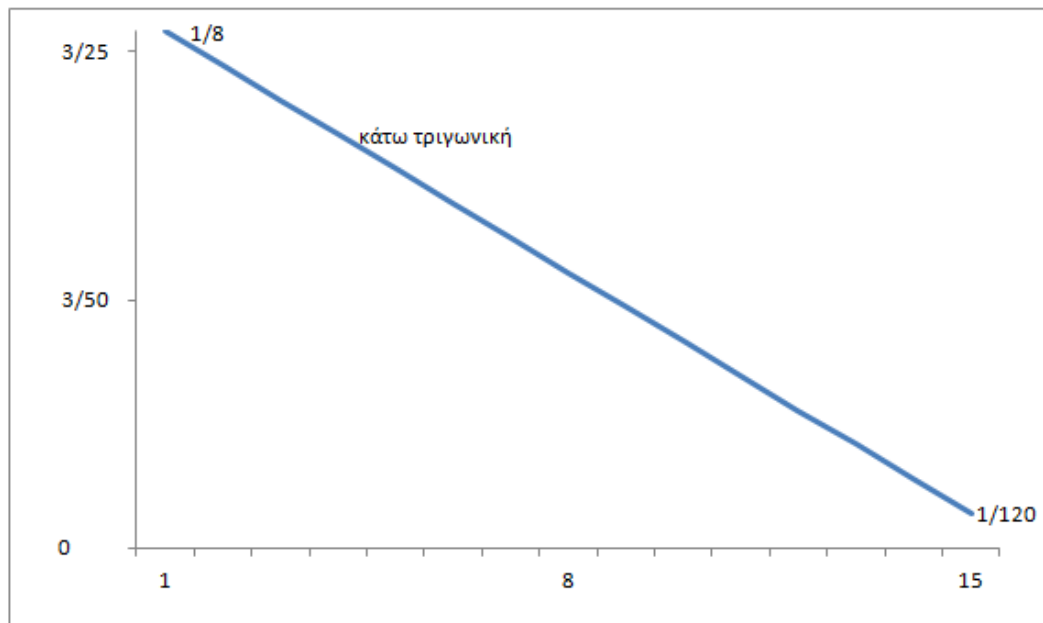
όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

Ο τύπος για την standard συνδεσμολογία είναι ο ίδιος με την εξίσωση [6.21]. Τα αποτελέσματα δίνονται στον πίνακα 6.20.

Πίνακας 6.20. Δυναμική και Στατική Κατανάλωση για την Ομοιόμορφη Κατανομή με Χρήση LVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V_{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	87.04 mJ	76.28 mJ (12.36%)	80.65 mJ (7.34%)
Στατική κατανάλωση	90.05 mJ	84.38 mJ (6.3%)	57.47 mJ (36.18%)

- 3) Στη συνέχεια, θα εξετάσουμε μια κατανομή πυλών όπου η μεγάλη πλειοψηφία των διαδρομών αποτελείται από μικρό αριθμό πυλών. Η κατανομή φαίνεται στο σχήμα 6.19 και θα την ονομάσουμε κάτω-τριγωνική κατανομή.



Σχήμα 6.19. Κάτω Τριγωνική Κατανομή

- a) Αρχικά μελετάμε την τεχνική με διοδικά τρανζίστορ υψηλής τάσης κατωφλίου (HVt).

Στην κάτω τριγωνική κατανομή οι διαδρομές με λίγες πύλες έχουν μεγαλύτερη συχνότητα εμφάνισης στο κύκλωμα (έχουν μεγαλύτερο βάρος). Για να το αποδώσουμε αυτή την κατανομή, χρησιμοποιούμε συντελεστές (βάρη) με βάση την αριθμητική πρόοδο:

$$(16-1)+(16-2)+(16-3)+\dots+(16-15)=n(16-1+16-15)/2 \quad [\text{Εξ } 6.24]$$

όπου εδώ $n=15$, άρα $(16-1)+(16-2)+(16-3)+\dots+(16-15)=15 \cdot 16/2=15 \cdot 8=120$.

$$\text{Συνεπώς: } \sum_{i=1}^{i=15} \left(\frac{16-i}{120} \times 10^6 \right) = \frac{15 \times 16/2}{120} \times 10^6 = 10^6$$

Θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για άνω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών της δικής μας τεχνικής και της standard τεχνικής. Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με τη δική μας τεχνική σε μία διαδρομή

ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα ακόλουθα:

- Για διαδρομές μέχρι τεσσάρων πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές μέχρι εννέα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δέκα και έντεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε δυο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατριών και δεκατεσσάρων πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τον προηγούμενο τύπο της κάτω τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την προτεινόμενη τεχνική υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=4} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (i \times E_{prop}) \right) + \sum_{i=5}^9 \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) \\
 & + \sum_{i=10}^{11} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \sum_{i=12}^{12} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) \\
 & + \sum_{i=13}^{14} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.25]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Στη συνέχεια, θα βρούμε τη δυναμική και στατική κατανάλωση, για άνω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών τεχνικής dual V_{DD} και της standard τεχνικής.

Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με την τεχνική dual V_{DD} σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι δέκα πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την Τεχνική dual V_{DD}
- Για διαδρομές μέχρι έντεκα πυλών, χρησιμοποιούμε επτά πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε έξι πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε τρεις πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε δύο πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τον προηγούμενο τύπο της κάτω τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την τεχνική dual V_{DD} υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=10} \left(\frac{(16-i) \times 10^6}{120} \times (i \times E_{dual}) \right) + \sum_{i=11}^{i=11} \left(\frac{(16-i) \times 10^6}{120} \times (7 \times E_{dual} + (i-7) \times E_{std}) \right) \\
 & + \sum_{i=12}^{i=12} \left(\frac{(16-i) \times 10^6}{120} \times (6 \times E_{dual} + (i-6) \times E_{std}) \right) + \sum_{i=13}^{i=13} \left(\frac{(16-i) \times 10^6}{120} \times (3 \times E_{dual} + (i-3) \times E_{std}) \right) + \\
 & \sum_{i=14}^{i=14} \left(\frac{(16-i) \times 10^6}{120} \times (2 \times E_{dual} + (i-2) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{(16-i) \times 10^6}{120} \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.26]

όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

Παρόμοια θα υπολογίσουμε τη δυναμική και στατική κατανάλωση στην περίπτωση της standard τεχνικής σχεδίασης για την ίδια κατανομή. Αυτή δίνεται από τον παρακάτω τύπο:

$$E_{tot} = \sum_{i=1}^{i=15} \left(\frac{(16-i) \times 10^6}{120} \right) \times (i \times E_{std}) = \left(\frac{E_{std}}{120} \times 10^6 \right) \times \sum_{i=1}^{15} (16-i) \times i = \left(\frac{E_{std}}{120} \times 10^6 \right) \times 680$$

[Εξ 6.27]

Τα αποτελέσματα δίνονται στον πίνακα 6.21.

Πίνακας 6.21. Δυναμική και Στατική Κατανάλωση για την Κάτω Τριγωνική Κατανομή με Χρήση HVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V _{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	61.65 mJ	44.14 mJ (28.4%)	47.57 mJ (22.84%)
Στατική κατανάλωση	63.78 mJ	50.65 mJ (20.6%)	24.25 mJ (61.98%)

b) Ακολουθεί η μελέτη της τεχνικής με διοδικά τρανζίστορ χαμηλής τάσης κατωφλίου (LV_t).

Με το ίδιο σκεπτικό, όπως στην περίπτωση HV_t θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για κάτω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών δικής μας τεχνικής και της standard. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι επτά πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές οκτώ πυλών, χρησιμοποιούμε επτά πύλες με τη δική μας τεχνική και μία με την standard τεχνική

- Για διαδρομές εννέα πυλών, χρησιμοποιούμε έξι πύλες με τη δική μας τεχνική και τις υπόλοιπες τρεις πύλες με την standard τεχνική
- Για διαδρομές δέκα πυλών, χρησιμοποιούμε πέντε πύλες με τη δική μας τεχνική και τις υπόλοιπες πέντε πύλες με την standard τεχνική
- Για διαδρομές έντεκα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες επτά πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες εννέα πύλες με την standard τεχνική
- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες έντεκα πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων και δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική

Με βάση τον τύπο της κάτω τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την προτεινόμενη τεχνική υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=7} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (i \times E_{prop}) \right) + \sum_{i=8}^8 \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (7 \times E_{prop} + (i-7) \times E_{std}) \right) \\
 & + \sum_{i=9}^9 \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (6 \times E_{prop} + (i-6) \times E_{std}) \right) + \sum_{i=10}^{10} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (5 \times E_{prop} + (i-5) \times E_{std}) \right) + \\
 & \sum_{i=11}^{11} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) + \sum_{i=12}^{12} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) \\
 & \sum_{i=13}^{13} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=14}^{15} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (E_{prop} + (i-1) \times E_{std}) \right)
 \end{aligned}$$

[6.28]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη τεχνική και τη standard τεχνική αντίστοιχα.

Με το ίδιο σκεπτικό, όπως πριν θα προσπαθήσουμε να βρούμε τη δυναμική και στατική κατανάλωση, για την κάτω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών τεχνικής dual V_{DD} και της standard. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι δεκατριών πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την τεχνική dual V_{DD}
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε οκτώ πύλες με την τεχνική dual V_{DD} και επτά με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με την τεχνική dual V_{DD} και τις δεκατέσσερις πύλες με την standard τεχνική

Με βάση τον τύπο της κάτω τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την τεχνική dual V_{DD} υπολογίζεται ως ακολούθως:

$$E_{tot} = \sum_{i=1}^{13} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (i \times E_{dual}) \right) + \sum_{i=14}^{14} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (8 \times E_{dual} + (i-8) \times E_{std}) \right) + \sum_{i=15}^{15} \left(\left(\frac{(16-i) \times 10^6}{120} \right) \times (E_{dual} + (i-1) \times E_{std}) \right)$$

[Εξ 6.29]

όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

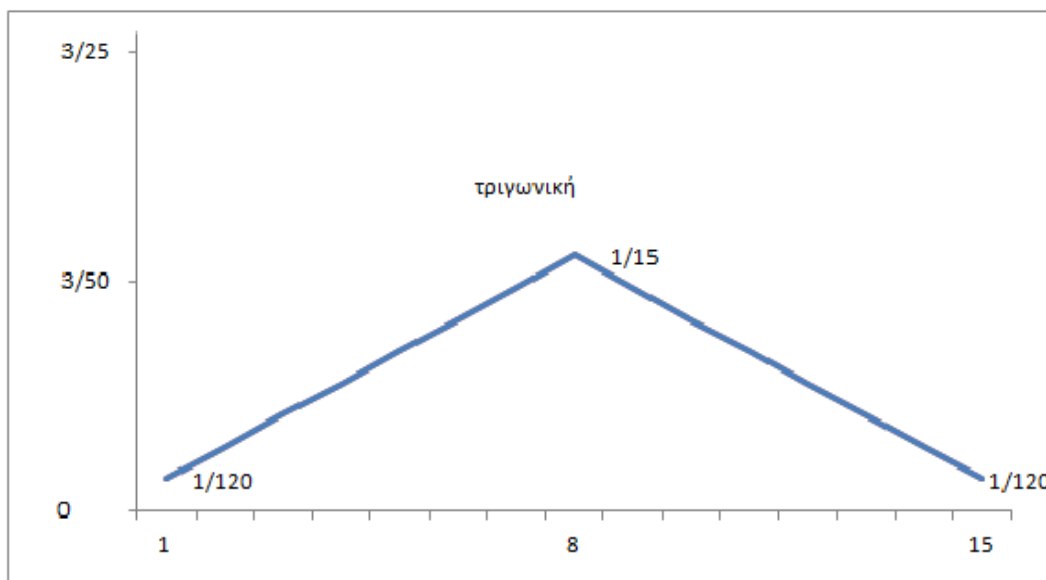
Ο τύπος για τη standard συνδεσμολογία είναι ίσος με την εξίσωση [6.27].

Τα αποτελέσματα δίνονται στον πίνακα 6.22.

Πίνακας 6.22. Δυναμική και Στατική Κατανάλωση για την Κάτω Τριγωνική Κατανομή με Χρήση LVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V_{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	61.65 mJ	50.4 mJ (18.25%)	56.43 mJ (8.47%)
Στατική κατανάλωση	63.78 mJ	57.85 mJ (9.31%)	37.15 mJ (41.76%)

- 4) Ακολούθως, θα εξετάσουμε μια κατανομή πυλών όπου η μεγάλη πλειοψηφία των διαδρομών αποτελείται από αριθμό πυλών κοντά στη μέση τιμή. Η κατανομή φαίνεται στο σχήμα 6.20 και θα την ονομάσουμε τριγωνική κατανομή.



Σχήμα 6.20. Τριγωνική Κατανομή

- a) Αρχικά μελετάμε την τεχνική με διοδικά τρανζίστορ υψηλής τάσης κατωφλίου (HVt).

Στην τριγωνική κατανομή οι διαδρομές με αριθμό πυλών κοντά στη μέση τιμή (δηλαδή στις 8 πύλες) έχουν μεγαλύτερη συχνότητα εμφάνισης στο κύκλωμα (έχουν μεγαλύτερο βάρος). Για να το αποδώσουμε αυτή την κατανομή, χρησιμοποιούμε συντελεστές (βάρη) με βάση την αριθμητική πρόοδο:

$$1+2+3+\dots+7+(16-8)+(16-9)+\dots+(16-15)=v_1(1+7)/2+v_2(16-8+16-15)/2 \quad [\text{Εξ } 6.30]$$

όπου εδώ $v_1=7$, $v_2=8$, άρα $1+2+3+\dots+7+(16-8)+(16-9)+(16-10)+\dots+(16-15)=7*(8/2)+8*(9/2)=28+36=64$.

$$\text{Συνεπώς: } \sum_{i=1}^{i=7} \left(\frac{i}{64} \times 10^6 \right) + \sum_{i=8}^{i=15} \left(\frac{(16-i)}{64} \times 10^6 \right) = \left(\frac{7 \times 8 / 2}{64} + \frac{8 \times 9 / 2}{64} \right) \times 10^6 = 10^6$$

Θα υπολογίσουμε τη δυναμική και στατική κατανάλωση, για τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών της δικής μας τεχνικής και της standard τεχνικής. Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με τη δική μας τεχνική σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα ακόλουθα:

- Για διαδρομές μέχρι τεσσάρων πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές μέχρι εννέα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δέκα και έντεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε δυο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατριών και δεκατεσσάρων πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τον προηγούμενο τύπο της τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την προτεινόμενη τεχνική υπολογίζεται ως ακολούθως:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=4} \left(\left(\frac{i \times 10^6}{64} \right) \times (i \times E_{prop}) \times 10^6 \right) + \sum_{i=5}^7 \left(\left(\frac{i \times 10^6}{64} \right) \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) \\
 & + \sum_{i=8}^9 \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) + \sum_{i=10}^{11} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \\
 & \sum_{i=12}^{12} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times ((2 \times E_{prop}) + (i-2) \times E_{std}) \right) + \sum_{i=13}^{14} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (E_{prop} + (i-1) \times E_{std}) \right) \\
 & + \sum_{i=15}^{i=15} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (i \times E_{std}) \right)
 \end{aligned}$$

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Στη συνέχεια, θα βρούμε τη δυναμική και στατική κατανάλωση, για άνω τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών τεχνικής dual V_{DD} και της standard τεχνικής. Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με την τεχνική dual V_{DD} σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.261ps), που είναι και ο άνω χρονικός περιορισμός. Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι δέκα πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την τεχνική dual V_{DD}
- Για διαδρομές μέχρι έντεκα πυλών, χρησιμοποιούμε επτά πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε έξι πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε τρεις πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε δύο πύλες με την τεχνική dual V_{DD} και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Με βάση τον προηγούμενο τύπο της τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την τεχνική dual V_{DD} υπολογίζεται ως ακολούθως:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=7} \left(\frac{i \times 10^6}{64} \times (i \times E_{dual}) \right) + \sum_{i=8}^{i=10} \left(\frac{(16-i) \times 10^6}{64} \times (i \times E_{dual}) \right) \\
& + \sum_{i=11}^{i=11} \left(\frac{(16-i) \times 10^6}{64} \times (7 \times E_{dual} + (i-7) \times E_{std}) \right) + \\
& \sum_{i=12}^{i=12} \left(\frac{(16-i) \times 10^6}{64} \times (6 \times E_{dual} + (i-6) \times E_{std}) \right) + \sum_{i=13}^{i=13} \left(\frac{(16-i) \times 10^6}{64} \times (3 \times E_{dual} + (i-3) \times E_{std}) \right) \\
& + \sum_{i=14}^{i=14} \left(\frac{(16-i) \times 10^6}{64} \times (2 \times E_{dual} + (i-2) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{(16-i) \times 10^6}{64} \times (i \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.32]

όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

Παρόμοια θα υπολογίσουμε τη δυναμική και στατική κατανάλωση στην περίπτωση της standard τεχνικής σχεδίασης για την ίδια κατανομή. Αυτή δίνεται από τον παρακάτω τύπο:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=7} \left(\left(\frac{i \times 10^6}{64} \right) \times (i \times E_{std}) \right) + \sum_{i=8}^{i=15} \left(\frac{(16-i)}{64} \times (i \times E_{std}) \right) = \\
& \left(\frac{E_{std}}{64} \times 10^6 \right) \times \left(\sum_{i=1}^7 (i^2) + \sum_{i=8}^{15} (16-i) \times i \right) = \left(\frac{E_{std}}{64} \times 10^6 \right) \times (140 + 372) = \left(\frac{E_{std}}{64} \times 10^6 \right) \times 512
\end{aligned}$$

[Εξ 6.33]

Ο πίνακας 6.23. παρουσιάζει τα αποτελέσματα.

Πίνακας 6.23. Δυναμική και Στατική Κατανάλωση για την Τριγωνική Κατανομή με Χρήση HVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V_{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	87.04 mJ	67.86 mJ (22.04%)	68.46 mJ (21.34%)
Στατική κατανάλωση	90.05 mJ	75.66 mJ (15.98%)	37.89 mJ (57.93%)

- b) Ακολουθεί η μελέτη της τεχνικής με διοδικά τρανζίστορ χαμηλής τάσης κατωφλίου (LV_i).

Με το ίδιο σκεπτικό, όπως στην περίπτωση HV_i θα προσπαθήσουμε να βρούμε τη δυναμική και στατική κατανάλωση, για τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών δικής μας τεχνικής και της standard. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι επτά πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές οκτώ πυλών, χρησιμοποιούμε επτά πύλες με τη δική μας τεχνική και μία με την standard τεχνική
- Για διαδρομές εννέα πυλών, χρησιμοποιούμε έξι πύλες με τη δική μας τεχνική και τις υπόλοιπες τρεις πύλες με την standard τεχνική
- Για διαδρομές δέκα πυλών, χρησιμοποιούμε πέντε πύλες με τη δική μας τεχνική και τις υπόλοιπες πέντε πύλες με την standard τεχνική
- Για διαδρομές έντεκα πυλών, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες επτά πύλες με την standard τεχνική
- Για διαδρομές δώδεκα πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες εννέα πύλες με την standard τεχνική
- Για διαδρομές δεκατριών πυλών, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες έντεκα πύλες με την standard τεχνική
- Για διαδρομές δεκατεσσάρων και δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική

Με βάση τον τύπο της τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την προτεινόμενη τεχνική υπολογίζεται ως ακολούθως:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=7} \left(\left(\frac{i \times 10^6}{64} \right) \times (i \times E_{prop}) \right) + \sum_{i=8}^8 \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (7 \times E_{prop} + (i-7) \times E_{std}) \right) \\
& + \sum_{i=9}^9 \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (6 \times E_{prop} + (i-6) \times E_{std}) \right) + \sum_{i=10}^{10} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (5 \times E_{prop} + (i-5) \times E_{std}) \right) + \\
& \sum_{i=11}^{11} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) + \sum_{i=12}^{12} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) \\
& \sum_{i=13}^{13} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=14}^{15} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (E_{prop} + (i-1) \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.34]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Με το ίδιο σκεπτικό, όπως πριν θα προσπαθήσουμε να βρούμε τη δυναμική και στατική κατανάλωση, για τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών της τεχνικής dual V_{DD} και της standard τεχνικής. Λαμβάνοντας υπόψη τους γνωστούς περιορισμούς, καταλήξαμε στα εξής:

- Για διαδρομές μέχρι δεκατριών πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την τεχνική dual V_{DD}
- Για διαδρομές δεκατεσσάρων πυλών, χρησιμοποιούμε οκτώ πύλες με την τεχνική dual V_{DD} και επτά με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μία πύλη με την τεχνική dual V_{DD} και τις δεκατέσσερις πύλες με την standard τεχνική

Με βάση τον τύπο της τριγωνικής κατανομής, η δυναμική ή η στατική κατανάλωση για την τεχνική dual V_{DD} υπολογίζεται ως ακολούθως:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=7} \left(\left(\frac{(i) \times 10^6}{64} \right) \times (i \times E_{dual}) \right) + \sum_{i=8}^{13} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (i \times E_{dual}) \right) \\
& + \sum_{i=14}^{14} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (8 \times E_{dual} + (i-8) \times E_{std}) \right) + \sum_{i=15}^{15} \left(\left(\frac{(16-i) \times 10^6}{64} \right) \times (E_{dual} + (i-1) \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.35]

όπου E_{dual} και E_{std} η σχετική κατανάλωση ενέργειας για τη dual V_{DD} και τη standard τεχνική αντίστοιχα.

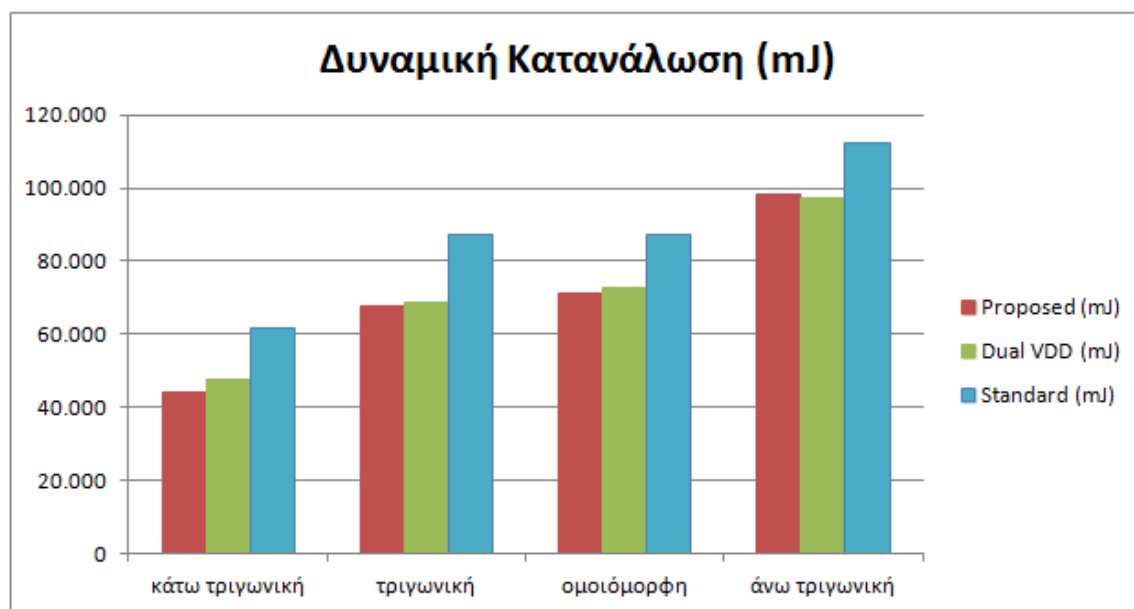
Ο τύπος για τη standard συνδεσμολογία είναι ίδιος με την εξίσωση [6.33]

Ο πίνακας 6.24. παρουσιάζει τα αποτελέσματα.

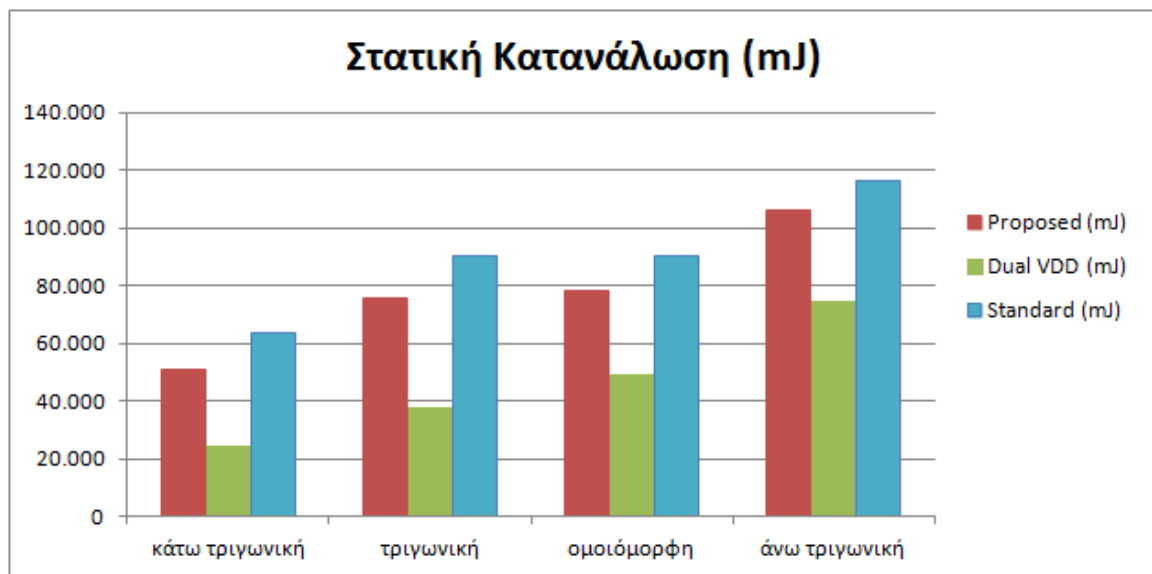
Πίνακας 6.24. Δυναμική και Στατική Κατανάλωση για την Τριγωνική Κατανομή με Χρήση LVt Διοδικό Τρανζίστορ

	Standard κύκλωμα	Προτεινόμενη τεχνική (Κέρδος ως προς standard)	Dual V_{DD} τεχνική (Κέρδος ως προς standard)
Δυναμική κατανάλωση	87.04 mJ	73.37 mJ (15.71%)	79.77 mJ (8.36%)
Στατική κατανάλωση	90.05 mJ	82.84 mJ (8.00%)	52.94 mJ (41.21%)

Οι γραφικές παραστάσεις όλων κατανομών για διοδικό τρανζίστορ με υψηλή τάση κατωφλίου (HV_t) για δυναμική ενέργεια και στατική ενέργεια δίνονται στο σχήμα 6.21 και 6.22 αντίστοιχα.

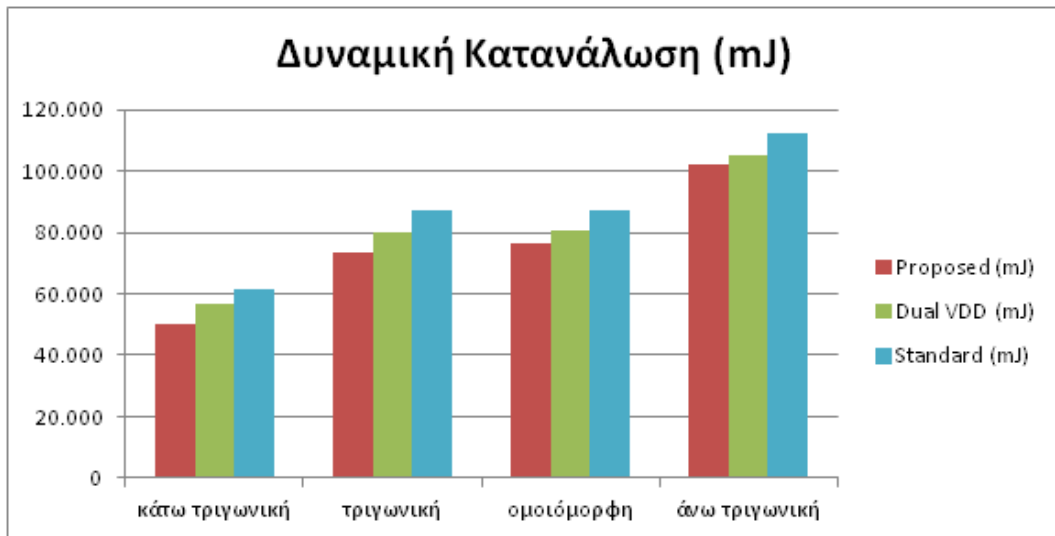


Σχήμα 6.21. Δυναμική Κατανάλωση για Διοδικό Τρανζίστορ με HV_t

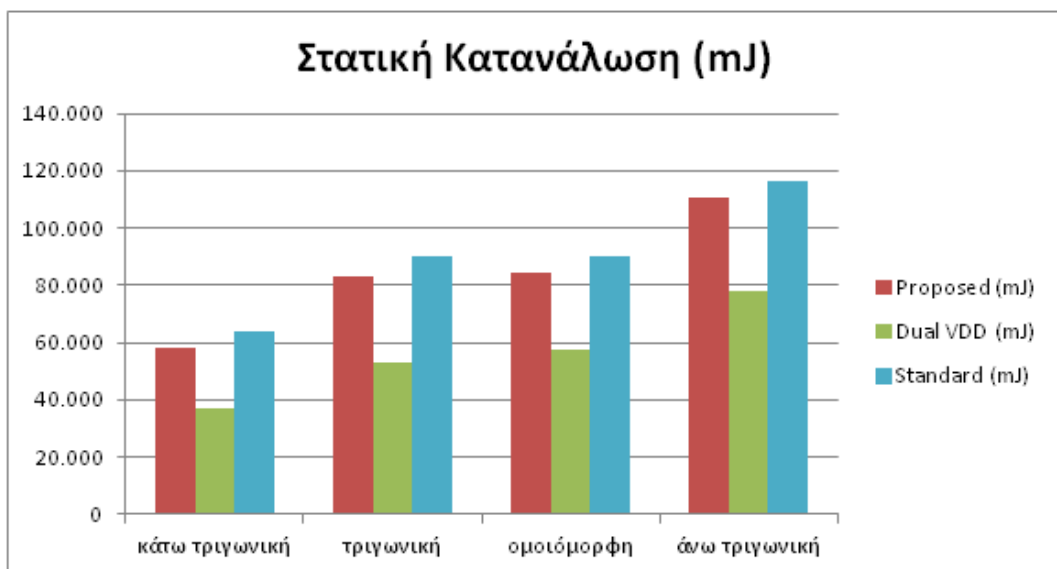


Σχήμα 6.22. Στατική Κατανάλωση για Διοδικό Τρανζίστορ με HV_i

Οι γραφικές παραστάσεις όλων κατανομών για διοδικό τρανζίστορ με χαμηλή τάση κατωφλίου (LV_i) για δυναμική ενέργεια και στατική ενέργεια δίνονται στο σχήμα 6.23 και 6.24 αντίστοιχα.



Σχήμα 6.23. Δυναμική Κατανάλωση για Διοδικό Τρανζίστορ με LV_t



Σχήμα 6.24. Στατική Κατανάλωση για Διοδικό Τρανζίστορ με LV_t

6.6.2 Μελέτη της Προτεινόμενης Τεχνικής ως προς το Μέγεθος του Τρανζίστορ σε Συνδεσμολογία Διόδου

Στην παρούσα ενότητα θα μελετήσουμε πως το μέγεθος (W) του χρησιμοποιούμενου τρανζίστορ σε συνδεσμολογία διόδου στην προτεινόμενη τεχνική επηρεάζει την αποτελεσματικότητά της. Μέχρι στιγμής χρησιμοποιήσαμε ένα τρανζίστορ συνδεσμολογίας διόδου στην πύλη NAND με $W=110\mu\text{m}$ και στην πύλη NOR με $W=50\mu\text{m}$ για το καθένα. Το άθροισμα των μεγεθών W των τρανζίστορ της πύλης NAND πριν της εισαγωγή του τρανζίστορ σε συνδεσμολογία διόδου είναι $300\mu\text{m}$ ενώ το αντίστοιχο W για την πύλη NOR είναι $250\mu\text{m}$. Συνεπώς, το μέσο κόστος (C) σε επιφάνεια ανά πύλη με την τεχνική που εισάγουμε είναι

$$C = \frac{(W_{\text{diode-con_NAND}} + W_{\text{diode-con_NOR}})}{W_{\text{NAND_total}} + W_{\text{NOR_total}}} = \frac{(110 + 50)\mu\text{m}}{(300 + 250)\mu\text{m}} = 29.091\% \quad [\text{Εξ 6.36}]$$

Με τα συγκεκριμένα W των τρανζίστορ σε συνδεσμολογία διόδου (diode-connected) βρήκαμε για την άνω τριγωνική, την ομοιόμορφη, την κάτω τριγωνική και την τριγωνική κατανομή τη δυναμική και στατική κατανάλωση, για τις περιπτώσεις διοδικού τρανζίστορ με HV_i και LV_i . Στην συνέχεια μεταβάλλαμε τα W των τρανζίστορ σε συνδεσμολογία διόδου των NAND και NOR πυλών ώστε η αύξηση σε κόστος σε επιφάνεια ανά πύλη (C) να είναι από 10% μέχρι 40%. Τα σχετικά μεγέθη των διοδικών τρανζίστορ W_d δίδονται στον πίνακα 6.25.

Πίνακας 6.25. Μεγέθη Διοδικών Τρανζίστορ

Μέσο κόστος σε επιφάνεια ανά πύλη (C)	W_d στην NAND	W_d στην NOR
10%	45 μm	10 μm
20%	80 μm	30 μm
30%	110 μm	50 μm
40%	150 μm	70 μm

Για μέσο κόστος σε επιφάνεια ανά πύλη C από 10% έως 40% έχουμε τα αποτελέσματα που δίνονται στον πίνακα 6.26 σε ότι αφορά την καθυστέρηση διάδοσης σήματος, τη δυναμική κατανάλωση και τη στατική κατανάλωση.

Πίνακας 6.26. Καθυστέρηση και Καταναλώσεις για Μεταβαλλόμενο Μέσο Κόστος (C)

Μέσο κόστος σε επιφάνεια ανά πύλη (C)	Καθυστέρηση σήματος	Δυναμική ενέργεια	Στατική ενέργεια
10%	1.59 ns	3.93 nJ	0-0: 2.59pJ 1-1: 3.33 nJ
20%	1.47 ns	4.9 nJ	0-0: 629.8pJ 1-1: 6.5 nJ
30%	1.34 ns	4.98 nJ	0-0: 600.4pJ 1-1: 6.83 nJ
40%	1.27 ns	5.4 nJ	0-0: 597.1pJ 1-1: 7 nJ

Θα υπολογίσουμε τη δυναμική κατανάλωση, για τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών της προτεινόμενης τεχνικής για μέσο κόστος σε επιφάνεια ανά πύλη C= 10%, 20% και 40% (το 30% το έχουμε εξετάσει ήδη) και λειτουργία των τρανζίστορ σε συνδεσμολογία διόδου σε HV_i. Όπως και νωρίτερα, με τον όρο βέλτιστο συνδυασμό πυλών εννοούμε τον μέγιστο αριθμό πυλών με τη δική μας τεχνική σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της διαδρομής που αποτελείται από δεκαπέντε πύλες με την standard τεχνική (384.26ps), που είναι και ο άνω χρονικός περιορισμός.

Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, και για μέσο κόστος σε επιφάνεια ανά πύλη C= 10% καταλήξαμε στα ακόλουθα αποτελέσματα:

- Για διαδρομές μέχρι τεσσάρων πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές πέντε πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και δύο πύλες με την standard τεχνική
- Για διαδρομές από έξι μέχρι δέκα πύλες, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από έντεκα μέχρι δεκατέσσερις πύλες, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική

- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Για τριγωνική κατανομή λοιπόν, ο τύπος διαμορφώνεται ως εξής:

$$\begin{aligned}
 E_{tot} = & \sum_{i=1}^{i=4} \left(\frac{i \times 10^6}{64} \times (i \times E_{prop}) \right) + \sum_{i=5}^5 \left(\frac{i \times 10^6}{64} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) \\
 & + \sum_{i=6}^7 \left(\frac{i \times 10^6}{64} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=8}^{10} \left(\frac{(16-i) \times 10^6}{64} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \\
 & \sum_{i=11}^{14} \left(\frac{(16-i) \times 10^6}{64} \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{(16-i) \times 10^6}{64} \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.37]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Αντίστοιχα για μέσο κόστος σε επιφάνεια ανά πύλη $C = 20\%$ προκύπτει ότι:

- Για διαδρομές μέχρι τεσσάρων πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές από πέντε ως επτά πύλες, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές οκτώ πυλών, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από εννέα μέχρι έντεκα πύλες, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από δώδεκα μέχρι δεκατέσσερις πύλες, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Για τριγωνική κατανομή λοιπόν, ο τύπος διαμορφώνεται ως εξής:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=4} \left(\frac{i \times 10^6}{64} \times (i \times E_{prop}) \right) + \sum_{i=5}^7 \left(\frac{i \times 10^6}{64} \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) \\
& + \sum_{i=8}^8 \left(\frac{(16-i) \times 10^6}{64} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \sum_{i=9}^{11} \left(\frac{(16-i) \times 10^6}{64} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \\
& \sum_{i=12}^{14} \left(\frac{(16-i) \times 10^6}{64} \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{(16-i) \times 10^6}{64} \times (i \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.38]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Τέλος για μέσο κόστος σε επιφάνεια ανά πύλη που εισάγει η τεχνική $C=40\%$ προκύπτει ότι:

- Για διαδρομές μέχρι τεσσάρων πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές από πέντε ως επτά πύλες, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από οκτώ έως δέκα πύλες, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από έντεκα μέχρι δεκατρείς πύλες, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από δεκατεσσάρων πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες με την standard τεχνική
- Για διαδρομές δεκαπέντε πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Για τριγωνική κατανομή λοιπόν, ο τύπος διαμορφώνεται ως εξής:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=4} \left(\frac{i \times 10^6}{64} \times (i \times E_{prop}) \right) + \sum_{i=5}^7 \left(\frac{i \times 10^6}{64} \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) \\
& + \sum_{i=8}^{10} \left(\frac{(16-i) \times 10^6}{64} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \sum_{i=11}^{13} \left(\frac{(16-i) \times 10^6}{64} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \\
& \sum_{i=14}^{14} \left(\frac{(16-i) \times 10^6}{64} \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{(16-i) \times 10^6}{64} \times (i \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.39]

όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Επίσης, θα διερευνήσουμε την περίπτωση του μέσου κόστους ανά πύλη που εισάγει η τεχνική $C = 10\%$ για όλες τις υπόλοιπες κατανομές δηλαδή για άνω τριγωνική, για ομοιόμορφη και για κάτω τριγωνική.

Για την άνω τριγωνική κατανομή και για κόστος $C=10\%$ προκύπτει:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=4} \left(\frac{i \times 10^6}{120} \times (i \times E_{prop}) \right) + \sum_{i=5}^5 \left(\frac{i \times 10^6}{120} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \\
& \sum_{i=6}^{10} \left(\frac{i \times 10^6}{120} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \\
& \sum_{i=11}^{14} \left(\frac{i \times 10^6}{120} \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{i \times 10^6}{120} \times (i \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.40]

Αντίστοιχα για ομοιόμορφη κατανομή προκύπτει:

$$\begin{aligned}
E_{tot} = & \sum_{i=1}^{i=4} \left(\frac{10^6}{15} \times (i \times E_{prop}) \right) + \sum_{i=5}^5 \left(\frac{10^6}{15} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \\
& \sum_{i=6}^{10} \left(\frac{10^6}{15} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=11}^{14} \left(\frac{10^6}{15} \times (E_{prop} + (i-1) \times E_{std}) \right) + \sum_{i=15}^{i=15} \left(\frac{10^6}{15} \times (i \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.41]

Και τέλος για άνω τριγωνική κατανομή προκύπτει:

$$\begin{aligned}
& \sum_{i=1}^{i=4} \left(\frac{(16-i) \times 10^6}{120} \times (i \times E_{prop}) \right) + \sum_{i=5}^5 \left(\frac{(16-i) \times 10^6}{120} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) + \\
& \sum_{i=6}^{10} \left(\frac{(16-i) \times 10^6}{120} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=11}^{14} \left(\frac{(16-i) \times 10^6}{120} \times (E_{prop} + (i-1) \times E_{std}) \right) \\
& + \sum_{i=15}^{i=15} \left(\frac{(16-i) \times 10^6}{120} \times (i \times E_{std}) \right)
\end{aligned}$$

[Εξ 6.42]

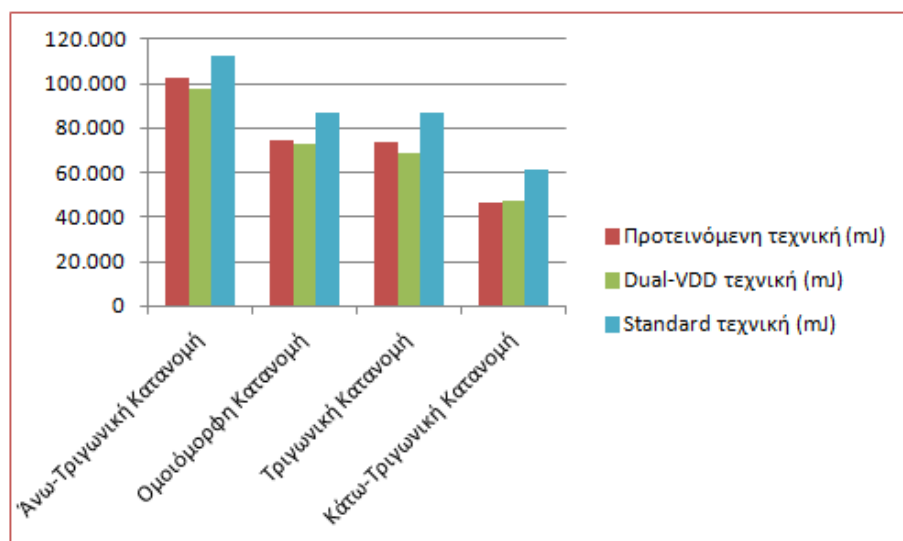
όπου E_{prop} και E_{std} η σχετική κατανάλωση ενέργειας για την προτεινόμενη και τη standard τεχνική αντίστοιχα.

Τα αποτελέσματα των ανωτέρω κατανομών για τη δυναμική κατανάλωση δίνονται στον πίνακα 6.27.

Πίνακας 6.27. Δυναμική Κατανάλωση και Κέρδη των Κατανομών για $C=10\%$

	Άνω-Τριγωνική Κατανομή	Ομοιόμορφη Κατανομή	Κάτω-Τριγωνική Κατανομή	Τριγωνική Κατανομή
Προτεινόμενη τεχνική	102.3mJ	74.54 mJ	46.78mJ	73.26mJ
	9.01%	14.37%	24.13%	15.84%
Dual- V_{DD} τεχνική	97.5mJ	72.54 mJ	47.57mJ	68.46mJ
	13.28%	16.66%	22.84%	21.34%
Standard τεχνική	112.43mJ	87.04mJ	61.65mJ	87.04

Η αντίστοιχη γραφική παράσταση για μέσο κόστος σε επιφάνεια ανά πύλη $C=30\%$ έχει ως ακολούθως:



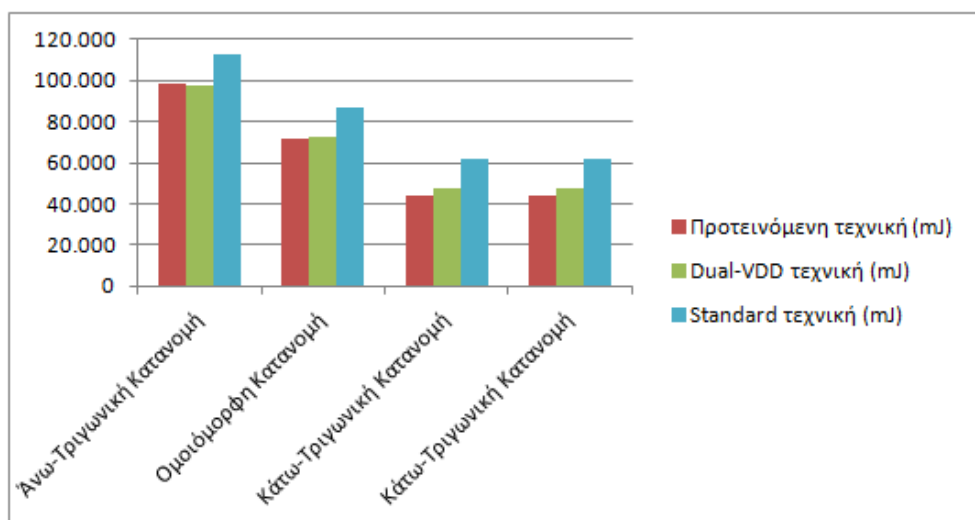
Σχήμα 6.25. Δυναμική Κατανάλωση Κατανομών για C=10%

Ο πίνακας 6.28 δυναμικής κατανάλωσης για μέσο κόστος σε επιφάνεια ανά πύλη C=30% έχει ως ακολούθως:

Πίνακας 6.28. Δυναμική κατανάλωση και Κέρδη των Κατανομών για C= 30%

	Ανω-Τριγωνική Κατανομή	Ομοιόμορφη Κατανομή	Κάτω-Τριγωνική Κατανομή	Τριγωνική Κατανομή
Προτεινόμενη τεχνική	98.46mJ	71.3 mJ	44.14mJ	67.86Mj
	12.42%	18.08%	28.4%	22.04%
Dual-V _{DD} τεχνική	97.5mJ	72.54 mJ	47.57mJ	68.46Mj
	13.28%	16.66%	22.84%	21.34%
Standard τεχνική	112.43mJ	87.04mJ	61.65mJ	87.04

Η αντίστοιχη γραφική παράσταση για μέσο κόστος σε επιφάνεια ανά πύλη C=30% έχει ως ακολούθως:



Σχήμα 6.26. Δυναμική Κατανάλωση Κατανομών για C=30%

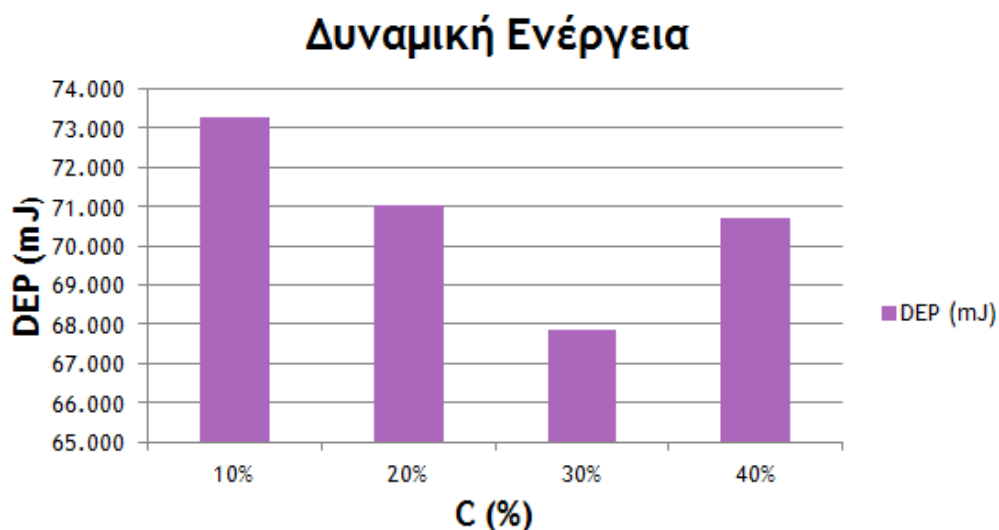
Πίνακας 6.29. Συγκεντρωτικός Πίνακας Τριγωνικής Κατανομής και Κερδών των Τεχνικών

C%	DE _P	DE _{DVDD}	DE _S	K _{P->S} %	K _{P->DVDD} %
10%	73.26 mJ	68.46 mJ	87.04mJ	15.84%	-7%
20%	71.05 mJ			18.37%	-3.78%
30%	67.86 mJ			22.04%	1%
40%	70.69 mJ			18.79%	-3.25%

Όπου **DE_P** είναι η δυναμική κατανάλωση της προτεινόμενης τεχνικής για τριγωνική κατανομή, **C%** είναι το μέσο κόστος ανά πύλη που εισάγει η προτεινόμενη τεχνική, **DE_{DVDD}** είναι η δυναμική κατανάλωση της τεχνικής dual V_{DD} για τριγωνική κατανομή και **DE_S** είναι η δυναμική κατανάλωση της standard συνδεσμολογίας για τριγωνική κατανομή. Επίσης δίνεται το κέρδος της προτεινόμενης τεχνικής ως προς τη δυναμική κατανάλωση για τριγωνική κατανομή σε σχέση με την standard συνδεσμολογία (**K_{P->S}%**) και το κέρδος

της προτεινόμενης τεχνικής ως προς τη δυναμική κατανάλωση για τριγωνική κατανομή σε σχέση με την τεχνική dual V_{DD} ($K_{P \rightarrow S}\%$).

Από το πίνακα 6.29 βλέπουμε ότι η περίπτωση $C=10\%$ έχει σχετικά μικρό μέσο κόστος σε επιφάνεια ανά πύλη και ένα καλό κέρδος ως προς την standard συνδεσμολογία ($K_{P \rightarrow S}\% = 15.83\%$) ενώ η δυναμική κατανάλωση ενέργειας είναι μεγαλύτερη αλλά σε σχετικά κοντινή τιμή με τη δυναμική κατανάλωση της τεχνικής dual V_{DD} ($K_{P \rightarrow DVDD}\% = -7\%$). Η επιλογή ενός μεγαλύτερου κόστους σε επιφάνεια ανά πύλη ίσου με $C=30\%$ είναι μεν ένα μειονέκτημα στο σχεδιασμό αλλά παρουσιάζει το βέλτιστο κέρδος ως προς τη δυναμική κατανάλωση σε σχέση με την standard συνδεσμολογία ($K_{P \rightarrow S}\% = 22.03\%$) ενώ η τιμή της δυναμικής κατανάλωσης ενέργειας σχεδόν ταυτίζεται με τη δυναμική κατανάλωση της τεχνικής dual V_{DD} ($K_{P \rightarrow DVDD}\% = 1\%$) αλλά αποφεύγει τα σχεδιαστικά προβλήματα που αναφέραμε νωρίτερα για την dual V_{DD} στο επίπεδο του φυσικού σχεδιασμού. Με βάση τον πίνακα 6.29 προκύπτει το γράφημα του σχήματος 6.27 για τη δυναμική ενέργεια της προτεινόμενης τεχνικής για την τριγωνική κατανομή και για διάφορα κόστη.



Σχήμα 6.27. Δυναμική Κατανάλωση για την Τριγωνική Κατανομή

6.6.3 Μελέτη της Προτεινόμενης Τεχνικής ως προς το Μέγιστο Αριθμό Πυλών σε μια Διαδρομή Σήματος

Στη συνέχεια κάναμε πειράματα με την προτεινόμενη τεχνική με 12 πύλες στο κύκλωμά μας και με 18 πύλες και συγκρίναμε τα αποτελέσματα με το ήδη υλοποιημένο κύκλωμα με 15 πύλες. Το κύκλωμα αποτελείται από πύλες NAND και NOR που εναλλάσσονται. Τα χρησιμοποιούμενα τρανζίστορ σε συνδεσμολογία διόδου είναι τρανζίστορ με υψηλή τάση κατωφλίου HV_t . Οι παράμετροι της προσομοίωσης είναι ίδιες με εκείνες στις προηγούμενες ενότητες.

Θα υπολογίσουμε τη δυναμική κατανάλωση, για τριγωνική κατανομή, με το βέλτιστο συνδυασμό πυλών της προτεινόμενης τεχνικής για συνολικό αριθμό πυλών στο κύκλωμα 12 και 18 (για 15 πύλες το εξετάσαμε ήδη). Με τον όρο βέλτιστο εννοούμε τον μέγιστο αριθμό πυλών με τη δική μας τεχνική σε μία διαδρομή ώστε να μην ξεπερνάμε την καθυστέρηση διάδοσης σήματος της υλοποίησης με τη standard τεχνική για διαδρομή που αποτελείται από αντίστοιχο αριθμό πυλών (12 και 18).

Αρχικά για 12 πύλες στη μέγιστη διαδρομή και για τριγωνική κατανομή χρησιμοποιούμε τα ακόλουθα βάρη που προκύπτουν με βάση την αριθμητική πρόοδο:

$$1 + 2 + 3 + \dots + 6 + (13-7) + (13-8) + \dots + (13-12) = v_1(1+6)/2 + v_2(13-7+13-12)/2 \quad [\text{Εξ 6.43}]$$

όπου εδώ $v_1=6$, $v_2=6$,

$$\text{άρα } 1+2+3+\dots+6+(13-7)+(13-8)+(13-9)+\dots+(13-12) = 6*(7/2)+6*(7/2)=21+21=42.$$

$$\text{Συνεπώς: } \sum_{i=1}^{i=6} \left(\frac{i}{42} \times 10^6\right) + \sum_{i=7}^{i=12} \left(\frac{(13-i)}{42} \times 10^6\right) = \left(\frac{6 \times 7/2}{42} + \frac{6 \times 7/2}{42}\right) \times 10^6 = 10^6$$

Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα εξής για μέγιστο αριθμό πυλών ίσο με 12:

- Για διαδρομές μέχρι τριών πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές από τέσσερις μέχρι έξι πύλες, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική

- Για διαδρομές από επτά μέχρι εννέα πύλες, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές των δέκα πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες εννέα πύλες με την standard τεχνική
- Για διαδρομές έντεκα και δώδεκα πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Για τριγωνική κατανομή η δυναμική κατανάλωση υπολογίζεται ως εξής:

$$\begin{aligned}
 E_{tot} &= \sum_{i=1}^{i=3} \left(\frac{i \times 10^6}{42} \times (i \times E_{prop}) \right) + \sum_{i=4}^6 \left(\frac{i \times 10^6}{42} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) \\
 &+ \sum_{i=7}^9 \left(\frac{(13-i) \times 10^6}{42} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=10}^{10} \left(\frac{(13-i) \times 10^6}{42} \times (E_{prop} + (i-1) \times E_{std}) \right) \\
 &+ \sum_{i=11}^{i=12} \left(\frac{(13-i) \times 10^6}{42} \times (i \times E_{std}) \right)
 \end{aligned}$$

[Εξ 6.44]

Με την ίδια λογική θα υπολογίσουμε τη δυναμική κατανάλωση στην περίπτωση που οι διαδρομές αποτελούνται από μία έως δώδεκα πύλες με βάση τη standard συνδεσμολογία. Αυτό δίνεται από τον παρακάτω τύπο:

$$\begin{aligned}
 E_{tot} &= \sum_{i=1}^{i=6} \left(\frac{i \times 10^6}{42} \times (i \times E_{std}) \right) + \sum_{i=7}^{i=12} \left(\frac{(13-i)}{42} \times (i \times E_{std}) \right) = \left(\frac{E_{std}}{42} \times 10^6 \right) \times \left(\sum_{i=1}^7 (i^2) + \sum_{i=7}^{12} (13-i) \times i \right) = \\
 &\left(\frac{E_{std}}{42} \times 10^6 \right) \times (91 + 182) = \left(\frac{E_{std}}{42} \times 10^6 \right) \times 273 = E_{std} \times 6.5 \times 10^6
 \end{aligned}$$

[Εξ 6.45]

Στη συνέχεια, θα εξετάσουμε την περίπτωση κυκλώματος με μέγιστο αριθμό πυλών σε μια διαδρομή ίσο με 18. Με βάση τα βάρη που προκύπτουν από την αριθμητική πρόοδο προκύπτει:

$$1 + 2 + 3 + \dots + 9 + (19-10) + (19-11) + \dots + (19-18) = v_1(1+9)/2 + v_2(19-10+19-18)/2$$

[Εξ 6.46]

όπου εδώ $v_1=9$, $v_2=9$,

άρα $1+2+3+\dots+9 + (19-10)+(19-11)+(19-12)+\dots+(19-18) = 9*(10/2) + 9*(10/2) = 45+45 = 90$.

$$\text{Συνεπώς: } \sum_{i=1}^{i=9} \left(\frac{i}{90} \times 10^6 \right) + \sum_{i=10}^{i=18} \left(\frac{(19-i)}{90} \times 10^6 \right) = \left(\frac{9 \times 10 / 2}{90} + \frac{9 \times 10 / 2}{90} \right) \times 10^6 = 10^6$$

Λαμβάνοντας υπόψη τους περιορισμούς αυτούς, καταλήξαμε στα εξής για αριθμό πυλών ίσο με 18:

- Για διαδρομές μέχρι πέντε πυλών, χρησιμοποιούμε αποκλειστικά πύλες με την προτεινόμενη τεχνική
- Για διαδρομές έξι πυλών, χρησιμοποιούμε πέντε πύλες με τη δική μας τεχνική και μία πύλη με την standard τεχνική
- Για διαδρομές από επτά μέχρι εννέα πύλες, χρησιμοποιούμε τέσσερις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από δέκα μέχρι δώδεκα πύλες, χρησιμοποιούμε τρεις πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές από δεκατρείς μέχρι δεκαπέντε πύλες, χρησιμοποιούμε δύο πύλες με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαέξι πυλών, χρησιμοποιούμε μία πύλη με τη δική μας τεχνική και τις υπόλοιπες πύλες με την standard τεχνική
- Για διαδρομές δεκαεφτά και δεκαοκτώ πυλών, χρησιμοποιούμε μόνο πύλες με την standard τεχνική

Για τριγωνική κατανομή η δυναμική κατανάλωση υπολογίζεται ως ακολούθως:

$$\begin{aligned} E_{tot} = & \sum_{i=1}^{i=5} \left(\frac{i \times 10^6}{90} \times (i \times E_{prop}) \right) + \sum_{i=6}^6 \left(\frac{i \times 10^6}{90} \times (5 \times E_{prop} + (i-5) \times E_{std}) \right) \\ & + \sum_{i=7}^9 \left(\frac{i \times 10^6}{90} \times (4 \times E_{prop} + (i-4) \times E_{std}) \right) + \sum_{i=10}^{12} \left(\frac{(19-i) \times 10^6}{90} \times (3 \times E_{prop} + (i-3) \times E_{std}) \right) \\ & + \sum_{i=13}^{15} \left(\frac{(19-i) \times 10^6}{90} \times (2 \times E_{prop} + (i-2) \times E_{std}) \right) + \sum_{i=17}^{i=18} \left(\frac{(19-i) \times 10^6}{90} \times (i \times E_{std}) \right) \end{aligned}$$

[Εξ 6.47]

Με την ίδια λογική θα υπολογίσουμε τη δυναμική κατανάλωση στην περίπτωση που οι διαδρομές αποτελούνται από μία έως 18 πύλες με βάση τη standard συνδεσμολογία. Αυτή δίνεται από τον παρακάτω τύπο:

$$E_{tot} = \sum_{i=1}^{i=9} \left(\frac{i \times 10^6}{90} \right) \times (i \times E_{std}) + \sum_{i=10}^{i=18} \left(\frac{(19-i)}{90} \right) \times (i \times E_{std}) = \left(\frac{E_{std}}{90} \times 10^6 \right) \times \left(\sum_{i=1}^9 (i^2) + \sum_{i=10}^{18} (19-i) \times i \right)$$

$$\sum_{i=10}^{18} (19-i) \times i = \left(\frac{E_{std}}{90} \times 10^6 \right) \times (285 + 570) = \left(\frac{E_{std}}{90} \times 10^6 \right) \times 855 = E_{std} \times 9.5 \times 10^6$$

[Εξ 6.48]

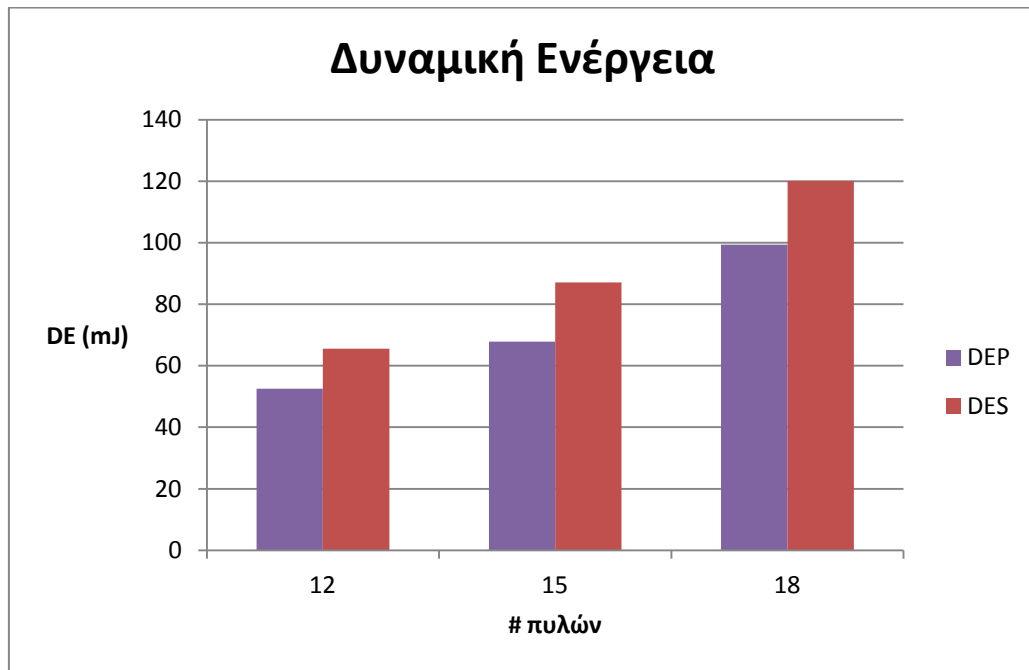
Στον πίνακα 6.30. που ακολουθεί δίδονται τα συγκεντρωτικά αποτελέσματα.

Πίνακας 6.30. Συγκεντρωτικός Πίνακας Τριγωνικής Κατανομής και Κερδών των Τεχνικών

# πυλών	DE _P	DE _S	K _{P->S} %
12	52.52 mJ	65.59 mJ	19.92%
15	67.86 mJ	87.04 mJ	22.04%
18	99.34 mJ	120.08 mJ	17.27%

Όπου DE_P είναι η δυναμική κατανάλωση για την προτεινόμενη τεχνική για τριγωνική κατανομή, DE_S είναι η δυναμική κατανάλωση για την standard τεχνική για τριγωνική κατανομή και K_{P->S}% είναι το κέρδος στη δυναμική κατανάλωση της προτεινόμενης τεχνικής για τριγωνική κατανομή σε σχέση με τη standard συνδεσμολογία.

Η μεταβολή της δυναμικής ενέργειας με βάση τον μέγιστο αριθμό των πυλών σε μια διαδρομή, δίνεται στο σχήμα 6.28 που ακολουθεί.



Σχήμα 6.28. Δυναμική Κατανάλωση για την Τριγωνική Κατανομή σε Σχέση με το Μέγιστο Αριθμό Πυλών

ΚΕΦΑΛΑΙΟ 7. ΣΥΜΠΕΡΑΣΜΑΤΑ

Στην παρούσα εργασία προτείνουμε μια νέα λογική οικογένεια CMOS για μείωση της δυναμικής κατανάλωσης ενέργειας στα ψηφιακά κυκλώματα. Η προτεινόμενη τεχνική βασίζεται στην ιδέα της προσθήκης ενός επιπλέον τρανζίστορ είτε στο PMOS δικτύωμα της πύλης είτε στο NMOS δικτύωμα της πύλης. Το βασικό χαρακτηριστικό του συγκεκριμένου τρανζίστορ, και στις δύο περιπτώσεις, είναι ότι έχει συνδεδεμένους μεταξύ τους, τους ακροδέκτες της υποδοχής και πύλης και λειτουργεί στην περιοχή του κόρου. Η τοπολογία αυτή ονομάζεται τρανζίστορ σε συνδεσμολογία διόδου (diode-connected transistor). Με την προσθήκη του τρανζίστορ σε συνδεσμολογία διόδου πετυχαίνουμε τη μείωση της ταλάντευσης σήματος στον κόμβο εξόδου της πύλης από ($0 \rightarrow V_{DD}$) αρχικά σε ($0 \rightarrow V_{DD} - |V_t|$) ή ($|V_t| \rightarrow V_{DD}$) τελικά για κάθε μία από τις περιπτώσεις αντίστοιχα.

Στη συνέχεια εξετάσαμε οκτώ διαφορετικές συνδεσμολογίες, ως προς τον τύπο και την τοποθέτηση του τρανζίστορ σε συνδεσμολογία διόδου στην πύλη. Ως πύλη αναφοράς χρησιμοποιήθηκε η βασική πύλη NOT της CMOS τεχνολογίας. Αντικείμενο της μελέτης ήταν η καθυστέρηση διάδοσης σήματος καθώς και η δυναμική και η στατική κατανάλωση ενέργειας. Οι προσομοιώσεις έγιναν στην τεχνολογία 90nm της UMC ($L=80\text{nm}$, $V_{DD}=1\text{V}$, χρησιμοποιώντας αποκλειστικά τρανζίστορ χαμηλής τάσης κατωφλίου ($LV_t=120\text{mV}$) για τη λογική ενώ τα τρανζίστορ σε συνδεσμολογία διόδου εξετάστηκαν και σε υψηλή ($HV_t=320\text{mV}$) και σε χαμηλή τάση κατωφλίου ($LV_t=120\text{mV}$). Καταλήξαμε σε δύο συνδεσμολογίες όπου η πρώτη έδινε τη χαμηλότερη δυναμική κατανάλωση ενέργειας και η δεύτερη τη χαμηλότερη τιμή για το γινόμενο ενέργειας επί κατανάλωση (energy – delay product). Οι υπόλοιπες συνδεσμολογίες δεν κρίθηκαν κατάλληλες είτε γιατί παρουσίασαν υψηλά ρεύματα διαρροής είτε γιατί η δυναμική κατανάλωση ήταν υψηλότερη σε σχέση με τις προηγούμενες συνδεσμολογίες.

Ακολούθως χρησιμοποιήθηκε κατάλληλη πειραματική διάταξη για την αξιολόγηση της προτεινόμενης τεχνικής για την πρώτη από τις δύο συνδεσμολογίες που επιλέχθηκαν ως

βέλτιστες, όπου το τρανζίστορ σε συνδεσμολογία διόδου τοποθετήθηκε μεταξύ τροφοδοσίας και του κυκλώματος της πύλης. Το κύκλωμα που χρησιμοποιήσαμε στις προσομοιώσεις αποτελείται από 15 πύλες σε σειρά, όπου εναλλάσσονται πύλες NAND και NOR. Υπήρξαν δύο υλοποιήσεις της προτεινόμενης μεθοδολογίας, με τα τρανζίστορ σε συνδεσμολογία διόδου να έχουν και υψηλή τάση κατωφλίου (HV_I) και χαμηλή τάση κατωφλίου (LV_I) ενώ τα υπόλοιπα τρανζίστορ της λογικής έχουν πάντα χαμηλή τάση κατωφλίου. Με παραμετρική ανάλυση επιλέξαμε τα πλάτη W για τα διοδικά τρανζίστορ στις πύλες NAND και NOR ώστε το μέσο κόστος σε επιφάνεια που εισάγει η τεχνική να είναι 29.1%. Με στόχο να παρουσιάσουμε αποτελέσματα της καταναλισκόμενης ενέργειας σε ένα κύκλωμα που να προσεγγίζει το μέγεθος ενός πραγματικού ολοκληρωμένου κυκλώματος, χρησιμοποιήθηκαν πολλαπλά αντίγραφα της προαναφερόμενης συνδεσμολογίας.

Πραγματοποιήθηκαν προσομοιώσεις για την σύγκριση της προτεινόμενης τεχνικής, ως προς την καθυστέρηση διάδοσης σήματος, τη δυναμική και τη στατική κατανάλωση ενέργειας, τόσο με την κλασσική τεχνική όσο και με την τεχνική που χρησιμοποιεί διπλές τάσεις τροφοδοσίας ($dual-V_{DD}$) (όπου η δεύτερη τάση επιλέχθηκε έτσι ώστε να έχουμε την ίδια ταλάντευση στα σήματα εξόδου μεταξύ των δύο τεχνικών). Σύμφωνα με τα αποτελέσματα, προκύπτει ότι για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή τάση κατωφλίου (HV_I) η προτεινόμενη τεχνική σχεδόν διπλασιάζει την καθυστέρηση σε σχέση με την $dual V_{DD}$ ενώ η δυναμική ενέργεια είναι μικρότερη για την τεχνική μας (περίπου κατά 31.07%) ενώ η στατική κατανάλωση κυμαίνεται στα ίδια επίπεδα και για τις δύο τεχνικές. Αυτό σημαίνει ότι η τεχνική μας μπορεί να εφαρμοστεί σε διαδρομές σήματος με το μισό περίπου μήκος σε σχέση με τις διαδρομές όπου μπορεί να εφαρμοστεί η τεχνική $dual V_{DD}$. Όμως η τεχνική μας βελτιώνει πολύ τη δυναμική κατανάλωση σε σχέση με το standard κύκλωμα (περίπου κατά 62.68%) και τη στατική κατανάλωση κατά 83.57% σε σχέση με το standard κύκλωμα. Για τρανζίστορ σε συνδεσμολογία διόδου με χαμηλή τάση κατωφλίου (LV_I) μειώνεται η δυναμική κατανάλωση σε σχέση με την τεχνική $dual V_{DD}$ κατά 17.84% και η στατική κατανάλωση κατά 38.09%. Τα κέρδη των δύο τεχνικών για τη δυναμική κατανάλωση σε σχέση με το κλασσικό κύκλωμα είναι 25.09% για την προτεινόμενη τεχνική και 8.8% για την τεχνική $dual V_{DD}$. Όπως παρατηρούμε τα κέρδη εμφανίζονται μειωμένα σε σχέση με την περίπτωση του διοδικού τρανζίστορ με HV_I και ειδικά για την τεχνική $dual V_{DD}$ το χαμηλό κέρδος κάνει ασύμφορη την εφαρμογή της

τεχνικής. Επίσης, εκτελέστηκαν προσομοιώσεις στις οποίες μεταβάλλαμε την θερμοκρασία από 0-60 °C με βήμα 20 °C και εξετάσαμε την επίδραση της μεταβολής στη δυναμική και στατική κατανάλωση ενέργειας για τις τρεις τεχνικές. Για δυναμική κατανάλωση, η προτεινόμενη τεχνική παρουσιάζει τη μικρότερη τιμή και είναι σχεδόν σταθερή για όλες τις θερμοκρασίες και ακολουθεί η τεχνική dual V_{DD} με τελευταία την κλασική συνδεσμολογία. Για στατική κατανάλωση, η προτεινόμενη τεχνική έχει τη χαμηλότερη τιμή για όλες τις θερμοκρασίες, ακολουθεί με μικρή διαφορά η τεχνική dual V_{DD} και τελευταία με την υψηλότερη τιμή είναι η κλασική τεχνική.

Επιπρόσθετα, πραγματοποιήθηκαν προσομοιώσεις Monte-Carlo για τη μελέτη της συμπεριφοράς της δυναμικής και στατικής ενέργειας για διοδικά τρανζίστορ με υψηλή και χαμηλή τάση κατωφλίου, λαμβάνοντας υπόψιν την παρουσία διακυμάνσεων στην κατασκευαστική διαδικασία (process variations) καθώς και μη ταιριασμάτων στα τρανζίστορ (mismatch). Οι προσομοιώσεις Monte-Carlo έδειξαν ότι και στην χειρότερη περίπτωση για τη δυναμική και τη στατική ενέργεια και στην βέλτιστη περίπτωση η προτεινόμενη τεχνική εμφανίζει πολύ χαμηλότερες τιμές από την κλασική συνδεσμολογία και από την τεχνική dual V_{DD} .

Οι ίδιες προσομοιώσεις με την ίδια πειραματική διάταξη και διαδικασία όπως προηγουμένως χρησιμοποιήθηκαν και για τη δεύτερη από τις δύο βέλτιστες τεχνικές που επιλέχθηκαν, όπου το τρανζίστορ σε συνδεσμολογία διόδου τοποθετήθηκε μεταξύ του κυκλώματος της πύλης και της γης. Σύμφωνα με τα αποτελέσματα, προκύπτει ότι για τρανζίστορ σε συνδεσμολογία διόδου με υψηλή τάση κατωφλίου (HV_i) η προτεινόμενη τεχνική σχεδόν διπλασιάζει την καθυστέρηση σε σχέση με την dual V_{DD} ενώ η δυναμική ενέργεια είναι μικρότερη για την τεχνική μας (περίπου κατά 36.96%) ενώ η στατική κατανάλωση είναι μικρότερη για την τεχνική dual V_{DD} κατά 57.68%. Αυτό σημαίνει ότι η τεχνική μας μπορεί να εφαρμοστεί σε διαδρομές σήματος με το μισό περίπου μήκος σε σχέση με τις διαδρομές όπου μπορεί να εφαρμοστεί η τεχνική dual V_{DD} . Όμως η τεχνική μας βελτιώνει πολύ τη δυναμική κατανάλωση σε σχέση με το standard κύκλωμα (περίπου κατά 54.23%) και τη στατική κατανάλωση κατά 39.34% σε σχέση με το standard κύκλωμα. Επιπλέον μειώνεται η δυναμική κατανάλωση σε σχέση με την τεχνική dual V_{DD} κατά 18.85% ενώ η στατική κατανάλωση αυξάνεται κατά 34.73%. Τα κέρδη των δύο

τεχνικών για τη δυναμική κατανάλωση σε σχέση με το κλασσικό κύκλωμα είναι 26.01% για την προτεινόμενη τεχνική και 8.83% για την τεχνική dual V_{DD} . Όπως παρατηρούμε τα κέρδη εμφανίζονται μειωμένα σε σχέση με την περίπτωση του διοδικού τρανζίστορ με HV_t και ειδικά για την τεχνική dual V_{DD} το χαμηλό κέρδος κάνει ασύμφορη την εφαρμογή της τεχνικής. Αυτή η συνδεσμολογία δεν δίνει τόσο χαμηλή δυναμική κατανάλωση ενέργειας όσο η πρώτη αλλά την προκρίνουμε γιατί έχει μικρότερη καθυστέρηση σήματος και άρα μπορεί να εφαρμοστεί σε διαδρομές με μεγαλύτερο αριθμό πυλών από την πρώτη με αποτέλεσμα συνολικά να παρουσιάζει μεγαλύτερο κέρδος σε σχέση με την πρώτη.

Στη συνέχεια μελετήσαμε εκτενέστερα την εφαρμογή της προτεινόμενης τεχνικής, με τη θεώρηση διαφορετικών κατανομών στον αριθμό των πυλών στις διαδρομές σήματος στο κύκλωμα. Το κύκλωμα αποτελείται από 10^6 πύλες. Ο μέγιστος αριθμός πυλών σε μια διαδρομή σήματος είναι 15 πύλες. Συνεπώς υπάρχουν 15 διαφορετικοί τύποι διαδρομών (δηλ. διαδρομές με 1 πύλη, με 2 πύλες, κ.ο.κ). Για κάτω τριγωνική κατανομή και για διοδικό τρανζίστορ με υψηλή τάση κατωφλίου και με χαμηλή τάση κατωφλίου η σχετική δυναμική κατανάλωση ενέργειας για την προτεινόμενη τεχνική είναι αρκετά μικρότερη από αυτή της κλασσικής συνδεσμολογίας και λίγο μικρότερη από την τεχνική dual V_{DD} (28.4% για προτεινόμενη τεχνική έναντι 22.84% για την τεχνική dual V_{DD} για χρήση διοδικού τρανζίστορ με HV_t και 18.25% για προτεινόμενη τεχνική έναντι 8.47% για την τεχνική dual V_{DD} για χρήση διοδικού τρανζίστορ με LV_t). Για την στατική κατανάλωση η εφαρμογή της προτεινόμενης τεχνικής έχει χαμηλότερη κατανάλωση από την κλασσική συνδεσμολογία αλλά όχι μικρότερη από την τεχνική dual V_{DD} (20.06% για προτεινόμενη τεχνική έναντι 61.98% για την τεχνική dual V_{DD} για χρήση διοδικού τρανζίστορ με HV_t και 9.31% για προτεινόμενη τεχνική έναντι 41.76% για την τεχνική dual V_{DD} για χρήση διοδικού τρανζίστορ με LV_t).

Ως τελικό συμπέρασμα, η προτεινόμενη τεχνική δίνει μια εναλλακτική πρόταση χαμηλής κατανάλωσης σε σχέση με την τεχνική dual- V_{DD} . Η τεχνική dual- V_{DD} εμφανίζει μειονεκτήματα στο επίπεδο της σχεδίασης σε φυσικό επίπεδο που σχετίζονται με την απαιτούμενη επιφάνεια πυριτίου και/ή την έλλειψη κατάλληλων εργαλείων για την αυτοματοποίηση του σχεδιασμού. Επίσης, η τεχνική dual V_{DD} δεν μπορεί εύκολα να συνεργαστεί με τεχνικές όπως την τεχνική της δυναμικής κλιμάκωσης τάσης και συχνότητας (Dynamic voltage frequency scaling- DVFS) εξαιτίας του κόστους που

απαιτείται καθώς χρειαζόμαστε επιπλέον εξωτερικές τάσεις τροφοδοσίας, περισσότερους ακροδέκτες και σταθεροποιητές τάσης και πρόσθετες γραμμές για την παροχή των τάσεων τροφοδοσίας. Η προτεινόμενη τεχνική, αποφεύγει τα ανωτέρω μειονεκτήματα της τεχνικής dual V_{DD} εισάγοντας τοπικά σε κάθε πύλη ένα κόστος επιφάνειας πυριτίου εξ' αιτίας του πρόσθετου διοδικού τρανζίστορ. Ως αποτέλεσμα, η προτεινόμενη τεχνική θα μπορούσε να συνδυαστεί καλύτερα με άλλες τεχνικές όπως η DVFS.

Ως μειονέκτημα της προτεινόμενης τεχνικής, πρέπει να αναφέρουμε την ανάγκη εμπλουτισμού των βιβλιοθηκών που περιέχουν τις τυπικές δομικές μονάδες σχεδίασης (standard cells) με δομικές μονάδες σχεδίασης οι οποίες έχουν σχεδιαστεί σύμφωνα με την προτεινόμενη τεχνική, κάτι που απαιτεί ένα πρόσθετο φόρτο στην ομάδα που αναπτύσσει και χαρακτηρίζει τις βιβλιοθήκες με τις τυπικές δομικές μονάδες. Όμως αυτός ο φόρτος αφορά την ομάδα σχεδίασης των δομικών μονάδων και δεν επαναλαμβάνεται σε κάθε σχεδιασμό.

ΑΝΑΦΟΡΕΣ

- [1] V. Kursun, E. G. Friedman, “Multi-voltage CMOS Circuit Design”, John Wiley and Sons, Ltd, 2006.

- [2] Κάτσικος Παναγιώτης, “Τεχνική Χαμηλής Στατικής Κατανάλωσης Ψηφιακών Ολοκληρωμένων Κυκλωμάτων με την Εισαγωγή Πολλαπλών Καταστάσεων Ύπνου”, Μεταπτυχιακή εργασία ειδίκευσης, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων, ΜΤ 2009.

- [3] Y. Taur, T. H. Ning, “Fundamentals of Modern VLSI Devices”, Cambridge University Press, 2002.

- [4] S. Henzler, “Power Management of Digital Circuits in Deep Sub-Micron Technologies”, Springer Series in Advanced Microelectronics, 2006.

- [5] K. Usami, M. Horowitz, “Clustered Voltage Scaling Technique for Low-Power Design”, in Proc. Int. Symp. on Low-Power Electronics Design (ISPLED), pp. 3-8, 1995.

- [6] K. Usami, K. Nogami, M. Igarashi, F. Minami, T. Ishikawa, M. Kanazawa, T. Aoki, M. Takano, C. Mizuno, M. Ichida, S. Sonoda, M. Takahashi, N. Hatanaka, “Automated Low- Power Technique Exploiting Multiple Supply Voltages Applied to

- a Media Processor”, IEEE Custom Integrated Circuit Conference 1997 (CICC’97), pp.131-134, May 1997.
- [7] K. Usami, M. Igarashi, “Low-Power Design Methodology and Applications Utilizing Dual Supply Voltages”, in Proc. Asia South Pacific Design Automation Conf., pp. 123-128, June 2000.
- [8] S. Kaxiras, M. Martonosi, “Computer Architecture Techniques for Power Efficiency”, Morgan & Claypool Publishers, 2008.
- [9] D. Ernst, N. Sung, S. Das, S. Pant, R. Rao, T. Pham, C. Ziesler, D. Blaauw, T. Austin, K. Flautner, T. Mudge, “Razor: A Low- Power Pipeline Based on Circuit-Level Timing Speculation”, in Proc. Int. Symp. on Microarchitecture, pp. 7-18, December 2003.
- [10] L. Anghel, M. Nikolaidis, “Cost reduction and evaluation of a temporary fault detection technique”, in Proc. on Design Automation and Test in Europe (DATE’ 2000), Paris, France, pp. 591-598, 2000.
- [11] R. A. Bergamaschi, Y. Shin, N. Dhanwada, S. Bhattacharya, W. E. Dougherty, in I.Nair, J. Darringer and S. Paliwal, “SEAS: A system for early analysis of SoCs,” Proc. Int’l Conf. on Hardware/Software Codesign and System Synthesis, pp. 150-155, October 2005.
- [12] D. E. Lackey, P. S. Zuchowski, T. R. Bednar, D. W. Stout, S. W. Gould and J. M. Cohn, “Managing power and performance for System-onChip designs using voltage islands” in Proc. Int’l Conf. on Computer Aided Design, pp. 195-202, Nov. 2002.
- [13] J. Hu, Y. Shin, N. Dhanwada, and R. Marculescu, “Architecting Voltage Islands in Core-based System-on-a-Chip Designs”, In ISLPED, 2004.
- [14] P. R. Panda, A. Shrivastava, B.V.N. Silpa, K. Gummidipudi, “Power-efficient System Design”, Springer, 2010.
- [15] C. Piguet, “Low-power and low voltage CMOS digital design”, Elsevier Microelectron. Eng., 39, pp. 179-208, 1997.
- [16] J. Oh, M. Pedram, “Gated Clock Routing for Low-Power Microprocessors Design”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 20, no. 6, pp. 715- 722, June 2001.

- [17] V. Kursun, E.G. Friedman, “Energy Efficient Dual Threshold Voltage Dynamic Circuits Employing Sleep Switches to Minimize Subthreshold Leakage”, in Proc. Int. Symp, on Circuits and System (ISCAS), pp. 417-420, 2004.
- [18] M. Mutoh, T. Douskei, Y. Matsuya, T. Aoki, S. Shigematsu and J. Yamada, “1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold Voltage CMOS Design”, IEEE Journal on Solid-State Circuits, pp. 847-854, August 1995.
- [19] T. Kuroda, T. Sakurai, “Threshold-Voltage Control Schemes through Substrate Bias for Low-Power High-Speed CMOS Design”, on IEEE Transactions on Solid-State Circuit, vol. 33, no. 3, pp. 454-462.
- [20] S.H. Tang, L. Chang, N. Lindert, Y. K. Choi, W. C. Lee, X. Huang, V. Subramanian, J. Bokor, T. J. King, C. Hu, “FinFET- a quasi-planar double gate MOSFET”, IEEE International Conference on Solid-State Circuits, pp. 118-119, 437, 2001.
- [21] K. Roy, H. Mahmoodi, S. Mukhopadhyay, H. Ananthan, A. Bansai, T. Cakici, “Double-Gate SOI Devices for Low-Power and High-Performance Applications”, in Proc. Int. Conf on Embedded System and Design, pp. 217-224, January 2006.
- [22] R. C. Jaeger, T. N. Blalok, “Microelectronic Circuit Design”, McGraw-Hill, 2011.

ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ

Η Αικατερίνη Κατσαρού γεννήθηκε και αποφοίτησε από το 3^ο Ενιαίο Λύκειο Ιωαννίνων-Επιφάνειος Σχολή.

Είναι Διπλωματούχος της Πολυτεχνικής Σχολής του Πανεπιστημίου Πατρών, Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών.

Από τον Οκτώβριο του 2009 έως τον Μάιο του 2012 παρακολούθησε το Μεταπτυχιακό Πρόγραμμα Σπουδών του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων.