

ΣΧΕΔΙΑΣΗ ΤΜΗΜΑΤΟΠΟΙΗΜΕΝΩΝ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ ΓΙΑ ΜΕΙΩΣΗ ΤΗΣ  
ΚΑΤΑΝΑΛΩΣΗΣ ΕΝΕΡΓΕΙΑΣ ΚΑΤΑ ΤΟΝ ΕΛΕΓΧΟ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ

Η  
ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ

Υποβάλλεται στην

ορισθείσα από την Γενική Συνέλευση Ειδικής Σύγκλησης  
του Τμήματος Πληροφορικής  
Εξεταστική Επιτροπή

Από την

Ευτυχία Αρβανίτη

ως μέρος των Υποχρεώσεων

για τη λήψη

του

ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΣΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ

ΜΕ ΕΞΕΙΔΙΚΕΥΣΗ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ-ΕΦΑΡΜΟΓΕΣ

Ιούνιος 2011

# ΕΥΧΑΡΙΣΤΙΕΣ

---

Αρχικά θα ήθελα να ευχαριστήσω θερμά τον επιβλέποντα καθηγητή κ.Τσιατούχα Γεώργιο, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων, για τη συνεχή και εποικοδομητική του επίβλεψη στο μεταπτυχιακό αυτό καθώς και για την κατανόηση και βοήθεια του καθ'όλη τη διάρκεια της εκπόνησης της εργασίας. Επίσης, ευχαριστώ πολύ τα μέλη της επιτροπής κ. Καβουσιανό Χρυσοβαλάντη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων και τον κ. Βασίλειο Δημακόπουλο, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων.

Επίσης, τον Βασίλη Τενέντε για την παροχή των αρχικών διανυσμάτων ελέγχου ορισμένων ISCAS'89 κυκλωμάτων.

Τέλος, τους γονείς μου πάνω από όλα, την αδερφή μου και τους καλούς μου φίλους και ανθρώπους που στέκονται δίπλα μου.

# ΠΕΡΙΕΧΟΜΕΝΑ

---

	<b>Σελ</b>
<b>ΕΥΧΑΡΙΣΤΙΕΣ</b>	ii
<b>ΠΕΡΙΕΧΟΜΕΝΑ</b>	iii
<b>ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ</b>	iv
<b>ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ</b>	v
<b>ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ</b>	x
<b>ΠΕΡΙΛΗΨΗ</b>	xi
<b>EXTENDED ABSTRACT IN ENGLISH</b>	xii
<b>ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ</b>	
1.1. Στόχοι	1
1.2. Δομή της Διατριβής	2
<b>ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΕΣ ΕΛΕΓΧΟΥ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ</b>	
2.1 Έλεγχος Ορθής Λειτουργίας Ολοκληρωμένων Κυκλωμάτων	3
2.2 Η Τεχνική Σειριακής Σάρωσης	6
2.3 Η Κατανάλωση Ενέργειας κατά τη Διάρκεια του Ελέγχου Ολοκληρωμένων Κυκλωμάτων	11
2.3.1 Κατανάλωση Ενέργειας σε CMOS Ψηφιακά Κυκλώματα	12
2.3.2 Μέση και Μέγιστη Κατανάλωση Ενέργειας	13
2.4 Βασικές Αρχιτεκτονικές Σειριακής Σάρωσης Χαμηλής Κατανάλωσης	13
2.4.1 Σάρωση Χαμηλής Κατανάλωσης με Μείωση της Τάσης Τροφοδοσίας	13
2.4.2 Σάρωση Χαμηλής Κατανάλωσης με Μείωση της Συχνότητας	14
2.4.3 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Ταίριασμα Εύρους Ζώνης	14
2.4.4 Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Απομόνωση των Δεδομένων (Data Gating)	15
2.4.5 Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Κύτταρα Σάρωσης Κατακράτησης	15
2.4.6 Σάρωση Χαμηλής Κατανάλωσης με Απενεργοποίηση του Ρολογιού κατά Τμήματα (Clock Gating)	16
2.4.7 Σάρωση Χαμηλής Κατανάλωσης με Διαχείριση των Διανυσμάτων Ελέγχου	16
<b>ΚΕΦΑΛΑΙΟ 3. ΒΙΒΛΙΟΓΡΑΦΙΚΗ ΕΠΙΣΚΟΠΗΣΗ</b>	
3.1 Η Illinois Τεχνική Σειριακής Σάρωσης	17
3.2 Η Χαμηλής Κατανάλωσης (LPILS) Illinois Τεχνική Σειριακής Σάρωσης	19

3.2.1	Περιγραφή Αρχιτεκτονικής LPILS	19
3.2.2	Λειτουργία Αρχιτεκτονικής LPILS	20
3.2.3	Συμπεράσματα Αρχιτεκτονικής LPILS	21
3.3	Μια Αρχιτεκτονική Πολλαπλών Αλυσίδων Σάρωσης για Μείωση της Κατανάλωσης και του Χρόνου Ελέγχου	22
3.4	Μια Αρχιτεκτονική Παράκαμψης Κυττάρων Σάρωσης για Χαμηλή Κατανάλωση	26
3.5	Μια Νέα Τεχνική Τμηματοποίησης Αλυσίδων Σάρωσης για Ενσωματωμένα Συστήματα Χαμηλής Κατανάλωσης	28
3.6	Τεχνική Σχεδίασης Αλυσίδων Σάρωσης για Υψηλή Ταχύτητα και Χαμηλή Κατανάλωση	30
<b>ΚΕΦΑΛΑΙΟ 4. ΤΕΧΝΙΚΗ ΣΧΕΔΙΑΣΗΣ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ</b>		
4.1	Η Προτεινόμενη Τεχνική Σχεδίασης Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή	32
4.2	Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή σε Απλή Αλυσίδα Σάρωσης	37
4.2.1	Τμηματοποίηση της Αλυσίδας Σάρωσης και ο Βασικός Τρόπος Λειτουργίας της	37
4.2.2	Λειτουργία της Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή σε Απλή Αλυσίδα Σάρωσης	40
4.2.2.1	Καταχωρητής Κατάστασης	41
4.2.2.2	Ανάλυση Λειτουργίας σε Απλή Αλυσίδα Σάρωσης	42
4.3	Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή σε Πολλαπλές Αλυσίδες Σάρωσης με Ανεξάρτητες Εισόδους	48
4.4	Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή σε Illinois αρχιτεκτονική	51
4.4.1	Παράλληλη Λειτουργία της Illinois	52
4.4.2	Σειριακή Λειτουργία της Illinois	53
4.5	Παραλλαγή της Προτεινόμενης Τεχνικής με εφαρμογή στην Illinois Αρχιτεκτονικής για Επιπλέον Εξοικονόμηση Ενέργειας	55
4.6	Κόστος της Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή	59
4.7	Κάλυψη Σφαλμάτων	62
<b>ΚΕΦΑΛΑΙΟ 5. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ</b>		
5.1	Πειραματική Διάταξη Επαλήθευσης	63
5.2	Πειραματικές Μετρήσεις	68
5.3	Ανάλυση Αποτελεσμάτων	78

<b>ΚΕΦΑΛΑΙΟ 6. ΣΥΜΠΕΡΑΣΜΑΤΑ</b>	86
<b>ΑΝΑΦΟΡΕΣ</b>	89
<b>ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ</b>	91

# ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

---

<b>Πίνακας</b>	<b>Σελ.</b>
Πίνακας 4.1. Σήματα λειτουργίας του scan freeze flip-flop	37
Πίνακας 4.2. Σύγκριση της προτεινόμενης τεχνικής με την κλασική ως προς το πλήθος των μεταβάσεων	40
Πίνακας 5.1 Πίνακας με πληροφορίες για τα ISCAS'89 κυκλώματα	69
Πίνακας 5.2 Πίνακας με πληροφορίες για τα IWLS κυκλώματα	69
Πίνακας 5.3. Πλήθος τρανζίστορ ανά λογική πύλη συναρτήσσει του αριθμού των εισόδων	71
Πίνακας 5.4. Πίνακας αποτελεσμάτων ISCAS '89	
(α) Κυκλώματα s5378 και s9234	73
(β) Κύκλωμα s13207	73
(γ) Κύκλωμα s15850	74
(δ) Κυκλώματα s38584	74
(ε) Κύκλωμα s38417	74
Πίνακας 5.5. Πίνακας αποτελεσμάτων IWLS	
(α) Κυκλώματα tv80 και aes_core	75
(β) Κυκλώματα systemcaes και wb_conmax	75
(γ) Κύκλωμα usb_funct	76
(δ) Κύκλωμα ac97_ctrl	76
(ε) Κύκλωμα pci_bridge	77
(στ) Κύκλωμα Ethernet	77
Πίνακας 5.6. . Πίνακας κυκλωμάτων IWLS	
(α) Ποσοστιαίο κέρδος	78
(β) Ποσοστιαία αύξηση κόστους	78

# ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

---

<b>Σχήμα</b>	<b>Σελ.</b>
Σχήμα 2.1: Σχήμα βασικής εφαρμογής του ελέγχου ορθής λειτουργίας	4
Σχήμα 2.2 (α): Κύτταρο σάρωσης (Scan flip-flop/cell) (β): Σειριακή σάρωση	7
Σχήμα 2.3: Παράδειγμα ελέγχου σειριακής σάρωσης	10
Σχήμα 2.4. Αρχιτεκτονική χαμηλής κατανάλωσης με ταίριασμα εύρους ζώνης	14
Σχήμα 2.5. (α) Κύτταρο σάρωσης	15
(β) Τροποποιημένο κύτταρο σάρωσης για χαμηλή κατανάλωση	15
Σχήμα 2.6. Τεχνική χαμηλής κατανάλωσης με Flip-Flop κατακράτησης	16
Σχήμα 3.1. Εφαρμογή της Illinois σε κοινή ακρόαση λειτουργία	18
Σχήμα 3.2. Τεχνική LPILS	19
Σχήμα 3.3. Οι ομάδες διανυσμάτων και οι αποκρίσεις τους	22
Σχήμα 3.4. Η εφαρμογή της τεχνικής για δημιουργία ομάδων (cluster)	23
Σχήμα 3.5. Οι αλυσίδες σάρωσης	24
Σχήμα 3.6. Τροποποιημένες αλυσίδες σάρωσης	24
Σχήμα 3.7 (α) Πρώτη φάση της τεχνικής (β) Δεύτερη φάση της τεχνικής	26
Σχήμα 3.8. Το J-scan D-flip flop	27
Σχήμα 3.9. Η Jump Scan αλυσίδα	27
Σχήμα 3.10. Η τεχνική τμηματοποίησης αλυσίδας σάρωσης	29
Σχήμα 3.11. Αναδιπλούμενη αλυσίδα σάρωσης	30
Σχήμα 4.1 (α) Το κλασικό κύτταρο σάρωσης (scan flip-flop)	34
(β) Το scan freeze flip-flop	34
Σχήμα 4.2. (α) Λειτουργίες του scan freeze flip-flop	35
(β) Καταστάσεις λειτουργίες του scan freeze flip-flop	35
Σχήμα 4.3. Απλή αλυσίδα σειριακής σάρωσης μήκους L	37
Σχήμα 4.4. Τμηματοποιημένη αλυσίδα σάρωσης σύμφωνα με την τεχνική freeze scan partitioning	38
Σχήμα 4.5. Οι μεταβάσεις σήματος στις εξόδους της αλυσίδας σάρωσης	
(α) για την κλασική σειριακή ολίσθηση	
(β) για την προτεινόμενη με διάφορες τιμές του πλήθους των τμημάτων p, ως συνάρτηση του μήκους της αλυσίδας L	40





Σχήμα 5.9. pci_bridge: (α) Κόστος (τρανζίστορ)	79
(β) Ποσοστιαίο κόστος για $s=1$	79
Σχήμα 5.10. ac97_ctrl: (α) Μεταβάσεις (β) Ποσοστιαίο κέρδος για $s=1$	80
Σχήμα 5.11. ac97_ctrl: (α) Κόστος (τρανζίστορ)	80
(β) Ποσοστιαίο κόστος για $s=1$	80
Σχήμα 5.12. Ethernet: Μεταβάσεις – Πλήθος τμημάτων συναρτήσει $p$ και $s$	81
Σχήμα 5.13. Ethernet: Ποσοστιαίο Κέρδος – Πλήθος τμημάτων συναρτήσει $p$ και $s$	81
Σχήμα 5.14. Ethernet: Κόστος (τρανζίστορ) – Πλήθος τμημάτων συναρτήσει $p$ και $s$	82
Σχήμα 5.15. Ethernet: Ποσοστιαίο κόστος– Πλήθος τμημάτων συναρτήσει $p$ και $s$	82
Σχήμα 5.16. Ethernet: Αριθμός μεταβάσεων ως προς $s$ και $p$ σε τρισδιάστατη απεικόνιση	83

# ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ

---

DFT: σχεδιασμός κυκλωμάτων ικανών για έλεγχο – Design for Testability

SOC: σύστημα σε ολοκληρωμένο κύκλωμα – System on Chip

CMOS: Complementary Metal Oxide Semiconductor

VLSI: πολύ μεγάλης κλίμακας ολοκλήρωσης – Very Large Scale Integration

CUT: κύκλωμα υπό έλεγχο – Circuit under test

MISR: καταχωρητής ολίσθησης πολλαπλών εισόδων – Multiple Input Shift Register

LFSR: καταχωρητής ολίσθησης γραμμικής ανάδρασης – Linear Feedback Shift Register

BIST: ενσωματωμένος αυτοέλεγχος – Built In Self Test

FC: κάλυψη σφαλμάτων – Fault Coverage

Scan flip-flop: στοιχειώδες κύτταρο μνήμης σάρωσης

# ΠΕΡΙΛΗΨΗ

---

Ευτυχία Αρβανίτη του Βασιλείου και της Αντιγόνης,  
MSc, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων,  
Ιούλιος, 2011.

Σχεδίαση τμηματοποιημένων αλυσίδων σάρωσης για μείωση της κατανάλωσης ενέργειας κατά τον έλεγχο ορθής λειτουργίας

Επιβλέπωντας: Γεώργιος Τσιατούχας.

Οι τεχνικές σειριακής σάρωσης για τον έλεγχο της ορθής λειτουργίας (scan testing), τυγχάνουν καθολικής αποδοχής στα σύγχρονα ψηφιακά ολοκληρωμένα κυκλώματα (OK) των CMOS νανομετρικών τεχνολογιών. Όμως, ένα χαρακτηριστικό πρόβλημα αυτών των τεχνικών, είναι η σημαντική αύξηση της καταναλισκόμενης ενέργειας κατά τη διάρκεια του ελέγχου, που οδηγεί σε υπέρμετρη αύξηση της θερμοκρασίας, με αποτέλεσμα είτε την καταστροφή των ελεγχόμενων OK είτε τον εσφαλμένο χαρακτηρισμό τους ως ελαττωματικά. Στην εργασία αυτή προτείνεται μια νέα αρχιτεκτονική σειριακής σάρωσης για τον έλεγχο της ορθής λειτουργίας OK που επιτυγχάνει σημαντική μείωση στη δυναμική κατανάλωση ενέργειας κατά την ολίσθηση δεδομένων ελέγχου στην αλυσίδα σάρωσης. Ως αποτέλεσμα, μειώνεται εξίσου σημαντικά η κατασκευαστική απώλεια (yield loss) που οφείλεται στη διαδικασία ελέγχου ορθής λειτουργίας.

Η προτεινόμενη αρχιτεκτονική, βασίζεται στην τμηματοποίηση των αλυσίδων σάρωσης και στην αντικατάσταση του κλασικού κυττάρου σάρωσης με ένα νέο, τροποποιημένο κύτταρο με δυνατότητα αναστολής σάρωσης. Η ολίσθηση δεδομένων ελέγχου ανά τμήμα της αλυσίδας, μειώνει ανάλογα ως προς τον αριθμό των τμημάτων, το πλήθος των μεταβάσεων των τιμών στις εισόδους της υπό έλεγχο συνδυαστικής λογικής, οδηγώντας στατιστικά σε ανάλογη μείωση της δυναμικής κατανάλωσης ενέργειας κατά τον έλεγχο ορθής λειτουργίας. Το αποτέλεσμα αυτό επιτυγχάνεται χωρίς να αυξηθεί ο συνολικός χρόνος που απαιτείται για τον έλεγχο και χωρίς να μειωθεί η κάλυψη σφαλμάτων σε σχέση με την κλασική τεχνική σειριακής σάρωσης.

Πρόκειται για μια ευέλικτη, μικρού κόστους αρχιτεκτονική, που μπορεί να εφαρμοστεί σε κλασικές απλές ή παράλληλες αλυσίδες σάρωσης καθώς και στην αρχιτεκτονική σάρωσης Illinois. Επιπρόσθετα, μπορεί να εφαρμοστεί από κοινού με τις υπάρχουσες αλγοριθμικές τεχνικές συμπλήρωσης των αδιάφορων τιμών στα διανύσματα ελέγχου, για τη μείωση της δυναμικής κατανάλωσης ενέργειας και κατά τη φάση της δέσμευσης των αποκρίσεων. Τέλος, είναι κατάλληλη για τον παράλληλο έλεγχο πολλαπλών πυρήνων σε ολοκληρωμένα συστήματα (SoCs) και μπορεί να συνδυαστεί με τις υπάρχουσες τεχνικές ενσωματωμένου αυτοελέγχου (BIST) και με οποιαδήποτε μονάδα παραγωγής και συμπίεσης δεδομένων ελέγχου.

# EXTENDED ABSTRACT IN ENGLISH

---

Arvaniti, Eytychia.

MSc, Computer Science Department, University of Ioannina, Greece.

July, 2011.

Title of Dissertation in English: Scan Chain Partitioning for Low-Power Scan Testing

Thesis Supervisor: Yiorgos Tsiatouhas.

As CMOS technology scales down, reliability turns out to be a serious concern. Modern, very large scale integration (VLSI) circuits are increasingly susceptible to various defect generation mechanisms. Novel, design for testability (DFT) techniques have been proposed to provide high fault coverage in deep submicron technologies. Scan testing is a well know and commonly used DFT technique to achieve the required fault coverage levels at an acceptable cost. However, a serious problem related to scan testing is the increased power consumption during test application that could result in destructive testing and lead to yield loss. Therefore, it is imperative to develop low power scan testing techniques, which in parallel will not affect test application time and fault coverage.

This Thesis presents a new low power scan testing architecture for digital integrated circuits. This architecture reduces energy consumption, during the scan phases (test data shifting operations) of a scan testing procedure, since it reduces the signal transitions at the pseudo-primary inputs of the combinational logic. The proposed technique modifies the typical scan chain by inserting multiplexers to divide it into multiple partitions. In Fig. 1, the basic concept is presented, where a scan chain of size  $L$  is divided into  $p$  partitions. Moreover, it exploits a new “scan freeze” Flip-Flop (see Fig. 2) to support the new operation. During the shift phase, the test data are shifted separately through each partition, while the remaining partitions are ‘frozen’ to the current state and bypassed.

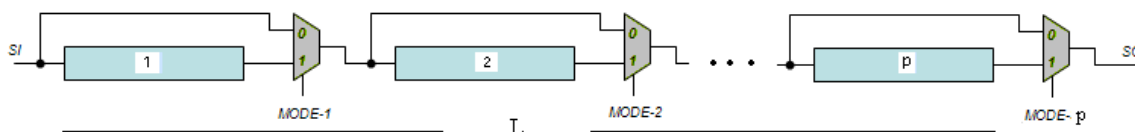


Figure 1. The concept of the proposed scan chain design technique

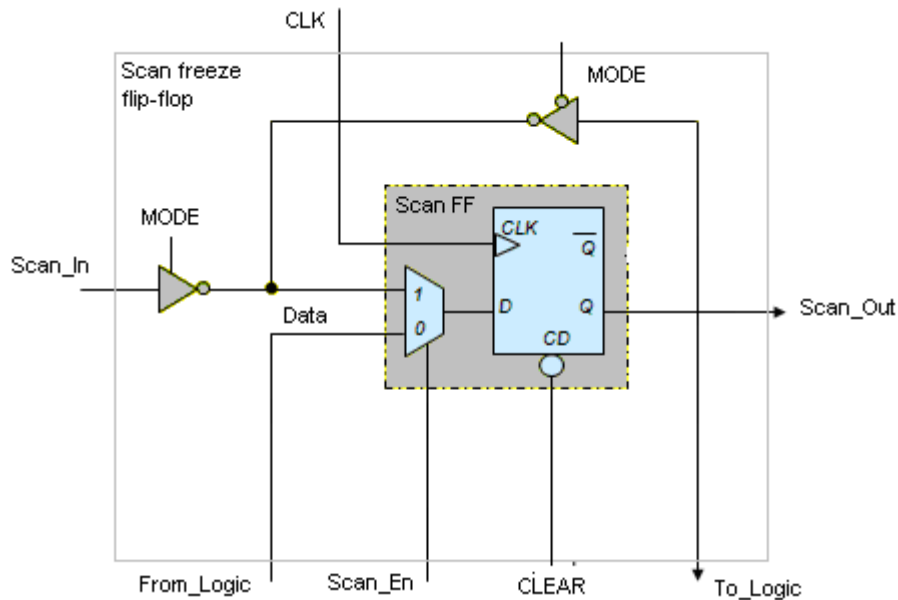


Figure 2. The scan freeze Flip-Flop

Thus, the number of signal transitions at the pseudo-primary inputs of the combinational logic is reduced proportionally to the number of partitions and consequently the dynamic energy consumption is reduced accordingly. Experimental results proved a reduction of 90% (when  $p=10$  partitions) in all IWLS05 benchmark circuits used, at an average silicon area cost increase of 3.18%.

The proposed architecture is very flexible and can be used in single or multiple parallel scan chains as well as in Illinois scan chain architectures. It is characterized by a very low implementation cost and does not increase the test application time neither reduces the fault coverage, compared to the standard scan testing topology. Furthermore, it is feasible to combine this architecture with existing X-filling algorithms in the literature, to also reduce the dynamic energy consumption during the capture phase of a scan testing process. Finally, the proposed scheme cooperates with any test data compaction technique and it is compatible with any embedded test pattern generation (TPG) and output response compaction (ORA) units to support built-in self testing (BIST).

---

1.1. Στόχοι

1.2. Δομή της Διατριβής

---

## 1.1. Στόχοι

Οι εξελίξεις σε όλους τους τομείς της τεχνολογίας στις μέρες μας είναι ραγδαίες. Στον χώρο του υλικού των υπολογιστών και των ολοκληρωμένων κυκλωμάτων έχουμε πλέον φτάσει σε τεχνολογίες πολύ υψηλής ολοκλήρωσης και αναμένονται ακόμα μικρότερες γεωμετρίες στο άμεσο μέλλον. Τα σύγχρονα κυκλωματικά στοιχεία καταλαμβάνουν όλο και λιγότερο χώρο στην επιφάνεια του ολοκληρωμένου κυκλώματος ενώ τα κυκλωματικά στοιχεία και οι διασυνδέσεις μεταξύ τους βρίσκονται σε όλο και κοντινότερες αποστάσεις. Η σμίκρυνση των ολοκληρωμένων κυκλωμάτων καθιστά τη διαδικασία κατασκευής εξαιρετικά πολύπλοκη αυξάνοντας την πιθανότητα εμφάνισης κατασκευαστικών ελαττωμάτων. Σήμερα υπάρχουν σχεδιασμοί ολοκληρωμένων κυκλωμάτων που περιέχουν πάνω από 2δισ τρανζίστορ. Ο έλεγχος ορθής λειτουργίας αποτελεί πλέον βασικό παράγοντα για τους κατασκευαστές ολοκληρωμένων κυκλωμάτων και είναι σημαντική πρόκληση η επίτευξη του ελέγχου πάνω σε κυκλώματα εξαιρετικά υψηλής πολυπλοκότητας.

Ο σχεδιασμός κυκλωμάτων με δυνατότητα ελέγχου (Design for Testability -DFT) είναι πλέον διαδεδομένος και στοχεύει στον έλεγχο των ολοκληρωμένων κυκλωμάτων με όσο το δυνατόν χαμηλότερο κόστος. Η πιο δημοφιλής σε χρήση τεχνική DFT σήμερα για έλεγχο ορθής λειτουργίας των κυκλωμάτων πολύ υψηλής κλίμακας ολοκλήρωσης (VLSI κυκλώματα) περιλαμβάνει την σειριακή σάρωση (scan testing) και τον βασισμένο στην σειριακή σάρωση ενσωματωμένο αυτοέλεγχο (built-in self test – BIST).

Στόχος της παρούσας εργασίας είναι η ανάπτυξη μιας νέας τεχνικής σειριακής σάρωσης για τον έλεγχο της ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων, που θα προσφέρει την απαραίτητη στις σημερινές τεχνολογίες μείωση της κατανάλωσης ενέργειας κατά τη

διάρκεια του ελέγχου, συμβάλλοντας στην αύξηση της αξιοπιστίας και τη διατήρηση της κατασκευαστικής απώλειας (yield loss) στα χαμηλότερα δυνατά επίπεδα.

Ειδικότερα, στόχος της εργασίας είναι η τροποποίηση της βασικής αρχιτεκτονικής σειριακής σάρωσης, με την εισαγωγή ενός νέου κυττάρου σάρωσης και κατάλληλων πολυπλεκτών, ώστε να επιτευχθεί μείωση της δυναμικής κατανάλωσης ενέργειας κατά την ολίσθηση των *διανυσμάτων ελέγχου* με όσο το δυνατόν μικρότερο κόστος. Στις σημερινές τεχνολογίες όπου το πλήθος των κυττάρων μνήμης των ακολουθιακών κυκλωμάτων είναι πολύ μεγάλο, η μείωση της κατανάλωσης κατά τον έλεγχο στη σειριακή σάρωση είναι επιτακτική, εξασφαλίζοντας μεγαλύτερη αξιοπιστία ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων πριν αυτά διατεθούν στην αγορά.

## **1.2. Δομή της Διατριβής**

Η εργασία αυτή είναι χωρισμένη σε 6 κεφάλαια. Αρχικά στο *πρώτο κεφάλαιο* παρουσιάστηκαν οι στόχοι της εργασίας καθώς και η δομή της διατριβής.

Στο *δεύτερο κεφάλαιο* παρουσιάζεται η θεωρία των τεχνικών ελέγχου ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων με έμφαση στην σειριακή σάρωση και στις βασικές τεχνικές για χαμηλή κατανάλωση κατά τη διάρκεια του ελέγχου.

Στο *τρίτο κεφάλαιο* παρουσιάζεται πρόσφατη βιβλιογραφική επισκόπηση πάνω σε θέματα αρχιτεκτονικών χαμηλής κατανάλωσης που έχουν προταθεί μέχρι σήμερα.

Το *τέταρτο κεφάλαιο* παρουσιάζει λεπτομερώς την προτεινόμενη τεχνική με το όνομα 'τεχνική σχεδίασης αλυσίδων σάρωσης με αναστολή σάρωσης', με στόχο την μείωση της κατανάλωσης ενέργειας κατά τον σειριακό έλεγχο σάρωσης.

Το *πέμπτο κεφάλαιο* αναφέρεται στα πειραματικά αποτελέσματα και τις μετρήσεις με την εφαρμογή της προτεινόμενης τεχνικής σε γνωστά κυκλώματα αναφοράς και τέλος στο *έκτο κεφάλαιο* παρουσιάζονται τα συμπεράσματα της εργασίας.



# ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΕΣ ΕΛΕΓΧΟΥ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

---

2.1 Έλεγχος ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων

2.2 Η τεχνική σειριακής σάρωσης

2.3 Η κατανάλωση ενέργειας κατά τη διάρκεια του ελέγχου ολοκληρωμένων κυκλωμάτων

2.4 Βασικές Αρχιτεκτονικές Σειριακής Σάρωσης Χαμηλής Κατανάλωσης

---

## 2.1 Έλεγχος Ορθής Λειτουργίας Ολοκληρωμένων Κυκλωμάτων

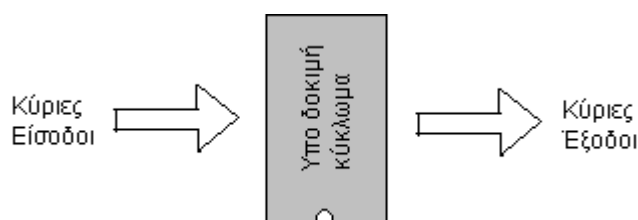
Ο Gordon Moore διατυπώνοντας έναν από τους πιο δημοφιλής “νόμους” στο χώρο της μικροηλεκτρονικής, γνωστό ως Νόμο του Moore, προέβλεψε ότι ο αριθμός των τρανζίστορ που μπορούν να τοποθετηθούν χωρίς υπερβολικό κόστος σε ένα ολοκληρωμένο κύκλωμα διπλασιάζεται ανά δύο έτη [1]. Όλο και μικρότερα σε μέγεθος κυκλωματικά στοιχεία (τρανζίστορ) κατασκευάζονται και καταλαμβάνουν όλο και λιγότερο χώρο στην επιφάνεια του ολοκληρωμένου κυκλώματος (ΟΚ). Οι αποστάσεις μεταξύ των γραμμών διάδοσης σήματος μειώνονται αισθητά. Το γεγονός αυτό καθιστά την διαδικασία κατασκευής των ολοκληρωμένων κυκλωμάτων ακόμα πιο δύσκολη, με περισσότερες ατέλειες, αυξάνοντας την πιθανότητα κατασκευής ελαττωματικών ΟΚ. Το τελικό προϊόν προς πώληση πρέπει να εξασφαλίζει αξιοπιστία και όσο το δυνατόν μεγαλύτερη πιθανότητα ορθής λειτουργίας. Για το λόγο αυτό έχουν αναπτυχθεί τεχνικές για έλεγχο της ορθής λειτουργίας (Design for Testability-DFT) των κυκλωμάτων ώστε να εξαλείφεται η πιθανότητα διάθεσης τους στην αγορά σε περίπτωση μη ορθής λειτουργίας. Οι τεχνικές DFT στόχο έχουν να ενσωματώσουν μηχανισμούς υποβοήθησης του ελέγχου της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων ώστε να εξασφαλιστεί η ανίχνευση των πιθανών σφαλμάτων σε αυτά. Τα τελευταία χρόνια οι τεχνικές DFT για έλεγχο των ψηφιακών κυκλωμάτων έχουν γίνει

ευρύτερα αποδεκτές με πιο σημαντικές τις τεχνικές σάρωσης (scan testing techniques), τις ενσωματωμένες τεχνικές αυτοελέγχου (build-in self-test – BIST) τεχνικές, τις τεχνικές παρατήρησης ρεύματος (Iddq testing) και τις τεχνικές περιφερειακής σάρωσης (boundary scan) [2].

Η μη ορθή λειτουργία των κυκλωμάτων οφείλεται σε *ελαττώματα* κατά την διαδικασία κατασκευής. Ορίζουμε ως:

- i) *ελαττώματα (defects)* τις πιθανές κατασκευαστικές ατέλειες και μόνιμες βλάβες σε ένα ολοκληρωμένο κύκλωμα οι οποίες εμφανίζονται κατά τη διαδικασία κατασκευής του (π.χ. βραχυκύκλωμα, κομμένη γραμμή κ.τ.λ.)
- ii) *σφάλματα (faults)* είναι οι μοντελοποιήσεις της επίδρασης των ελαττωμάτων στη συμπεριφορά των ΟΚ (π.χ. γραμμή με μόνιμη τιμή λογικό 1 ή 0, κ.α.) και
- iii) *λάθη (errors)* είναι οι λανθασμένες λογικές αποκρίσεις των ολοκληρωμένων κυκλωμάτων υπό την παρουσία σφαλμάτων.

Ο γενικότερος στόχος του ελέγχου ορθής λειτουργίας είναι να επιβεβαιωθεί η ορθή λειτουργία ενός κυκλώματος αφότου αυτό έχει κατασκευαστεί. Έχοντας λοιπόν ένα κύκλωμα, αναφερόμαστε σε αυτό ως *υπό έλεγχο κύκλωμα (CUT)*, εφαρμόζουμε ένα σύνολο από εισόδους στις κύριες εισόδους και μελετούμε τις αποκρίσεις του κυκλώματος που εμφανίζονται στις κύριες εξόδους του, όπως φαίνεται στο σχήμα 2.1.



Σχήμα 2.1: Σχήμα βασικής εφαρμογής του ελέγχου ορθής λειτουργίας

Οι τιμές που θα πάρουν οι εισόδοι κατά τον έλεγχο της ορθής λειτουργίας ομαδοποιούνται σε ένα διάνυσμα που καλείται διάνυσμα ελέγχου (test pattern/test vector). Τα διανύσματα ελέγχου είναι  $n$ -άδες από δυαδικά ψηφία (bits) έτσι επιλεγμένες ώστε να ενεργοποιούν ένα ή περισσότερα πιθανά σφάλματα μέσα στο κύκλωμα και να διαδίδουν στις εξόδους τις πιθανές λανθασμένες αποκρίσεις. Μετά την εφαρμογή των διανυσμάτων ελέγχου οι

αποκρίσεις (έξοδοι) του κυκλώματος συλλέγονται από τις εξόδους του κυκλώματος και ελέγχονται [3]. Αν οι τιμές που συλλέχτηκαν είναι οι αναμενόμενες τότε δεν ανιχνεύτηκε ελάττωμα στο κύκλωμα αλλιώς αν βρεθεί έστω και μια απόκριση διαφορετική από την αναμενόμενη τότε το ολοκληρωμένο κύκλωμα είναι ελαττωματικό και αποσύρεται. Οι αναμενόμενες αποκρίσεις των εισόδων εξάγονται από προσομοίωση (simulation) των διανυσμάτων ελέγχου και είναι γνωστές στον σχεδιαστή που κάνει τον έλεγχο του κυκλώματος.. Η διαδικασία της προσομοίωσης προσφέρει τον υπολογισμό των αναμενόμενων τιμών εξόδου ενός κυκλώματος δεδομένης μιας συγκεκριμένης ακολουθίας διανυσμάτων εισόδου.

Τα διανύσματα ελέγχου γεννούνται από τα εργαλεία προσομοίωσης με στόχευση συγκεκριμένων μοντέλων σφαλμάτων.

Υπάρχουν σε χρήση διάφορα μοντέλα σφαλμάτων όπως [2], [3], [4]:

*Σφάλμα Μόνιμης Τιμής (Stuck-At Fault)* : όπου ένας κόμβος του κυκλώματος εμφανίζει μόνιμα την ίδια λογική τιμή.

*Σφάλμα Μόνιμα Αγώγιμου Τρανζίστορ (Transistor Stuck-On)* : όπου ένα τρανζίστορ είναι μόνιμα σε αγώγιμη κατάσταση.

*Σφάλμα Μόνιμα μη Αγώγιμου Τρανζίστορ (Transistor Stuck-Open)* : όπου ένα τρανζίστορ είναι μόνιμα σε μη αγώγιμη κατάσταση.

*Σφάλμα Βραχυκύκλωσης (Bridging Fault)* : μοντελοποιεί βραχυκυκλώματα μεταξύ δύο κόμβων.

*Σφάλμα Καθυστέρησης Διάδοσης Σήματος (Delay Fault)* : μοντελοποιεί την καθυστέρηση σήματος σε μία ή περισσότερες διαδρομές του κυκλώματος.

Τα αναφερόμενα μοντέλα σφαλμάτων μπορούν να χρησιμοποιηθούν ταυτόχρονα σε ένα ολοκληρωμένο κύκλωμα.

Η διαδικασία ανίχνευσης ενός σφάλματος συνήθως διακρίνεται i) στη φάση της ενεργοποίησής του (sensitization) μέσα στο κύκλωμα και ii) τη φάση διάδοσης του επαγόμενου λάθους (propagation) στις κύριες εξόδους του κυκλώματος. Οι διαδικασίες της ενεργοποίησης και της διάδοσης είναι πολύπλοκες διότι δεν μπορούμε πάντα να θέσουμε, κατά ανεξάρτητο τρόπο, σε συγκεκριμένους κόμβους επιθυμητές τιμές.

Ένα δiάνυσμα ελέγχου πρέπει να είναι κατάλληλο ώστε να ενεργοποιεί το σφάλμα και να παράγει τις συνθήκες ώστε να διαδοθεί το επαγόμενο λάθος στις εξόδους του κυκλώματος ώστε να ανιχνευθεί.

Η κατασκευαστική απόδοση (yield - Y) εξαρτάται από την τεχνολογία, την επιφάνεια του ολοκληρωμένου κυκλώματος (OK) και το φυσικό σχεδιασμό του (layout) και ορίζεται από τον τύπο :

$$Y = \#σωστών OK / \#συνολικών OK \quad [Τύπος 2.1]$$

Είναι προφανώς επιθυμητή η εξασφάλιση μεγάλης τιμής για την κατασκευαστική απόδοση ώστε το σύνολο των σωστά κατασκευασμένων OK να προσεγγίζει το σύνολο όλων των OK.

Σημαντική είναι και η εξασφάλιση υψηλής τιμής για την κάλυψη σφαλμάτων (*fault coverage*) που ορίζεται σαν το πηλίκο του συνόλου των σφαλμάτων που ανιχνεύονται δια τον συνολικό αριθμό όλων των πιθανών σφαλμάτων,

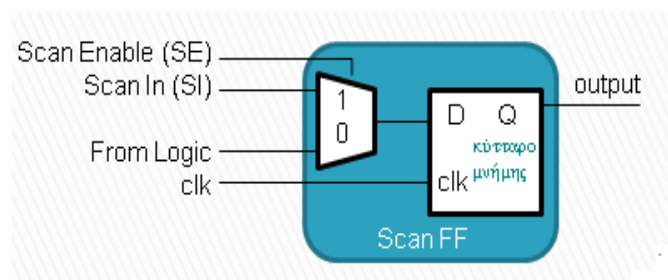
$$fault\ coverage(FC) = \#σφαλμάτων\ που\ ανιχνεύονται / \#συνολικός\ αριθμός\ πιθανών\ σφαλμάτων \quad [Τύπος 2.2]$$

Ο έλεγχος ορθής λειτουργίας του κυκλώματος μπορεί να πραγματοποιηθεί είτε με την εφαρμογή των διανυσμάτων ελέγχου από το εξωτερικό περιβάλλον (*off chip testing*) είτε από τη χρήση ενσωματωμένων τεχνικών στο ολοκληρωμένο (*on chip testing*). Είναι δυνατόν ο έλεγχος ορθής λειτουργίας να πραγματοποιείται ενώ το κύκλωμα βρίσκεται σε χρήση (*on line testing*) και να ελέγχεται ταυτόχρονα με την κανονική του λειτουργία ή να πραγματοποιείται όταν το κύκλωμα δεν βρίσκεται σε χρήση (*off line testing*) [3], [4].

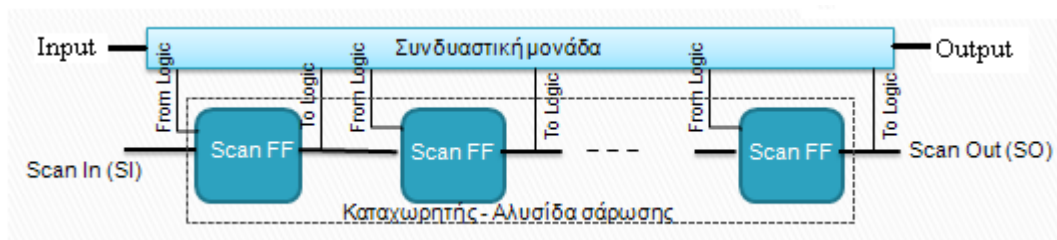
## 2.2 Η Τεχνική Σειριακής Σάρωσης

Πολλές τεχνικές ελέγχου της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων έχουν αναπτυχθεί τα τελευταία χρόνια. Η τεχνική σειριακής σάρωσης είναι μια από τις τεχνικές για έλεγχο *ακολουθιακών κυκλωμάτων* και χρησιμοποιείται ευρέως. Υλοποιείται με την αντικατάσταση όλων των κυττάρων μνήμης (flip-flops) με κύτταρα σάρωσης (scan flip-flops/cells) συνδεδεμένα σε σειρά μεταξύ τους ώστε να δημιουργείται ένας σειριακός ολισθητής καταχωρητής (scan register) ή αλυσίδα σάρωσης (scan chain) με εξωτερική

πρόσβαση. Η εξωτερική πρόσβαση παρέχει την δυνατότητα ελέγχου και παρατήρησης της εσωτερικής κατάστασης του ακολουθιακού κυκλώματος με την σειριακή ολίσθηση εντός των δεδομένων για την επιβολή μιας κατάλληλης εσωτερικής κατάστασης για τον έλεγχο και την ολίσθηση εκτός των αποκρίσεων του συνδυαστικού κυκλώματος στην αλυσίδα σάρωσης. Κατά τον τρόπο αυτό μπορεί να ελεγχθεί η εσωτερική κατάσταση του κυκλώματος (η οποία στα ακολουθιακά OK είναι άγνωστη) και να παρατηρηθεί στην έξοδο οποιαδήποτε εσωτερική κατάσταση του OK. Τα κύτταρα σάρωσης (Scan FF) μπορούν εύκολα να υλοποιηθούν από τα προϋπάρχοντα κύτταρα μνήμης με την προσθήκη ενός πολυπλέκτη όπως παρουσιάζεται στο σχήμα 2.2(α). Ο πολυπλέκτης επιλέγει μεταξύ των δεδομένων που προέρχονται από την συνδυαστική λογική (σήμα *from\_logic*) ή από την σειριακή είσοδο (σήμα *Scan\_In*). Τα δεδομένα βγαίνουν στην έξοδο του κυττάρου σάρωσης (σήμα *output*) ανάλογα με τον συγχρονισμό του ρολογιού ελέγχου *clk*.



(α)



(β)

Σχήμα 2.2 (α): Κύτταρο σάρωσης (Scan flip-flop/cell) (β): Σειριακή σάρωση

Ανάλογα με το σήμα επιλογής Scan Enable(SE) του πολυπλέκτη γίνεται είτε η σειριακή ολίσθηση των δεδομένων μέσω της εισόδου Scan In(SI) κατά τη διάρκεια του ελέγχου του OK (SE=1) είτε η σύλληψη των δεδομένων κατά τη διάρκεια της κανονικής λειτουργίας του OK μέσω της εισόδου From Logic (SE=0). Αντικαθιστώντας όλα τα κύτταρα μνήμης με τα κύτταρα σάρωσης του σχήματος 2.2(α) και συνδέοντας τα μεταξύ τους σειριακά δημιουργείται ένας καταχωρητής πολύ μεγάλου μεγέθους αποκαλούμενος ως αλυσίδα

σάρωσης. Η τεχνική καλείται σειριακή σάρωση και παρέχει τη δυνατότητα ελέγχου της εσωτερικής κατάστασης του κυκλώματος μέσω μιας κύριας εισόδου και εξόδου.

Στο σχήμα 2.2(β) παρουσιάζεται η συνδεσμολογία της σειριακής σάρωσης όπου μια κύρια είσοδος Scan In(SI) τροφοδοτεί με δεδομένα την αλυσίδα σάρωσης και παρέχει δεδομένα προς παρατήρηση σε μια κύρια έξοδο Scan Out(SO). Το ρολόι (clk) είναι κοινό για όλους τους καταχωρητές σάρωσης, οι εισοδοί Input είναι οι κύριες εισοδοί του κυκλώματος (ή αλλιώς οι Primary Inputs -PI-) ενώ οι εξοδοί Output είναι οι κύριες εξοδοί (ή αλλιώς Primary Outputs -PO-) του κυκλώματος. Τα κύτταρα σάρωσης που συνδέονται στην κοινή είσοδο Scan In και στην κοινή έξοδο Scan Out αποτελούν την αλυσίδα σάρωσης μεγέθους L. Οι γνωστές στο χρήστη τιμές εισόδου που ολισθαίνουν εντός από την είσοδο Scan In, γνωστές και ως ψευδοκύριες εισοδοί (Pseudo Primary Inputs -PPI-), σε συνδυασμό με τις εισόδους Input που εφαρμόζονται στο κύκλωμα αποτελούν το διάνυσμα ελέγχου. Οι τιμές που θα συλλεχθούν από τις κύριες εξόδους Output σε συνδυασμό με τις τιμές που θα ολισθήσουν εκτός από την αλυσίδα σάρωσης, γνωστές και ως ψευδοκύριες εξοδοί (Pseudo Primary Outputs -PPO-), αποτελούν το διάνυσμα εξόδου. Το διάνυσμα εξόδου αποτελεί τις αποκρίσεις του κυκλώματος στο διάνυσμα ελέγχου που εφαρμόστηκε.

Οι αποκρίσεις του κυκλώματος συμπίεζονται από τον *αναλυτή υπογραφής* και το τελικό αποτέλεσμα μετά το πέρας του ελέγχου της ορθής λειτουργίας συγκρίνεται με τις αναμενόμενες αποκρίσεις έτσι ώστε να αποφασιστεί αν το ολοκληρωμένο κύκλωμα είναι απαλλαγμένο από σφάλματα. Ο αναλυτής υπογραφής που συμπίεζει τις αποκρίσεις του κυκλώματος είναι συνήθως ένα κύκλωμα συμπίεσης LFSR στο οποίο εφαρμόζεται η ακολουθία των αποκρίσεων του κυκλώματος. Το LFSR είναι ένας ολισθητής καταχωρητής που το ψηφίο εισόδου είναι μια γραμμική συνάρτηση των προηγούμενων καταστάσεων του. Το LFSR λειτουργεί σαν γεννήτρια ψευδοτυχαίων διανυσμάτων. Στο τέλος της διαδικασίας το περιεχόμενο του LFSR είναι η υπογραφή του κυκλώματος.

Η πιο διαδεδομένη τεχνική ανάλυσης υπογραφής είναι η διαδοχική συμπίεση των αποκρίσεων ενός κυκλώματος και η σύγκριση του τελικού αποτελέσματος με το αναμενόμενο.

Η διαδικασία ελέγχου για ένα OK περιλαμβάνει τα ακόλουθα στάδια:

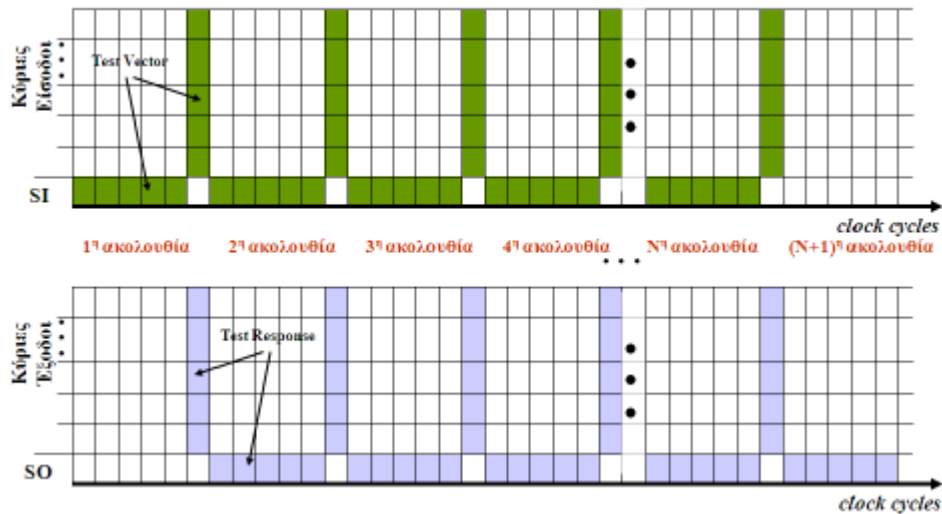
1. Ολίσθηση εντός του διανύσματος ελέγχου. Απαιτούνται  $n$  κύκλοι ρολογιού, όσο και το μέγεθος της αλυσίδας σάρωσης. Η φάση αυτή απαιτεί το σήμα επιλογής SE των πολυπλεκτών των κυττάρων σάρωσης να είναι ενεργοποιημένο ( $SE=1$ ) ώστε να ολισθήσουν εντός δεδομένα από την σειριακή είσοδο Scan In (φάση ολίσθησης-scan mode) και ταυτόχρονα να ολισθήσουν εκτός οι αποκρίσεις του προηγούμενου διανύσματος ελέγχου. Το διάνυσμα ελέγχου εφαρμόζεται στις κύριες εισόδους PI και στις ψευδοκύριες εισόδους PPI.

2. Επαναφορά του κυκλώματος στην κανονική λειτουργία και συλλογή των αποκρίσεων (PO και PPO εξόδοι). Η διαδικασία απαιτεί ένα κύκλο ρολογιού και το σήμα επιλογής SE των πολυπλεκτών των κύτταρα σάρωσης είναι απενεργοποιημένο ( $SE=0$ ) ώστε τα δεδομένα που θα αποθηκευτούν στα κύτταρα σάρωσης να είναι οι αποκρίσεις της συνδυαστικής λογικής (φάση δέσμευσης αποκρίσεων-capture mode).

3. Επανάληψη της διαδικασία του σταδίου 1 όπου ένα καινούριο διάνυσμα ελέγχου ολισθαίνει εντός ενώ ταυτόχρονα οι αποκρίσεις τους βήματος 2 ολισθαίνουν εκτός στον παρατηρητή. Ο παρατηρητής είναι το εξωτερικό σύστημα ελέγχου ορθής λειτουργίας (tester-συνήθως LFSR) που συγκρίνει τις εξόδους που λαμβάνει από το OK με τις αναμενόμενες οι οποίες προκύπτουν από προσομοίωση.

Στο σχήμα 2.3 παρουσιάζεται ένα παράδειγμα με ακολουθίες ενεργειών στο χρόνο για την εισαγωγή δεδομένων ελέγχου σε ένα κύκλωμα με πέντε κύτταρα σάρωσης και την συλλογή των αποκρίσεων σε αυτά [5]. Κατά τη διάρκεια των πέντε πρώτων κύκλων ρολογιού ολισθαίνει εντός το διάνυσμα ελέγχου για τις εισόδους PPI και φορτώνεται στην αλυσίδα σάρωσης ενώ ταυτόχρονα ολισθαίνει εκτός η απόκριση του προηγούμενου διανύσματος ελέγχου στις εξόδους PPO. Εφαρμόζονται ταυτόχρονα οι κύριες εισοδοι PI στο κύκλωμα και οι εισοδοι PPI. Ακολουθεί ο έκτος κύκλος της δέσμευσης των αποκρίσεων (capture mode), όπου το κύκλωμα δουλεύει στην κανονική λειτουργία. Λίγο μετά το πέρας της θετικής ακμής του έκτου κύκλου, οι αποκρίσεις του κυκλώματος δεσμεύονται από τα κύτταρα σάρωσης και στις κύριες εξόδους PO εμφανίζονται οι αντίστοιχες αποκρίσεις. Στους επόμενους πέντε κύκλους ρολογιού, ολισθαίνει εντός το επόμενο διάνυσμα ελέγχου

ενώ ταυτόχρονα οι αποκρίσεις που συλλέχθηκαν στα κύτταρα σάρωσης (PPO) εξάγονται προς τα έξω σειριακά για να παρατηρηθούν-ελεγχθούν. Η διαδικασία επαναλαμβάνεται για κάθε διάνυσμα ελέγχου του κυκλώματος [2], [4].



Σχήμα 2.3: Παράδειγμα ελέγχου σειριακής σάρωσης

Για κάθε κύκλωμα και για κάθε μοντέλο σφάλματος υπάρχει μια πλειάδα διανυσμάτων ελέγχου. Αν μετά την εφαρμογή όλων των διανυσμάτων έχουν συλλεχθεί οι αναμενόμενες αποκρίσεις, τότε το ΟΚ θεωρείται πως λειτουργεί σωστά ως προς το συγκεκριμένο μοντέλο σφαλμάτων. Προφανώς, μπορούν να ανιχνευθούν περισσότερα από ένα μοντέλα σφαλμάτων κατά τον έλεγχο ορθής λειτουργίας ενός κυκλώματος.

Κατά τη διάρκεια του ελέγχου μπορούν να προκληθούν διάφορα προβλήματα και κυρίως κατά την φάση της ολίσθησης των δεδομένων. Οι συνεχόμενες μεταβάσεις τιμών στα κύτταρα σάρωσης από 0 σε 1 και το αντίστροφο αυξάνουν την δυναμική κατανάλωση ενέργειας στο κύκλωμα. Η κατανάλωση ενέργειας κατά την διάρκεια του ελέγχου ενός κυκλώματος συνήθως είναι κατά πολύ μεγαλύτερη από την κατανάλωση ενέργειας κατά την κανονική λειτουργία. Η χαμηλής κατανάλωσης τεχνικές σχεδίασης κυκλωμάτων για τον έλεγχο της ορθής λειτουργίας καθίστανται απαραίτητες στα σύγχρονα κυκλώματα. Ο λόγος που μια τέτοια σχεδίαση θεωρείται ιδιαίτερα σημαντική είναι η αποφυγή του ρίσκου πρόκλησης βλάβης στο κύκλωμα κατά τη διάρκεια του ελέγχου. Μια τέτοια βλάβη μειώνει την κατασκευαστική απόδοση γιατί μειώνεται ο αριθμός των κατασκευαστικά σωστών ολοκληρωμένων κυκλωμάτων. Οι χαμηλής κατανάλωσης τεχνικές DFT μειώνουν το κόστος



της χρήσης ακριβών πακέτων συσκευασίας (packaging) και εξωτερικών συσκευών ψύξης που χρησιμοποιούνται κατά τον έλεγχο κυκλωμάτων. Επίσης, οι χαμηλής κατανάλωσης τεχνικές DFT επιτρέπουν τον παράλληλο έλεγχο πολλαπλών πυρήνων στα ενσωματωμένα συστήματα (SOC). Με την εφαρμογή των τεχνικών χαμηλής κατανάλωσης DFT πολλοί πυρήνες ελέγχονται ταυτόχρονα, μειώνοντας το συνολικό χρόνο του ελέγχου. Οι απότομες αυξητικές μεταβάσεις ρεύματος οδηγούν σε πολύ μεγάλες διακυμάνσεις των τιμών τάσης τροφοδοσίας Vdd και γείωσης και μπορούν να οδηγήσουν το κύκλωμα σε ακαθόριστες καταστάσεις. Χρησιμοποιώντας χαμηλής κατανάλωσης τεχνικές DFT αυτές οι περιπτώσεις μπορούν να αποφευχθούν [6], [7].

### **2.3 Η Κατανάλωση Ενέργειας κατά τη διάρκεια του Ελέγχου Ολοκληρωμένων Κυκλωμάτων**

Ένα ολοκληρωμένο κύκλωμα καταναλώνει περισσότερη ενέργεια κατά τη διάρκεια του ελέγχου σε σχέση με την κανονική λειτουργία του [8]. Η κατά πολύ μεγαλύτερη κατανάλωση ενέργειας κατά τη διάρκεια του ελέγχου οφείλεται στις συνεχόμενες και διαρκείς μεταβάσεις τιμών των εσωτερικών καταστάσεων του κυκλώματος. Κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος οι εσωτερικές καταστάσεις του κυκλώματος είναι σε μεγάλο βαθμό προκαθορισμένες και σύμφωνες με τις προδιαγραφές σχεδίασης του Ο.Κ. Αντιθέτως κατά τη διάρκεια του ελέγχου οι εσωτερικές καταστάσεις του Ο.Κ είναι τυχαίες καθώς τα εργαλεία γένεσης διανυσμάτων ελέγχου (LFSR) δεν λαμβάνουν υπόψη σχετικούς περιορισμούς.

Η ανεξέλεγκτη κατανάλωση ενέργειας κατά τη διάρκεια του ελέγχου, ανεξαρτήτως της τεχνικής ελέγχου ορθής λειτουργίας που εφαρμόζεται, μπορεί να προκαλέσει δύο κυρίως σημαντικά προβλήματα που έχουν ως αποτέλεσμα την κατασκευαστική απώλεια.

(i) Καταστροφή του Ο.Κ (destructive testing) ο οποίος προκαλείται από την υπερβολική θέρμανση του Ο.Κ κατά τον έλεγχο. Η αύξηση της θερμοκρασίας κατά τη διάρκεια του ελέγχου είναι αναπόφευκτη λόγω των συνεχόμενων και μη προκαθορισμένων εναλλαγών των εσωτερικών καταστάσεων του κυκλώματος. Αν η θερμοκρασία του Ο.Κ προς έλεγχο (CUT) αυξηθεί κατά το ανώτερο επιτρεπτό όριο, υπάρχει πιθανότητα το κύκλωμα να πάψει να λειτουργεί κατά τον αναμενόμενο τρόπο και να επιταχυνθεί ένας μηχανισμός φθοράς του ΟΚ οδηγώντας στην μόνιμη καταστροφή του. Η καταστροφή του ΟΚ χαρακτηρίζει την

προσπάθεια ελέγχου του αποτυχημένη και μειώνει την κατασκευαστική απόδοση. Η πραγματική αιτία της υπερθέρμανσης των Ο.Κ κατά τον έλεγχο είναι οι απρόβλεπτες τιμές των εσωτερικών καταστάσεων, οι οποίες στην κανονική λειτουργία είναι ήδη μοντελοποιημένες και προβλέψιμες κατά τη διαδικασία σχεδίασης και προσομοίωσης.

(ii) Εσφαλμένος χαρακτηρισμός του Ο.Κ ως ελαττωματικό που μπορεί να προκληθεί από θόρυβο στην τάση/γείωση που εφαρμόζεται στο κύκλωμα. Ο θόρυβος σε ένα Ο.Κ προς έλεγχο μπορεί να προκληθεί από τις εξωτερικές συσκευές (όπως τα probes) που εφαρμόζονται στα κυκλώματα που δεν περιέχουν ενσωματωμένο αυτοέλεγχο. Ο θόρυβος αυτός προκαλεί δυσλειτουργία μόνο κατά τη διάρκεια του ελέγχου. Η πτώση τάσης είναι ένα σοβαρό πρόβλημα λόγω των μεγάλων τιμών ρεύματος και αντιστάσεων των καλωδίων που προκαλούν πτώση της τάσης. Η μεγάλη πτώση τάσης μειώνει την ταχύτητα κανονικής λειτουργίας (απόκρισης) του κυκλώματος σε σχέση με την προβλεπόμενη μειώνοντας την πιθανότητα λήψης των σωστών αποκρίσεων. Η διαδικασία οδηγεί στη λήψη λανθασμένων αποκρίσεων και στην λανθασμένη απόφαση της μη ορθής λειτουργίας του κυκλώματος. Η κατασκευαστική διαδικασία θεωρείται πως απέτυχε, το Ο.Κ καταστρέφεται (δεν χρησιμοποιείται) χωρίς να έχει στην πραγματικότητα κατασκευαστικό πρόβλημα και θεωρείται λανθασμένα κατασκευαστική απώλεια [3], [8].

### 2.3.1 Κατανάλωση Ενέργειας σε Ψηφιακά Κυκλώματα CMOS

Η συνολική κατανάλωση ενέργειας ενός ψηφιακού CMOS κυκλώματος μπορεί να διαχωριστεί σε στατική, δυναμική και κατανάλωση βραχυκυκλώματος. Η κατανάλωση βραχυκυκλώματος προκαλείται από μικρά ρεύματα διαρροής στο κύκλωμα κατά τη διάρκεια των εναλλαγών των εσωτερικών καταστάσεων του Ο.Κ. Η στατική κατανάλωση ενέργειας οφείλεται σε διαρροές ρεύματος των τρανζίστορ του κυκλώματος κατά τη φάση ηρεμίας του κυκλώματος ενώ η δυναμική σε φορτίσεις-αποφορτίσεις των εσωτερικών κόμβων κατά τη φάση της κανονικής λειτουργίας του.

Η ισχύς που καταναλώνεται οφείλεται στις μεταβάσεις σήματος στους εσωτερικούς κόμβους του Ο.Κ και υπολογίζεται για κάθε κόμβο από τον τύπο

$$P_d = C_{load} \cdot V_{DD}^2 \cdot N_G/T_{cyc} \quad [\text{Τύπος 2.3}]$$

όπου  $C_{load}$  είναι η χωρητικότητα του κόμβου,  $V_{DD}$  η εφαρμοζόμενη τάση κανονικής λειτουργίας,  $T_{cyc}$  η περίοδος του ρολογιού,  $N_G$  η πιθανότητα ύπαρξης μετάβασης (transitions) από 0 σε 1 ή από 1 σε 0.

Η μείωση της δυναμικής κατανάλωσης σε ένα δεδομένο κύκλωμα μπορεί να επιτευχθεί και με τη μείωση της πιθανότητας μεταβάσεων  $N_G$  εφαρμόζοντας τεχνικές χαμηλής κατανάλωσης.

Η χωρητικότητα εξόδου κάθε πύλης εξαρτάται από το fan-out (πλήθος εξόδων) της [2], [8], [9].

### 2.3.2 Μέση και Μέγιστη Κατανάλωση Ενέργειας

Η μέση κατανάλωση ενέργειας εκτιμά το μέσο αριθμό μεταβάσεων στους εσωτερικούς κόμβους του κυκλώματος. Η μέση κατανάλωση κατά τη διάρκεια κανονικής λειτουργίας είναι σημαντική κυρίως σε συστήματα όπου είναι απαραίτητη η ζωή της μπαταρίας (όπως σε κινητά τηλέφωνα) αλλά και κατά τη διάρκεια του ελέγχου όπου μικρές τιμές μέσης κατανάλωσης προσφέρουν όλο και μεγαλύτερη αξιοπιστία στο κύκλωμα. Η μέγιστη κατανάλωση δίνεται από την μέγιστη τιμή της καταναλισκόμενης ενέργειας μια δεδομένη στιγμή σε ένα κύκλωμα και είναι σημαντική για την αξιοπιστία του κυκλώματος. Υψηλές τιμές της μέγιστης ενέργειας εμφανίζονται συνήθως κατά τη δέσμευση των αποκρίσεων και προκαλούν πτώσεις τάσης στο κύκλωμα γεγονός που μπορεί να μειώσει την ταχύτητα απόκρισης του κυκλώματος με αποτέλεσμα την συλλογή λανθασμένων αποκρίσεων κατά τη διάρκεια του ελέγχου. Το γεγονός αυτό θα οδηγήσει σε εσφαλμένο χαρακτηρισμό του Ο.Κ ως ελαττωματικό [8].

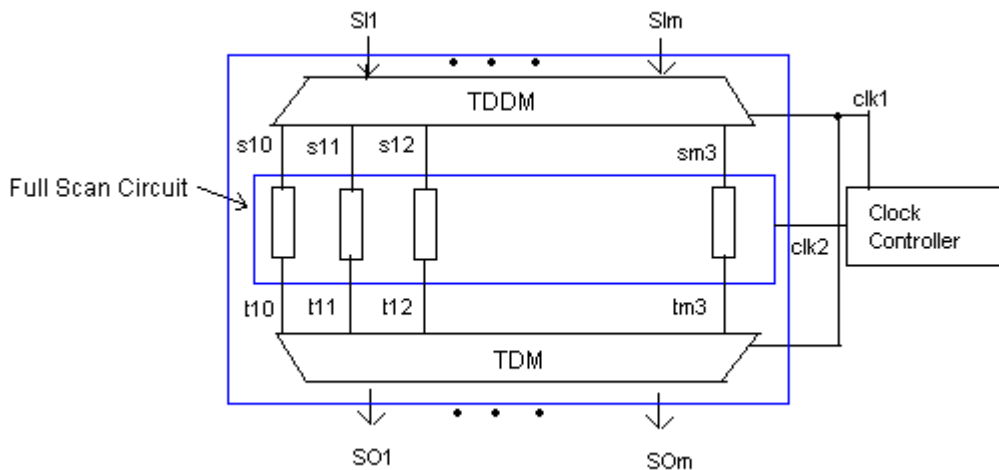
## 2.4 Βασικές Τεχνικές Σειριακής Σάρωσης Χαμηλής Κατανάλωσης

### 2.4.1 Σάρωση Χαμηλής Κατανάλωσης με Μείωση της Τάσης Τροφοδοσίας

Είναι μια τεχνική για την μείωση της κατανάλωσης ενέργειας που προϋποθέτει την μείωση της τάσης τροφοδοσίας. Μείωση της τάσης τροφοδοσίας κατά  $a$  συνεπάγεται την μείωση της κατανάλωσης ενέργειας κατά  $a^2$ . Η μείωση της τάσης τροφοδοσίας έχει σαν συνέπεια την μείωση της ταχύτητας λειτουργίας και την ακαθόριστη συμπεριφορά του κυκλώματος δεδομένου ότι κάθε κύκλωμα είναι σχεδιασμένο να λειτουργεί με συγκεκριμένη τάση τροφοδοσίας [8].

#### 2.4.2 Σάρωση Χαμηλής Κατανάλωσης με Μείωση της Συχνότητας

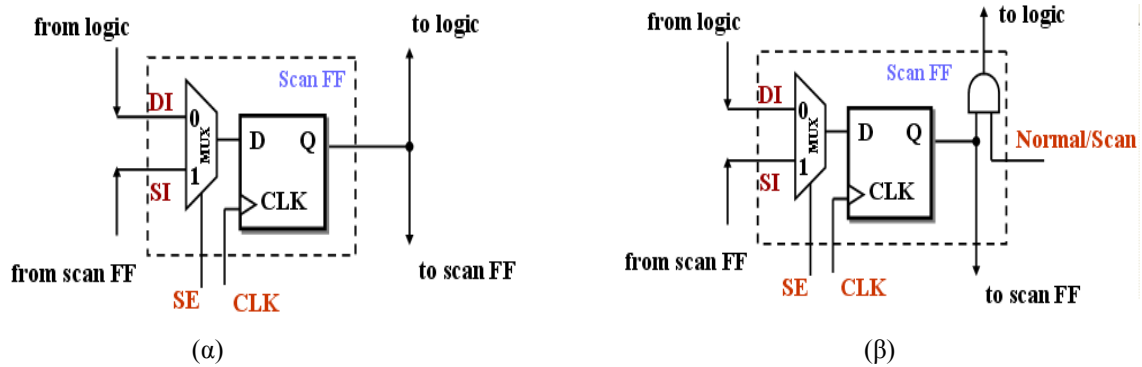
Μια δεύτερη προσέγγιση για την επίτευξη χαμηλής κατανάλωσης κατά τη διάρκεια του ελέγχου είναι η μείωση της συχνότητας του ρολογιού ολίσθησης [10]. Η μείωση της συχνότητας του ρολογιού ολίσθησης επιτυγχάνει ανάλογη μείωση της καταναλισκόμενης ισχύος. Με την τεχνική αυτή αυξάνεται ο χρόνος εφαρμογής του ελέγχου αναλογικά με την μείωση της συχνότητας του ρολογιού.



Σχήμα 2.4. Αρχιτεκτονική χαμηλής κατανάλωσης με ταίριασμα εύρους ζώνης

#### 2.4.3 Αρχιτεκτονική Σάρωσης Χαμηλής Κατανάλωσης με Ταίριασμα Εύρους Ζώνης

Η συγκεκριμένη τεχνική [11] μπορεί να υλοποιηθεί τμηματοποιώντας την αρχική αλυσίδα σάρωσης σε πολλαπλές αλυσίδες σάρωσης και μειώνοντας την συχνότητα ολίσθησης του ρολογιού. Η μείωση γίνεται γιατί η χρήση των καταχωρητών TDDM και TDM ‘καθυστερεί’ την ολίσθηση των δεδομένων στην κλασική αλυσίδα σάρωσης και ο συγχρονισμός είναι απαραίτητος για να προλάβουν να ολισθήσουν προς τα μέσα και προς τα έξω αντίστοιχα τα δεδομένα ελέγχου. Το σχήμα 2.4 παρουσιάζει την συγκεκριμένη τεχνική. Ο αποπολυπλέκτης χρονικού (time division demultiplexer-TDDM) είναι ένας καταχωρητής ολίσθησης σειριακής εισόδου/παράλληλης εξόδου ενώ ο πολυπλέκτης χρονικού διαμοιρασμού (time division multiplexer-TDM) είναι ένας καταχωρητής ολίσθησης παράλληλης εισόδου/σειριακής εξόδου. Κύριο μειονέκτημα της συγκεκριμένης αρχιτεκτονικής είναι το κόστος σε επιφάνεια πυριτίου στο κύκλωμα.



Σχήμα 2.5. (α) Κύτταρο σάρωσης (β) Τροποποιημένο κύτταρο σάρωσης για χαμηλή κατανάλωση [2],[4]

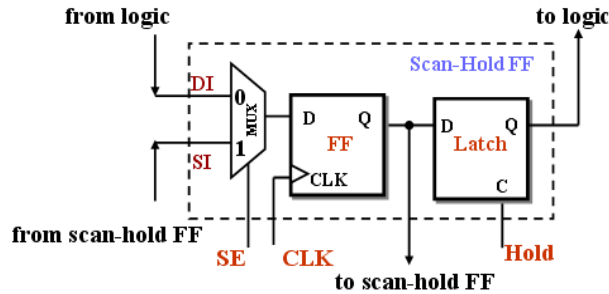
#### 2.4.4 Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Απομόνωση των Δεδομένων (Data Gating)

Η τεχνική αυτή [2] είναι μια από τις πιο συχνά χρησιμοποιούμενες τεχνικές χαμηλής κατανάλωσης και βασίζεται στην απομόνωση των δεδομένων ελέγχου από τη συνδυαστική λογική κατά την ολίσθησή τους στην αλυσίδα σάρωσης και εφαρμόζεται με την τοποθέτηση μιας λογικής πύλης η οποία ελέγχεται από εξωτερικό σήμα ελέγχου ή το σήμα επιλογής SE του κυττάρου σάρωσης. Η τεχνική παρουσιάζεται στο σχήμα 2.5 όπου στο σχήμα 2.5(α) παρουσιάζεται το κλασικό κύτταρο σάρωσης ενώ στο σχήμα 2.5(β) το τροποποιημένο κύτταρο για χαμηλή κατανάλωση. Η παρεμβολή της πύλης AND η οποία ελέγχεται από το σήμα Normal/Scan εμποδίζει την διέλευση των εναλλαγών των τιμών του κυττάρου σάρωσης κατά την ολίσθηση προς τα μέσα του διανύσματος ελέγχου. Με το μπλοκάρισμα των εναλλαγών του σήματος εισόδου προς την συνδυαστική λογική επιτυγχάνεται σημαντική μείωση της κατανάλωσης ενέργειας κατά τον έλεγχο του κυκλώματος. Βασικό μειονέκτημα της τεχνικής είναι η καθυστέρηση που προσθέτει η λογική πύλη κατά την κανονική λειτουργία του κυκλώματος.

#### 2.4.5 Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Κύτταρα Σάρωσης Κατακράτησης

Μια άλλη τεχνική [2] που εμποδίζει τις μεταβάσεις σήματος στις εισόδους της λογικής είναι αυτή που παρουσιάζεται στο σχήμα 2.6 και χρησιμοποιεί μανδαλωτή (latch) για την απομόνωση των δεδομένων ελέγχου από τη συνδυαστική λογική. Όσο το σήμα Hold είναι σε λογικό 0 ο μανδαλωτής είναι σε κατάσταση μνήμης και τροφοδοτεί την λογική με τις προηγούμενες σταθερές τιμές που είχαν αποθηκευτεί στην έξοδο του. Με τη διαδικασία

αυτή δεν υφίστανται μεταβάσεις τιμών σήματος εισόδου στην υπόλοιπη συνδυαστική λογική με αποτέλεσμα την ελαχιστοποίηση της κατανάλωσης ενέργειας κατά τον έλεγχο. Η τεχνική αυτή υποστηρίζει αποτελεσματικά και τον έλεγχο ορθής λειτουργίας για σφάλματα καθυστέρησης αλλά και πάλι υφίσταται το μειονέκτημα με την πρόσθετη καθυστέρηση που επιφέρει ο μανδαλωτής στην κανονική λειτουργία του κυκλώματος.



Σχήμα 2.6. Τεχνική χαμηλής κατανάλωσης με Flip-Flop κατακράτησης [2],[4]

#### 2.4.6 Σάρωση Χαμηλής Κατανάλωσης με Απενεργοποίηση του Ρολογιού κατά Τμήματα (Clock Gating)

Μια εναλλακτική τεχνική είναι η διαδοχική απενεργοποίηση του ρολογιού της αλυσίδας σε διάφορα τμήματά της και κατ' επέκταση η τμηματική ολίσθηση δεδομένων σε αυτήν [12]. Το κύριο μειονέκτημα αυτής της τεχνικής είναι η εμφάνιση προβλημάτων skew μεταξύ των ρολογιών των τμημάτων.

#### 2.4.7 Σάρωση Χαμηλής Κατανάλωσης με Διαχείριση των Διανυσμάτων Ελέγχου

Μια δημοφιλής πρακτική μείωσης της κατανάλωσης ενέργειας κατά την σειριακή ολίσθηση δεδομένων στο κύκλωμα είναι οι διαχείριση των αδιάφορων όρων στα διανύσματα ελέγχου και η συμπλήρωσή τους με κατάλληλες τιμές ώστε να μειωθούν οι μεταβάσεις σήματος [10], [13]-[16]. Οι τεχνικές αυτές δεν μπορούν να μειώσουν την κατανάλωση που οφείλεται στην ολίσθηση των αποκρίσεων της συνδυαστικής λογικής στην αλυσίδα.

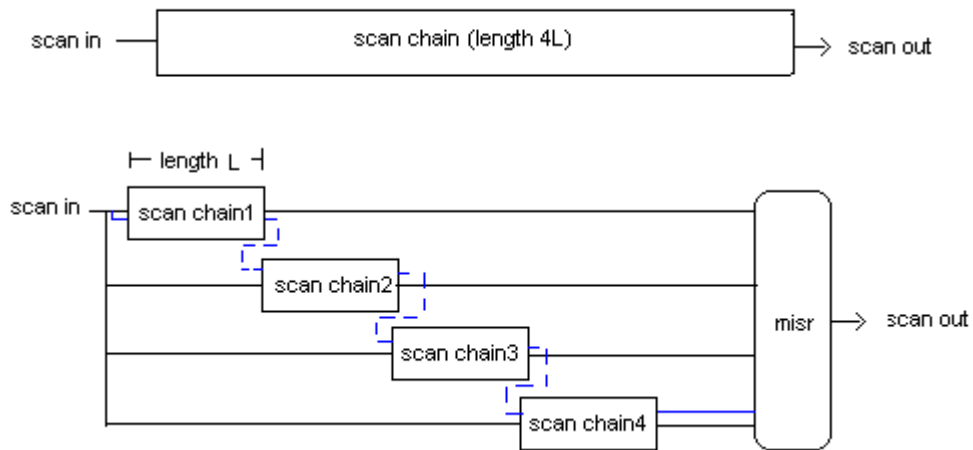
## ΚΕΦΑΛΑΙΟ 3. ΒΙΒΛΙΟΓΡΑΦΙΚΗ ΕΠΙΣΚΟΠΗΣΗ

---

- 3.1 Η Illinois Τεχνική Σειριακής Σάρωσης
  - 3.2 Η χαμηλής κατανάλωσης Illinois τεχνική σειριακής σάρωσης
  - 3.3 Μια αρχιτεκτονική πολλαπλών αλυσίδων σάρωσης για μείωση της κατανάλωσης και του χρόνου ελέγχου
  - 3.4 Μια αρχιτεκτονική παράκαμψης κυττάρων σάρωσης για χαμηλή κατανάλωση
  - 3.5 Μια νέα τεχνική τμηματοποίησης αλυσίδων σάρωσης για ενσωματωμένα συστήματα χαμηλής κατανάλωσης
  - 3.6 Τεχνική Σχεδίασης Αλυσίδων Σάρωσης για Υψηλή Ταχύτητα και Χαμηλή Κατανάλωση
- 

### 3.1 Η Τεχνική Σειριακής Σάρωσης Illinois

Πολλές τεχνικές έχουν προταθεί στη βιβλιογραφία για την μείωση του όγκου των δεδομένων ελέγχου ορθής λειτουργίας και του χρόνου ολοκλήρωσης του σχετικού ελέγχου. Μια από τις τεχνικές αυτές είναι και η αρχιτεκτονική σειριακής σάρωσης Illinois (ILS) [9]. Η τεχνική προσφέρει δύο τρόπους λειτουργίας, τον παράλληλο (κοινής ακρόασης – broadcast) και τον σειριακό (serial). Σύμφωνα με τον κοινής ακρόασης τρόπο λειτουργίας η κεντρική αλυσίδα σάρωσης σπάει σε  $n$  τμήματα με  $L$  κύτταρα σάρωσης το καθένα. Μια κοινή είσοδος σειριακής ολίσθησης scan in εφαρμόζεται σε καθένα από τα  $n$  τμήματα της αλυσίδας. Η έξοδος κάθε τμήματος συμπιέζεται από ένα LFSR, από όπου και προκύπτει η τελική υπογραφή του ελέγχου [17], [18]. Σχηματικά η τεχνική παρουσιάζεται στο σχήμα 3.1.



Σχήμα 3.1. Εφαρμογή της Illinois σε κοινή ακρόαση λειτουργία

Η Illinois παρέχει την δυνατότητα ταυτόχρονης ολίσθησης δεδομένων σε κάθε τμήμα της αλυσίδας από μια και μόνο κοινή είσοδο scan in. Μετά το πέρας  $L$  κύκλων ρολογιού κάθε τμήμα μεγέθους  $L$  περιέχει το ίδιο διάνυσμα ελέγχου. Σε σύγκριση με την απλή τεχνική σάρωσης (χωρίς χρήση της Illinois), χρησιμοποιώντας την Illinois τεχνική επιτυγχάνεται κέρδος ως προς τους απαιτούμενους κύκλους ρολογιού για το γέμισμα όλης της αλυσίδας σάρωσης. Συγκεκριμένα, για την ολίσθηση των δεδομένων ενός διανύσματος στην απλή αλυσίδα σάρωσης απαιτούνται  $nL$  κύκλοι (όπου  $n$  το πλήθος των τμημάτων) ενώ για την Illinois απαιτούνται  $L$  κύκλοι ρολογιού. Η Illinois αρχιτεκτονική λόγω κατασκευής της μειώνει εν μέρει το πλήθος των μεταβάσεων (κατά την παράλληλη λειτουργία) σε σχέση με την σειριακή, αφού διασπάται η αλυσίδα σάρωσης σε  $n$  τμήματα. Ο αριθμός των μεταβάσεων όμως παραμένει τόσο μεγάλος ώστε να αυξάνει την κατανάλωση ενέργεια στο κύκλωμα. Για το λόγο αυτό έχουν προταθεί διάφορες αρχιτεκτονικές χαμηλής κατανάλωσης, μια εκ των οποίων είναι και η Low Power Illinois Scan αρχιτεκτονική.

Το μειονέκτημα της Illinois είναι ότι κάθε τμήμα της συνολικής αλυσίδας περιέχει τα ίδια δεδομένα, περιορίζοντας έτσι την ευελιξία κατασκευής των διανυσμάτων ελέγχου, κάτι που στην απλή τεχνική μπορεί να αποφευχθεί.

Στην σειριακή λειτουργία της τεχνικής Illinois η αλυσίδα είναι μια απλή αλυσίδα σειριακής σάρωσης συνολικού μήκους  $nL$  όπως παρουσιάζεται στη σχήμα 3.1 με την διακεκομμένη μπλε γραμμή. Στην σειριακή λειτουργία της, η ολίσθηση των δεδομένων στην αλυσίδα σάρωσης καταναλώνει πολύ μεγάλη ποσότητα ενέργειας λόγω του πολύ μεγάλου μήκους της. Όμως τα διανύσματα ελέγχου για ανίχνευση σφαλμάτων στην σειριακή λειτουργία είναι



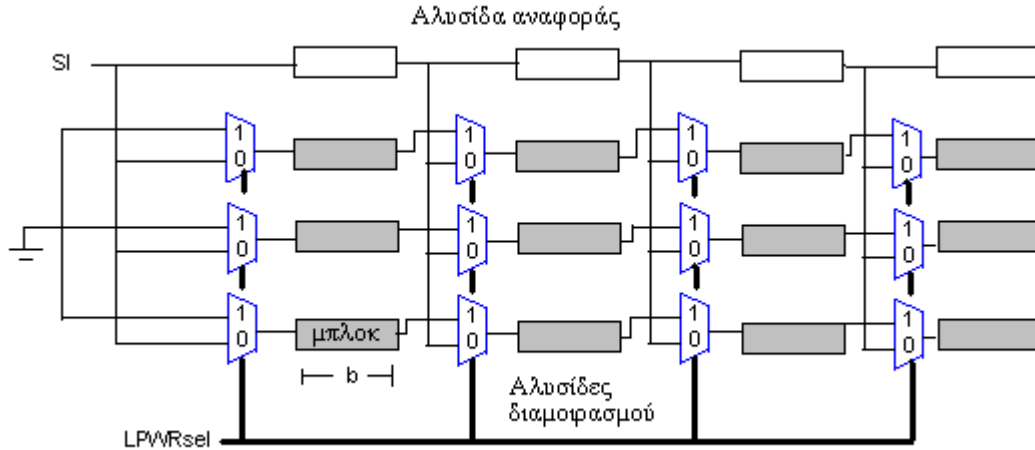
περιορισμένα σε αριθμό και ίσως μπορεί να μην υπάρχουν και καθόλου σε συγκεκριμένες περιπτώσεις ελέγχου.

### 3.2 Η Χαμηλής Κατανάλωσης Illinois Τεχνική Σειριακής Σάρωσης

#### 3.2.1 Περιγραφή Αρχιτεκτονικής LPILS

Η αρχιτεκτονική χαμηλής κατανάλωσης γνωστή ως LPILS [6] είναι μια παραλλαγή της Illinois που παρουσιάστηκε στην εργασία [17], [18]. Έστω η Illinois του σχήματος 3.1 διασπασμένη σε 4 τμήματα μεγέθους  $L$  το καθένα και  $4L$  το συνολικό μήκος της αλυσίδας σάρωσης.

Η LPILS τεχνική αναδιαμορφώνει κατάλληλα την Illinois αρχιτεκτονική σπάζοντας κάθε τμήμα μεγέθους  $L$  σε  $n$  μπλοκ μεγέθους  $b$  το καθένα και προσθέτοντας πολυπλέκτες 2 προς 1 πριν από κάθε μπλοκ σε κάθε αλυσίδα διαμοιρασμού εκτός από την πρώτη που καλείται αλυσίδα αναφοράς, σύμφωνα με το σχήμα 3.2:



Σχήμα 3.2. Τεχνική LPILS

Κάθε μπλοκ περιέχει  $b$  κύτταρα σάρωσης. Η αλυσίδα αναφοράς φορτώνει τα δεδομένα απευθείας από τη σειριακή είσοδο SI. Οι αλυσίδες διαμοιρασμού φορτώνονται με δεδομένα από το μπλοκ της ίδιας αλυσίδας ή από το προηγούμενο μπλοκ της αλυσίδας αναφοράς (βλέπε σχήμα 3.2).

### 3.2.2 Λειτουργία Αρχιτεκτονικής LPILS

Για την LPILS αρχιτεκτονική με  $n$  μπλοκ σε κάθε αλυσίδα μεγέθους  $b$  το καθένα, οι κύκλοι ρολογιού που απαιτούνται για ολίσθηση δεδομένων είναι  $n \times b$ . Διακρίνονται 2 φάσεις της λειτουργίας σειριακής σάρωσης.

Κατά την πρώτη φάση της σειριακής ολίσθησης η αλυσίδα αναφοράς χρησιμοποιείται σαν μονάδα αποθήκευσης για τις πρώτες  $(n-1)b$  ολισθήσεις, με το σήμα επιλογής LPWRsel να τίθεται στο 1 έτσι ώστε να ολισθήσουν τα δεδομένα μέσω της εισόδου SI στην αλυσίδα αναφοράς (reference chain). Ενώ η αλυσίδα αναφοράς ανανεώνει τις τιμές της, στις αλυσίδες διαμοιρασμού ολισθαίνουν δεδομένα με σταθερή τιμή από την γείωση (τιμή 0). Τα  $(n-1)$  μπλοκ στις αλυσίδες διαμοιρασμού παίρνουν την τιμή 0 μειώνοντας με τον τρόπο αυτό το πλήθος των μεταβάσεων. Ταυτόχρονα με την ολίσθηση εντός των δεδομένων από τη σειριακή είσοδο, ολισθαίνουν εκτός οι αποκρίσεις του κυκλώματος στο προηγούμενο διάνυσμα ελέγχου μέσω των εξόδων των αλυσίδων.

Κατά τη δεύτερη φάση, για τις εναπομένουσες  $b$  ολισθήσεις το σήμα επιλογής LPWRsel τίθεται στο 0. Με τον τρόπο αυτό τα scan δεδομένα ολισθαίνουν μέσω της αλυσίδας αναφοράς (reference chain) και των πολυπλεκτών στις αλυσίδες διαμοιρασμού. Το πρώτο μπλοκ των αλυσίδων διαμοιρασμού και η αλυσίδα αναφοράς δέχονται τα υπόλοιπα  $b$  δεδομένα του διανύσματος ελέγχου άμεσα μέσω της εισόδου SI. Στα υπόλοιπα μπλοκ των αλυσίδων διαμοιρασμού ολισθαίνουν τα αποθηκευμένα δεδομένα από το προηγούμενο μπλοκ της αλυσίδας αναφοράς. Ταυτόχρονα ολισθαίνουν δεδομένα στην αλυσίδα αναφοράς για  $b$  κύκλους ρολογιού με αποτέλεσμα σε κάθε μπλοκ όλων των αλυσίδων να ολισθαίνουν τα ίδια δεδομένα όπως και στην Illinois τεχνική.

Με το πέρας των  $b$  ολισθήσεων έχει επιτευχθεί i) η ολίσθηση και συλλογή όλων των αποκρίσεων του προηγούμενου διανύσματος ελέγχου από όλες τις αλυσίδες και ii) η ολίσθηση του νέου διανύσματος ελέγχου σύμφωνα με την Illinois αρχιτεκτονική.

Συμπερασματικά, για την λειτουργία της LPILS εκτελούνται τα εξής:

- 1) Τίθεται το σήμα LPWRsel = 1
- 2) Ολισθαίνουν δεδομένα μέσα στην αλυσίδα αναφοράς και μηδενικά στις αλυσίδες διαμοιρασμού για  $(n-1)b$  ολισθήσεις ενώ ταυτόχρονα ολισθαίνουν προς τα έξω οι αποκρίσεις από όλες τις αλυσίδες
- 3) Τίθεται το σήμα LPWRsel = 0

- 4) Ολισθαίνουν δεδομένα μέσα στις αλυσίδες διαμοιρασμού από το προηγούμενο μπλοκ της αλυσίδας αναφοράς για  $b$  ολισθήσεις. Για το πρώτο μπλοκ κάθε αλυσίδας ολισθαίνουν κοινά δεδομένα στην αλυσίδα αναφοράς και στις αλυσίδες διαμοιρασμού μέσω της κοινής εισόδου SI
- 5) Το κύκλωμα τίθεται σε κατάσταση ορθής λειτουργίας
- 6) Εφαρμόζεται ο κύκλος για την κανονική λειτουργία του κυκλώματος (κύκλος capture) και αποθηκεύονται στους καταχωρητές των αλυσίδων οι αποκρίσεις του κυκλώματος
- 7) Επαναλαμβάνεται η ίδια διαδικασία από το βήμα 1 μέχρι το βήμα 6 για το επόμενο διάλυμα ελέγχου προς εφαρμογή.

### 3.2.3 Συμπεράσματα Αρχιτεκτονικής LPILS

Η αρχιτεκτονική LPILS εγγυάται την μείωση των μεταβάσεων των τιμών στην αλυσίδα σάρωσης. Αυτό οφείλεται στο γεγονός της ολίσθησης σταθερών τιμών (συγκεκριμένα του 0) κατά τη διάρκεια που το σήμα LPWRsel είναι ίσο με 1 για  $(n-1)b$  κύκλους. Οι μεταβάσεις τιμών των ψηφίων είναι ανεξάρτητες από τον τρόπο δημιουργίας των διανυσμάτων ελέγχου από το εργαλείο ATPG.

Επίσης, δεν απαιτείται χρήση τεχνικών απομόνωσης με πύλες (gating) στις εισόδους του συνδυαστικού κυκλώματος, γεγονός που θα αύξανε την καθυστέρηση της capture διαδικασίας και το κόστος του κυκλώματος. Αντιθέτως, οι πολυπλέκτες που προστίθενται στην τεχνική LPILS δεν επηρεάζουν άμεσα τις διαδρομές σήματος της ορθής λειτουργίας του κυκλώματος υπό έλεγχο και τα κυκλωματικά στοιχεία που προστίθενται (πολυπλέκτες) δεν είναι πολύπλοκα ούτε έχουν μεγάλο κόστος. Επειδή το πλήθος των πολυπλεκτών εξαρτάται από τα μπλοκ που θα χωριστεί η κάθε αλυσίδα διαμοιρασμού, είναι απόφαση του σχεδιαστή, με συνυπολογισμό του κόστους, για το πλήθος των μπλοκ που θα χωριστεί κάθε αλυσίδα.

Η μείωση του όγκου των δεδομένων της τεχνικής LPILS είναι ίδια με την Illinois.

Ένα ακόμα πλεονέκτημα της τεχνικής LPILS είναι ότι τα μπλοκ των αλυσίδων διαμοιρασμού μπορεί να έχουν διαφορετικό μήκος. Δεδομένου ότι τα πρώτα  $n-1$  block έχουν το ίδιο μέγεθος  $b$  και το τελευταίο block έχει μέγεθος  $b'$  όπου  $b < b'$ , η τεχνική λειτουργεί σωστά. Ωστόσο, η μέγιστη δυνατή μείωση των μεταβάσεων των ψηφίων επιτυγχάνεται όταν  $b=b'[2]$ .

Η τεχνική αυτή μειονεκτεί γιατί προσθέτει ένα επιπλέον pin για το σήμα επιλογής LPWRsel. Επιπρόσθετα, η τεχνική μπορεί να εφαρμοστεί μόνο σε Illinois αρχιτεκτονική, μειώνοντας

την κατανάλωση ενέργειας μόνο κατά την παράλληλη λειτουργία ενώ για την υποστήριξη της σειριακής λειτουργίας απαιτείται πολύπλοκη κυκλωμάτωση.

### 3.3 Αρχιτεκτονική Πολλαπλών Τμηματοποιημένων Αλυσίδων Σάρωσης για μείωση της Κατανάλωσης και του Χρόνου Ελέγχου

Το 2004 προτάθηκε από τους Lee, Hur και Ambler είναι μια τεχνική που εκμεταλλεύεται τις αδιάφορες τιμές x των διανυσμάτων ελέγχου για τη μείωση της κατανάλωσης ενέργειας και του χρόνου ελέγχου [7]. Τα εργαλεία αυτόματης γένεσης των διανυσμάτων ελέγχου (automatic test pattern generation – ATPG) δίνουν σαν έξοδο μια ακολουθία από δυαδικούς αριθμούς (ένα διάνυσμα) ανάμεσα στους οποίους υπάρχουν και αδιάφοροι όροι x. Τα διανύσματα αυτά μοιάζουν με τα ακόλουθα και το μέγεθος τους εξαρτάται από το πλήθος των κυττάρων σε κάθε αλυσίδα σάρωσης.

Παράδειγμα1: 1011x010  
 Παράδειγμα2: 1xx00010  
 Παράδειγμα3: xx01x0x1

Η προαναφερόμενη τεχνική τμηματοποίησης (partitioning) εκμεταλλεύεται την θέση των αδιάφορων τιμών x μιας ομάδας από διανύσματα ελέγχου και την ανά στήλη στοίχιση τους. Τα αδιάφορα δυαδικά ψηφία x ομαδοποιούνται με την αναδιάταξη των διανυσμάτων ελέγχου και προσδιορίζεται το πλήθος τους. Στη συνέχεια τροποποιείται η αρχιτεκτονική της αλυσίδας σάρωσης με την προσθήκη πολυπλεκτών στις κατάλληλες θέσεις. Η διαδικασία διαχωρισμού των αδιάφορων τιμών έχει ως εξής:

Έστω η ομάδα διανυσμάτων ελέγχου (test cubes) και οι αντίστοιχες αποκρίσεις του κυκλώματος του σχήματος 3.3(α) και (β) αντίστοιχα.

51627243←αριθμός αδιάφορων όρων ανά στήλη→76543221	
1011x010	x1110100
01x01000	1x000001
x0xxx1x1	xxxx1x10
xxx0xxxx	xxxxx0xx
(α)Test cube	(γ)Test cube σε φθίνουσα σειρά
0110x011	x1011001
x1x0x100	xxx00011
x1xxx1xx	xxxxxx11
x1x0xxxx	xxxxx0x1
(β)Οι αποκρίσεις των (α)	(δ)Οι αποκρίσεις σε φθίνουσα σειρά

Σχήμα 3.3. Οι ομάδες διανυσμάτων και οι αποκρίσεις τους

Ακολουθείται η ακόλουθη διαδικασία ώστε:

- 1) Αρχικά να διακριθούν τα τεστ σετ και οι αδιάφορες τιμές x της ομάδας των διανυσμάτων ελέγχου (σχήμα 3.3(α)).
- 2) Να ταξινομηθούν σε στήλες τα τεστ σετ με φθίνουσα (ή αύξουσα) σειρά σύμφωνα με τον αριθμό των αδιάφορων όρων (bits) κάθε στήλης (σχήμα 3.3(γ)).
- 3) Να χωριστούν τα τεστ σετ ανά στήλη και ανά γραμμή σύμφωνα με έναν αριθμό που καθορίζει το μέγεθος της ομάδας (του cluster) των αδιάφορων όρων x (για το δικό μας παράδειγμα ο αριθμός είναι 2).

Test cube	Test cube
$\begin{array}{c c} x1110 & 100 \\ \hline 1x000 & 001 \\ \hline x00x1 & x10 \\ \hline x000x & 0xx \end{array}$	$\begin{array}{c c} x111 & 0100 \\ \hline 1x00 & 0001 \\ \hline x00x & 1x10 \\ \hline x00x & x0xx \end{array}$
Η απόκριση	Η απόκριση
$\begin{array}{c c} x1011 & 001 \\ \hline x0x00 & 011 \\ \hline x000x & x11 \\ \hline x000x & 0x1 \end{array}$	$\begin{array}{c c} x101 & 1001 \\ \hline x0x0 & 0011 \\ \hline x00x & x0x11 \\ \hline x00x & x0x1 \end{array}$

(α) Πρώτος διαχωρισμός  
(μη αποδεκτός λόγω της ύπαρξης του '1' στην ομάδα)

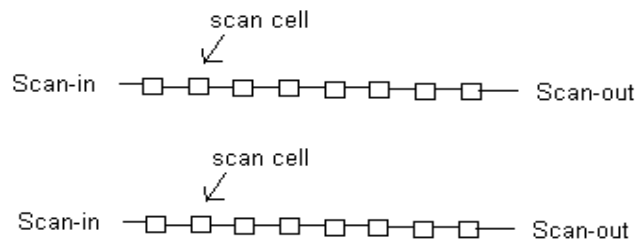
(β) Δεύτερος διαχωρισμός  
(αποδεκτός)

Σχήμα 3.4. Η εφαρμογή της τεχνικής για δημιουργία ομάδων (cluster)

- 4) Αν το τεστ σετ έχει ταξινομηθεί κατά φθίνουσα (ή αύξουσα) σειρά, το τμήμα του σετ κάτω-αριστερά (ή κάτω-δεξιά) είναι αυτό που κρατείται για τον πρώτο διαχωρισμό σαν ενδεικτική ομάδα (trial cluster) ακαθόριστων τιμών. Είναι επιθυμητή η δημιουργία μεγάλων ομάδων.
- 5) Αν βρεθεί στις ενδεικτικές ομάδες κάποιο bit με τιμή διάφορη του x τότε αναταξινομείται το σετ ανά στήλη ώστε να αποφευχθεί η ύπαρξη κάποιου bit με καθορισμένη τιμή στην ενδεικτική ομάδα. Αν είναι αδύνατον μετά την ταξινόμηση να φτιαχτεί ομάδα που να περιέχει μόνο ακαθόριστες τιμές των bits τότε επαναλαμβάνεται το βήμα 4 με μικρότερο μέγεθος της ενδεικτικής ομάδας. Αν δεν βρεθεί κατάλληλη ομάδα τότε ακολουθείται το βήμα 6.
- 6) Η ενδεικτική ομάδα γίνεται και η τελική ομάδα των ακαθόριστων τιμών.

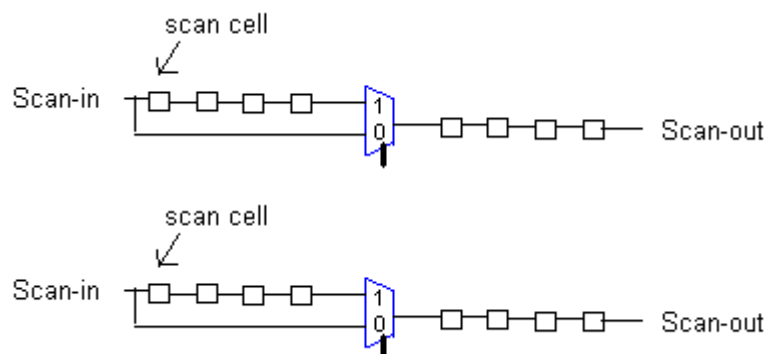
Αν αποτύχει η προσπάθεια δημιουργίας ομάδας ακαθόριστων τιμών, η προτεινόμενη τεχνική έχει αποτύχει. Ωστόσο, η αποτυχία δημιουργίας ομάδων  $x$  τιμών δεν έχει μεγάλες πιθανότητες να συμβεί διότι τα σύνολα διανυσμάτων ελέγχου (test set) συνήθως αποτελούνται από πιο πολλά ακαθόριστα bit καθώς κινούμαστε προς τα κάτω σε ένα σύνολο διατεταγμένων διανυσμάτων ελέγχου. Για το λόγο αυτό θα υπάρχουν έστω και μικρές ομάδες ακαθόριστων τιμών.

Η προηγούμενη διαδικασία μπορεί να χρησιμοποιηθεί σε συνδυασμό με την τροποποίηση της αρχιτεκτονικής των αλυσίδων σάρωσης του κυκλώματος προς έλεγχο (βλ. σχήμα 3.5), με βάση τις θέσεις όπου τα κύτταρα σάρωσης κύτταρα σάρωσης έχουν αδιάφορες τιμές  $x$ .



Σχήμα 3.5. Οι αλυσίδες σάρωσης

Γνωρίζοντας για τα διανύσματα ελέγχου από την προαναφερόμενη διαδικασία (εύρεση ομάδων) ποια και πόσα κύτταρα διατηρούν σταθερές τις τιμές τους, μπορούμε να τροποποιήσουμε τις αλυσίδες τους υπό έλεγχο κυκλώματος προσθέτοντας έναν πολυπλέκτη σε κάθε αλυσίδα σάρωσης ώστε να χωριστεί σε δύο τμήματα όπως στο σχήμα 3.6. Το πλήθος των κυττάρων που θα περιέχει κάθε τμήμα εξαρτάται από το μέγεθος της τελικής ομάδας. Ο πολυπλέκτης επιτρέπει την είσοδο δεδομένων στο δεξί τμήμα της κάθε αλυσίδας είτε από την κύρια είσοδο Scan-in είτε μέσα από το αριστερό της τμήμα όπως φαίνεται στο σχήμα 3.6:

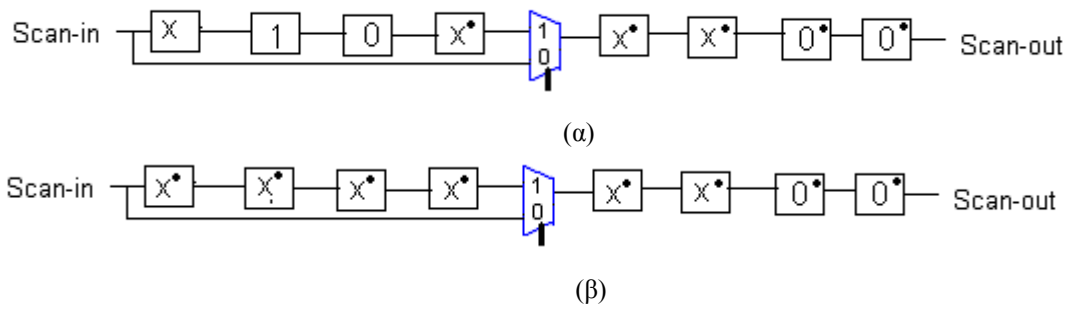


Σχήμα 3.6. Τροποποιημένες αλυσίδες σάρωσης

Η τεχνική που περιγράψαμε πετυχαίνει τη μείωση της κατανάλωσης ενέργειας κατά τη διάρκεια του ελέγχου του κυκλώματος. Σύμφωνα με αυτή, το τμήμα της αλυσίδας που περιέχει τις αδιάφορες τιμές  $x$  των διανυσμάτων ελέγχου που ανήκουν στην τελική ομάδα (cluster) παραλείπεται και επιλέγεται η φόρτωση μέσω της εισόδου Scan In μόνο του δεξιού από την πλευρά του πολυπλέκτη τμήματος της αλυσίδας. Η λειτουργία παρουσιάζεται στο σχήμα 3.6 όπου ο πολυπλέκτης παραλείπει σύμφωνα με το σήμα επιλογής του το αριστερό τμήμα της αλυσίδας σάρωσης το οποίο περιέχει και τις αδιάφορες τιμές  $x$  που έχουν προκύψει από την αναφερόμενη ανάλυση. Με τον τρόπο αυτό αποφεύγεται η άσκοπη ολίσθηση δεδομένων στο αριστερό από τον πολυπλέκτη τμήμα της αλυσίδας καθώς η τρέχουσα απόκριση ακολουθείται από διάνυσμα ελέγχου όπου στις συγκεκριμένες θέσεις της αλυσίδας τα κύτταρα σάρωσης περιέχουν επίσης αδιάφορες τιμές  $x$ .

Παρατίθεται η διαδικασία με ένα παράδειγμα που παρουσιάζεται στο σχήμα 3.7(α) και 3.7(β). Διακρίνονται δύο φάσεις: η πρώτη είναι η φάση όπου το διάνυσμα ελέγχου ολισθαίνει ολόκληρο μέσα στην αλυσίδα σάρωσης και το σήμα επιλογής του πολυπλέκτη του σχήματος 3.7(α) είναι ίσο με '1' ενώ η δεύτερη είναι η φάση όπου αλλάζει το σήμα επιλογής του πολυπλέκτη και γίνεται ίσο με '0'. Τα δεδομένα του διανύσματος ελέγχου αυτή τη φορά ολισθαίνουν μόνο στο δεύτερο μισό από δεξιά της αλυσίδας σάρωσης.

Το σχήμα 3.7(α) δείχνει την λειτουργία της πρώτης φάσης και το 3.7(β) της δεύτερης φάσης όπου με κουκίδες συμβολίζεται η προηγούμενη απόκριση του διανύσματος ελέγχου. Έστω η απόκριση του προηγούμενου διανύσματος ελέγχου που ολισθαίνει προς τα έξω είναι xxx00011 στο σχήμα 3.7(α) και το καινούριο διάνυσμα ελέγχου που ολισθαίνει προς τα μέσα είναι xxxx1x10. Το σήμα επιλογής του πολυπλέκτη είναι ίσο με '1', η προηγούμενη απόκριση του διανύσματος ελέγχου xxx00011 ολισθαίνει προς τα έξω κατά τρεις ολισθήσεις και το νέο διάνυσμα ελέγχου xxxx1x10 προς τα μέσα. Η διαδικασία της πρώτης φάσης είναι η κλασική διαδικασία σειριακής σάρωσης. Απαιτούνται 8 κύκλους ρολογιού για την ολοκλήρωση μίας ολίσθησης γιατί το συνολικό μήκος της αλυσίδας σάρωσης είναι  $L=8$ . Στην πρώτη φάση δεν έχουμε καθόλου εξοικονόμηση ενέργειας.



Σχήμα 3.7 (α)Πρώτη φάση της τεχνικής (β)Δεύτερη φάση της τεχνικής

Στη δεύτερη φάση το νέο διάνυσμα ελέγχου που εφαρμόζεται ανήκει στην τελική ομάδα (cluster) όπου τα διανύσματα ελέγχου και οι αντίστοιχες αποκρίσεις έχουν την μορφή xxxx..... δηλ.τα τέσσερα πρώτα ψηφία έχουν αδιάφορες τιμές x.

Το σχήμα 3.7(β) παρουσιάζει την απόκριση του προηγούμενου διανύσματος ελέγχου η οποία περιέχει στα τέσσερα πρώτα ψηφία της αδιάφορους όρους x. Το επόμενο αναμενόμενο διάνυσμα ελέγχου είναι επίσης της μορφής xxxx..... γεγονός που επιτρέπει στην τεχνική να ‘αγνοήσει’ τα αδιάφορα ψηφία x της ομάδας (cluster). Το σήμα επιλογής του πολυπλέκτη παίρνει την τιμή ‘0’, το νέο διάνυσμα ελέγχου ολισθαίνει μόνο στο δεύτερο από δεξιά τμήμα της αλυσίδας και το πρώτο τμήμα από αριστερά της αλυσίδας παρακάμπτεται και διατηρεί τις μέχρι πρότινος τιμές του.

Με την τεχνική αυτή εξοικονομούνται τόσο κύκλοι όσοι και το μέγεθος του πρώτου κομματιού της αλυσίδας και παράλληλα μειώνονται κατά ίσο αριθμό οι μεταβάσεις τιμών κατά την ολίσθηση των bits στην αλυσίδα σάρωσης. Είναι μια τεχνική για μείωση της κατανάλωσης και του χρόνου ελέγχου [3].

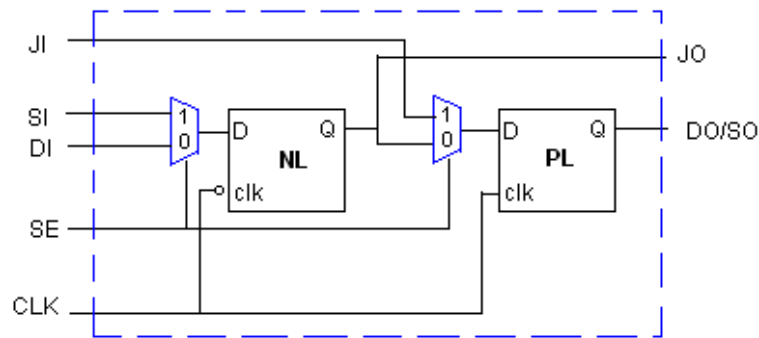
Το γεγονός της μη μεταβλητής θέσης των πολυπλεκτών, της σπάνιας ύπαρξης πλήρους ταύτισης ως προς τη θέση του διανύσματος ελέγχου και της απόκρισης του, καθιστούν την τεχνική αυτή μη αποδοτική και καθόλου ευέλικτη. Ο κίνδυνος για μείωση της κάλυψης σφαλμάτων (fault coverage) για τα μη μοντελοποιημένα σφάλματα είναι εφικτός αφού η συγκεκριμένη τεχνική δεν συλλέγει τις αποκρίσεις στο τμήμα της αλυσίδας που ανήκει στην ομάδα (πρώτο από αριστερά τμήμα της αλυσίδας) ενώ είναι πραγματικές αποκρίσεις για το κύκλωμα.

### 3.4 Αρχιτεκτονική Παράκαμψης Κυττάρων Σάρωσης για Χαμηλή Κατανάλωση

Η τεχνική για χαμηλή κατανάλωση που προτείνεται από τους Chiu και Li [19] αναφέρεται ως Jump-scan (J-scan) και σε κάθε χτύπο ρολογιού ολισθαίνουν 2 bits στη αλυσίδα αντί για

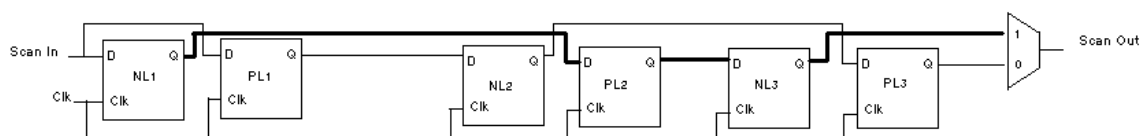


1 όπως στην κλασική τεχνική. Η τεχνική αυτή απαιτεί ειδική σχεδίαση των κυττάρων σάρωσης. Τα κύτταρα σάρωσης εδώ αποτελούνται από μανδαλωτές (latches) ειδικά συνδεδεμένους ώστε να εξυπηρετούν την τεχνική της ολίσθησης των 2 bits σε κάθε παλμό του ρολογιού. Κάθε κύτταρο έχει την τοπολογία που παρουσιάζεται στο σχήμα 3.8:



Σχήμα 3.8. Το J-scan D-flip flop

Σύμφωνα με την παραπάνω σχεδίαση ο NL μανδαλωτής (NL latch) είναι διαφανής στην αρνητική φάση του ρολογιού ενώ ο PL μανδαλωτής (PL latch) στην θετική φάση. Οι πολυπλέκτες που έχουν συνδεθεί στις εισόδους των μανδαλωτών καθορίζουν αν το J-scan DFF θα λειτουργήσει ως ακμοπυροδότητο D κύτταρο μνήμης αφέντη-σκλάβου στην κανονική λειτουργία του κυκλώματος ή σαν δύο απλοί μανδαλωτές στην λειτουργία του ελέγχου. Στην λειτουργία ελέγχου το σήμα επιλογής των πολυπλεκτών τίθεται στο λογικό 1 και επιλέγονται οι εισόδοι SI και JI για του μανδαλωτές NL και PL αντίστοιχα. Αυτό οδηγεί την είσοδο SI στην έξοδο JO και την είσοδο JI στην έξοδο SO. Χρησιμοποιώντας το J-scan DFF στην αλυσίδα επιτυγχάνεται η παράκαμψη ζευγών από συνεχόμενους μανδαλωτές και η ολίσθηση των επιθυμητών δεδομένων μέσα από τα υπόλοιπα ζεύγη μανδαλωτών. Το σχήμα 3.9 δείχνει τον τρόπο λειτουργίας της τεχνικής:



Σχήμα 3.9. Η Jump Scan αλυσίδα

Η είσοδος Scan\_In ενσωματώνει και οδηγεί τις εισόδους JI και SI στο πρώτο J-scan DFF (JSD1). Η περίοδος του ρολογιού καθορίζει την περίοδο των J-scan μανδαλωτών. Οι συνδέσεις στην αλυσίδα δημιουργούν μια διαδρομή όπου στον αρνητικό κύκλο του ρολογιού να είναι διαφανής οι NL μανδαλωτές και να ολισθαίνουν τα δεδομένα μέσα από

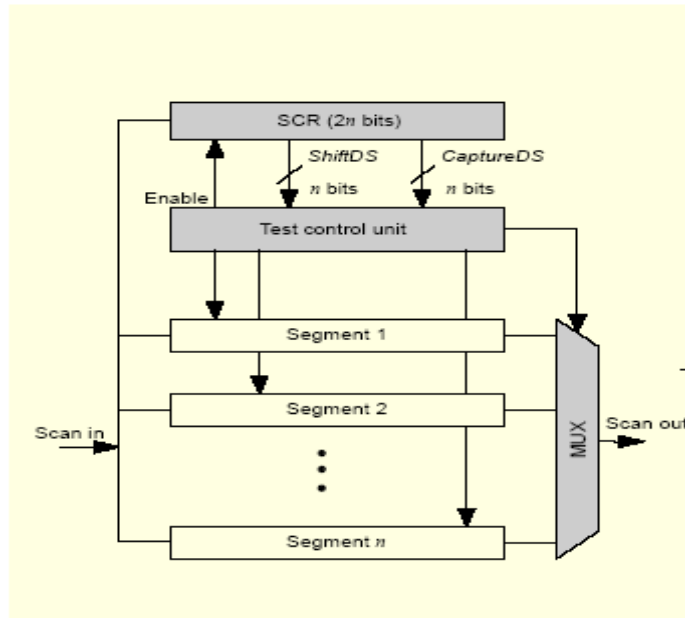
την διαδρομή με την έντονα σχεδιασμένη γραμμή παρακάμπτοντας δύο μανδαλωτές (το τρέχον PL και το επόμενο NL). Έτσι, σε κάθε αρνητική ακμή του clk τα NL ανανεώνουν την τιμή τους με τα νέα δεδομένα και την προωθούν κατά δύο μανδαλωτές δεξιότερα στην είσοδο του PL μανδαλωτή του επόμενου JSD. Στην θετική ακμή του ρολογιού οι τιμές που έχουν προωθηθεί στις εισόδους των PL μανδαλωτών ανανεώνονται και περνούν στην έξοδο τους. Τελικά μετά από τους απαραίτητους κύκλους ρολογιού στους NL μανδαλωτές έχουν ολισθήσει οι σωστές τιμές των δεδομένων στις εξόδους των JSDs αποφεύγοντας τις μεταβάσεις στους δύο ενδιάμεσα μανδαλωτές. Στη συνέχεια η εναλλαγή του σήματος επιλογής SE σε 0 θα δεσμεύσει τις αποκρίσεις (φάση δέσμευσης αποκρίσεων).

Η τεχνική αυτή έχει αποδειχτεί αποτελεσματική στη μείωση της κατανάλωσης ενέργειας κατά 39% σε σχέση με την κλασική τεχνική σειριακής σάρωσης και δεν αυξάνει τους απαιτούμενους κύκλους ρολογιού για έλεγχο, ενώ δεν απαιτούνται αλλαγές στο σύστημα διανομής του ρολογιού στο κύκλωμα. Βασικό πλεονέκτημα της τεχνικής στο οποίο οφείλεται και η μείωση της κατανάλωσης ενέργειας είναι η παράκαμψη ενδιάμεσων μανδαλωτών και η προώθηση των δεδομένων στις εξόδους των JSDs. Με την παράκαμψη των μανδαλωτών επιτυγχάνονται λιγότερες μεταβάσεις τιμών.

Η τεχνική όμως αυτή έχει υψηλό κόστος γιατί πέραν του γεγονότος ότι κάθε κύτταρο σάρωσης περιέχει δύο μανδαλωτές και δύο πολυπλέκτες, είναι επίσης απαραίτητη η επιπλέον σύνδεση με εξωτερικές γραμμές καλωδίων των μανδαλωτών (π.χ NL1-PL2) στην Jump Scan Αλυσίδα.

### **3.5 Τεχνική Τμηματοποίησης Αλυσίδων Σάρωσης για Ενσωματωμένα Συστήματα Χαμηλής Κατανάλωσης**

Μια σχετικά νέα τεχνική που προτάθηκε από τους Kim, Kim και Kang το 2008 περιγράφει ένα σύστημα, όπου η αρχική αλυσίδα σάρωσης χωρίζεται σε έναν αριθμό από τμήματα [20]. Αυτή η τεχνική μειώνει τον αριθμό των μεταβάσεων των bits στην αλυσίδα σάρωσης αφού μόνο ορισμένα τμήματα της αλυσίδας μπορούν κάθε φορά να είναι ενεργοποιημένα προς ολίσθηση ή προς δέσμευση των αποκρίσεων. Το σχήμα 3.10 παρουσιάζει την τεχνική.



Σχήμα 3.10. Η τεχνική τμηματοποίησης αλυσίδας σάρωσης [7]

Σύμφωνα με την τεχνική η αλυσίδα σάρωσης χωρίζεται σε  $n$  τμήματα (segments). Ο καταχωρητής SCR φορτώνεται με ένα διάνυσμα μεγέθους  $2n$ , το οποίο καθορίζει ποια τμήματα θα ενεργοποιηθούν προς ολίσθηση και ποια προς δέσμευση των αποκρίσεων. Η λογική της μονάδας Test Control Unit ελέγχει την ενεργοποίηση κάθε τμήματος προς ολίσθηση ή προς δέσμευση των αποκρίσεων. Τα τμήματα που δεν ενεργοποιούνται προς ολίσθηση ή προς δέσμευση της απόκρισης, παραμένουν σε κατάσταση μνήμης.

Το διάνυσμα που ολισθαίνει μέσα στον SCR καταχωριστή προκύπτει σύμφωνα με μελέτη των διανυσμάτων ελέγχου και των αποκρίσεων τους, με αναδιάταξη τους και με εφαρμογή τεχνικών συμπλήρωσης των αδιάφορων όρων, γεγονός που περιορίζει την ευελιξία της τεχνικής αυτής. Σύμφωνα με αυτό, κάποια τμήματα προγραμματίζονται να επαναχρησιμοποιήσουν την απόκριση του κυκλώματος ως νέα τιμή για το διάνυσμα ελέγχου έτσι ώστε να μειωθεί η μέση και η μέγιστη κατανάλωση ενέργειας. Επιπρόσθετα κάποια τμήματα ελέγχονται με τέτοιο τρόπο ώστε να μην λάβουν μέρος στη δέσμευση των αποκρίσεων (capture mode) του κυκλώματος με αποτέλεσμα να επιτυγχάνεται και μείωση της ενέργειας κατά τη δέσμευση (Capture) των αποκρίσεων. Η test Control Unit ενεργοποιεί επίσης το σήμα επιλογής του πολυπλέκτη έτσι ώστε να επιτευχθεί η ολίσθηση εκτός των αποκρίσεων του τμήματος.

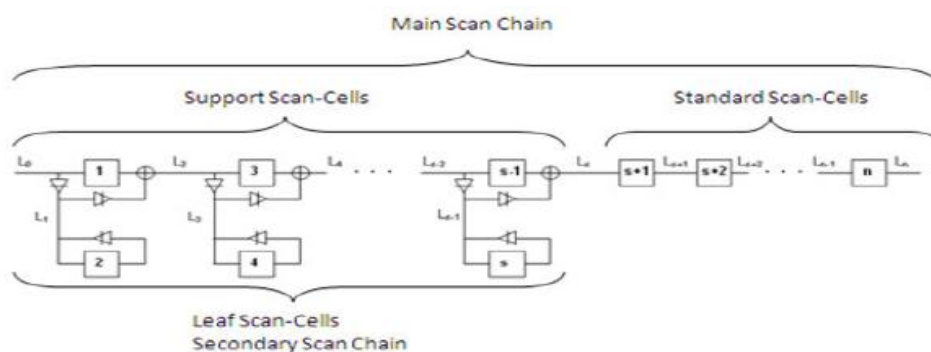
Με την αναφερόμενη τεχνική η μέση (average) και η μέγιστη (peak) ενέργεια μπορεί να μειωθεί σημαντικά. Η πειραματικές μετρήσεις της τεχνικής δείχνουν ότι φορτώνοντας

δεδομένα μέσα από ένα και μόνο τμήμα κάθε φορά επιτυγχάνουμε μείωση της μέγιστης και μέσης ενέργειας χωρίς να αυξηθούν οι κύκλοι ρολογιού ελέγχου του κυκλώματος σε σχέση με την αρχική, μη τμηματοποιημένη αλυσίδα. Η μέθοδος απαλύνει το πρόβλημα της κατανάλωσης ενέργειας κατά τη διαδικασία του ελέγχου με χρήση αλυσίδων σάρωσης γεγονός που επιτρέπει την ολίσθηση των δεδομένων ελέγχου σε υψηλές συχνότητες με μειωμένο τον κίνδυνο υπερθέρμανσης του ολοκληρωμένου κυκλώματος γεγονός που θα είχε ενδεχόμενη συνέπεια τη μείωση της κατασκευαστικής απόδοσης.

Στα μειονεκτήματα της συγκεκριμένης τεχνικής πρέπει να αναφερθεί η πολυπλοκότητα της και το σχετικά αυξημένο κόστος λόγω του μεγάλου πολυπλέκτη στις εξόδους της αλυσίδας, της μονάδας ελέγχου καθώς και του καταχωρητή ελέγχου SCR ο οποίος χρησιμοποιεί  $2n$  κύτταρα σάρωσης. Επίσης, σε περίπτωση που η τεχνική προσαρμοστεί ώστε να φορτώνει κάθε φορά ένα τμήμα ενώ τα υπόλοιπα  $n-1$  παραμένουν σε κατάσταση μνήμης, ο χρόνος ελέγχου αυξάνεται σε σχέση με την κλασική σειριακή σάρωση. Τέλος, η τεχνική αυτή δεν μπορεί να ενσωματωθεί σε BIST αρχιτεκτονικές.

### 3.6 Τεχνική Σχεδίασης Αλυσίδων Σάρωσης για Υψηλή Ταχύτητα και Χαμηλή Κατανάλωση

Για την μείωση της κατανάλωσης και την αύξηση της ταχύτητας του ελέγχου έχει προταθεί μια τεχνική σχεδίασης “αναδιπλούμενων αλυσίδων σάρωσης” [4]. Η αλυσίδα σάρωσης τροποποιείται και ένα τμήμα της αναδιπλώνεται. Τα κύτταρα σάρωσης ενός τμήματος της αλυσίδας αναδιπλώνονται ανά δύο και αποτελούν τα κελιά. Ως τμήμα υποστήριξης (Support Scan-Cells) καλείται το τμήμα των κελιών στην πάνω αλυσίδα σάρωσης (αναδιπλωμένο τμήμα), το υπόλοιπο τμήμα της αλυσίδας καλείται τμήμα τυπικής αλυσίδας σάρωσης (Standard Scan-Cells) και το τμήμα των κελιών στην κάτω αλυσίδα καλείται τμήμα σάρωσης φύλλων (Leaf Scan-Cells) όπως παρουσιάζεται και στο σχήμα 3.11.



Σχήμα 3.11. Αναδιπλούμενη αλυσίδα σάρωσης [4]

Τα κελιά, τα οποία είναι το ζεύγος κυττάρων σάρωσης 1-2,3-4...(α-1)-α, προσφέρουν επιπλέον λειτουργικότητα στον τρόπο που ολισθαίνουν τα δεδομένα ελέγχου μέσα στην αλυσίδα. Μέσα από τα τμήματα υποστήριξης και τυπικής αλυσίδας σάρωσης ολισθαίνει το διάνυσμα ελέγχου ενώ το τμήμα σάρωσης φύλλων διατηρεί τις τιμές του, μειώνοντας με τον τρόπο αυτό τους κύκλους ρολογιού που απαιτούνται για να ολισθήσει το διάνυσμα ελέγχου μέσα από την αλυσίδα σάρωσης. Το τμήμα σάρωσης φύλλων παραμένει σε κατάσταση μνήμης μόνο εφόσον η απόκριση του τρέχοντος και του επόμενου διανύσματος ελέγχου έχουν σε αυτά τα κύτταρα μνήμης αδιάφορες τιμές. Για να αποφασιστεί πόσα κύτταρα σάρωσης του τμήματος σάρωσης φύλλων θα παραμείνουν σε κατάσταση μνήμης είναι απαραίτητη η ανάλυση των διανυσμάτων ελέγχου πριν την εφαρμογή τους στην αλυσίδα. Σε περίπτωση που οι τιμές του νέου διανύσματος ελέγχου στο τμήμα των κελιών φύλλων είναι αδιάφορες τότε κατά την εφαρμογή του νέου διανύσματος παραμένουν ίδιες με την απόκριση του προηγούμενου διανύσματος ελέγχου. Η εξοικονόμηση ενέργειας εξαρτάται από το πλήθος των κελιών φύλλων που παραμένουν σε κατάσταση μνήμης.

Σε περίπτωση που δεν επιτυγχάνεται ταύτιση των αδιάφορων τιμών της αναδιπλωμένης αλυσίδας την απόκρισης και του επόμενου διανύσματος ελέγχου, τότε η ολίσθηση γίνεται κανονικά μέσα από όλα τα κύτταρα σάρωσης της αλυσίδας.

Η τεχνική αυτή προσφέρει αύξηση της ταχύτητας ελέγχου και ταυτόχρονα μείωση της κατανάλωσης ενέργειας κατά τον έλεγχο περίπου μέχρι και 50%. Παράλληλα όμως, ανάλογα με τις σχεδιαστικές επιλογές, το κόστος της τεχνικής σε επιφάνεια πυριτίου ενδέχεται να είναι σημαντικό.

# ΚΕΦΑΛΑΙΟ 4. ΤΕΧΝΙΚΗ ΣΧΕΔΙΑΣΗΣ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ ΧΑΜΗΛΗΣ ΚΑΤΑΝΑΛΩΣΗΣ

---

- 4.1 Η Προτεινόμενη Τεχνική Σχεδίασης Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης
  - 4.2 Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης σε Απλή Αλυσίδα Σάρωσης
  - 4.3 Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης σε Πολλαπλές Αλυσίδες Σάρωσης με Παράλληλες Εισόδους
  - 4.4 Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης σε Illinois αρχιτεκτονική
  - 4.5 Παραλλαγή της Τεχνικής στην Illinois Αρχιτεκτονική για Πρόσθετη Εξοικονόμηση Ενέργειας
  - 4.6 Κόστος της Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης
  - 4.7 Κάλυψη Σφαλμάτων
- 

## **4.1 Η Προτεινόμενη Τεχνική Σχεδίασης Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης**

Οι σύγχρονες ανάγκες απαιτούν την ορθή λειτουργία των ολοκληρωμένων κυκλωμάτων, μεγάλο χρόνο ζωής, την μείωση του χρόνου του ελέγχου και την όσο το δυνατόν μεγαλύτερη κατασκευαστική απόδοση. Ο έλεγχος ορθής λειτουργίας είναι ένα απαραίτητο στάδιο κατά την κατασκευαστική διαδικασία με ζητούμενο την χαμηλή κατανάλωση και αύξηση της ταχύτητας ελέγχου. Επιπρόσθετα, οι τεχνικές ελέγχου ορθής λειτουργίας για χαμηλή κατανάλωση είναι επιθυμητό να μην επιφέρουν καθυστέρηση διάδοσης σήματος κατά τη διάρκεια της κανονικής λειτουργίας του ολοκληρωμένου κυκλώματος.

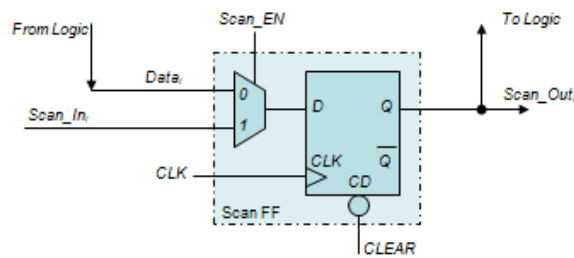
Η τεχνική που προτείνεται στην εργασία αυτή είναι μια νέα αρχιτεκτονική σειριακής σάρωσης με τμηματοποιημένες αλυσίδες σάρωσης με στόχο την χαμηλή κατανάλωση ενέργειας κατά την ολίσθηση δεδομένων ελέγχου ενός κυκλώματος. Η μείωση στην κατανάλωση ενέργειας οφείλεται στην μείωση των μεταβάσεων των κυττάρων σάρωσης

κατά την ολίσθηση των δεδομένων στην αλυσίδα σάρωσης (βλέπε τύπο 2.3). Η τεχνική καλείται τμηματοποίηση με αναστολή σάρωσης (*freeze scan partitioning*).

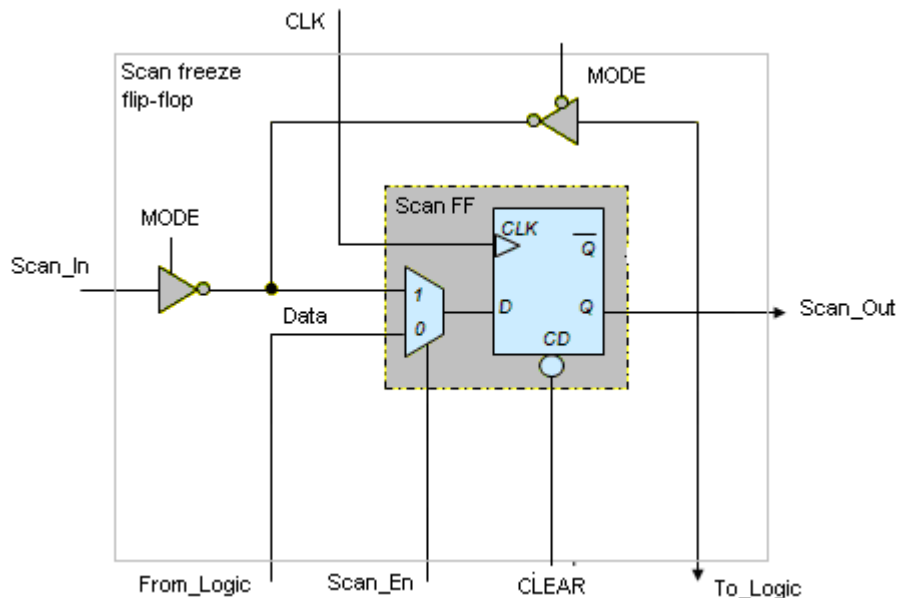
Η βασική ιδέα της αρχιτεκτονικής της εργασίας είναι η τμηματοποίηση της αλυσίδας σάρωσης ενός ολοκληρωμένου κυκλώματος και η ολίσθηση των δεδομένων ελέγχου ανά τμήμα. Η διαφορά στην φόρτωση δεδομένων σε σχέση με την κλασική τεχνική σειριακής σάρωσης είναι η ολίσθηση δεδομένων ελέγχου ανά τμήμα της αλυσίδας ενώ τα υπόλοιπα τμήματα παραμένουν σε κατάσταση μνήμης ('πάγωμα' τιμών – αναστολή σάρωσης). Το πλήθος των τμημάτων που θα χωριστεί η αλυσίδα σάρωσης εξαρτάται από τον σχεδιαστή. Για την υλοποίηση αυτή είναι απαραίτητη η τροποποίηση της αλυσίδας σειριακής σάρωσης καθώς και των κλασικών κυττάρων σάρωσης. Η προτεινόμενη τεχνική τμηματοποίησης με αναστολή σάρωσης (*freeze scan partitioning*) παρέχει μείωση της κατανάλωσης ενέργειας κατά τη διάρκεια του ελέγχου χωρίς καμία πρόσθετη καθυστέρηση στη διάδοση των σημάτων κατά την κανονική λειτουργία του κυκλώματος. Αυτό επιτυγχάνεται γιατί στην διαδρομή των σημάτων από τη συνδυαστική λογική προς τα κύτταρα σάρωσης και αντίστροφα δεν παρεμβάλλεται κανένα κυκλωματικό στοιχείο που να προσθέτει καθυστέρηση στη διάδοση του σήματος.

Η προτεινόμενη τεχνική τμηματοποίησης αλυσίδων σάρωσης με αναστολή σάρωσης απαιτεί την τροποποίηση των κλασικών κυττάρων σάρωσης ώστε να προστεθεί σε αυτά επιπλέον λειτουργικότητα.

Στο σχήμα 4.1(α) παρουσιάζεται το κλασικό κύτταρο σάρωσης (ScanFF) με τα σήματα εισόδου *From\_logic* και *Scan\_In* μέσα από τα οποία χρησιμοποιούνται στην κανονική λειτουργία και τη λειτουργία σάρωσης αντίστοιχα. Η επιλογή αυτή καθορίζεται από το σήμα επιλογής του πολυπλέκτη *Scan\_En* το οποίο στη λογική κατάσταση μηδέν επιβάλλει την κανονική λειτουργία ενώ στη λογική κατάσταση ένα επιβάλλει την λειτουργία ελέγχου. Η έξοδος δίνεται από το σήμα εξόδου *Scan\_Out*. Το *CLK* είναι το σήμα ρολογιού και *CLEAR* το σήμα για αρχικοποίηση (μηδενισμό) των κυττάρων σάρωσης. Στο σχήμα 4.1(β) παρουσιάζεται το προτεινόμενο, τροποποιημένο κύτταρο σάρωσης το οποίο αποκαλείται στοιχειώδης κύτταρο σάρωσης με πρόσθετη τη δυνατότητα αναστολής σάρωσης (**scan freeze flip-flop/cell**) και προσθέτει επιπλέον λειτουργικότητα με βάση την τεχνική μας.



(α)

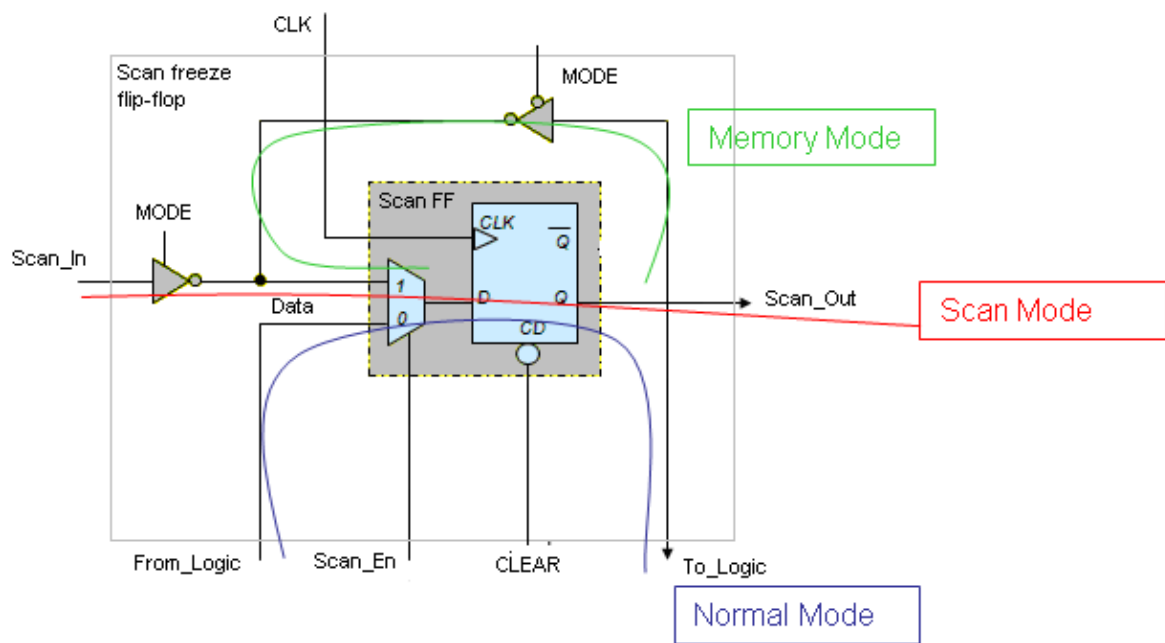


(β)

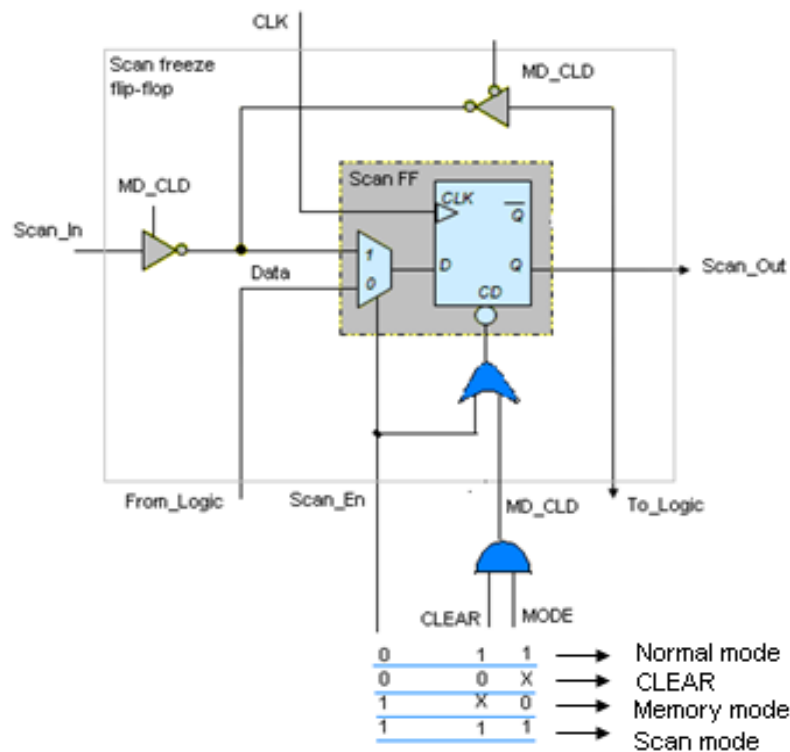
Σχήμα 4.1 (α). Το κλασικό κύτταρο σάρωσης (scan flip-flop) (β). Το scan freeze flip-flop

Το scan freeze flip-flop έχει τροποποιηθεί με τέτοιο τρόπο ώστε να παρέχει 3 κύριες λειτουργίες (modes). Η πρώτη είναι η ολίσθηση των δεδομένων (scan mode) η δεύτερη η κανονική λειτουργία (normal mode) και τρίτη η αναστολή σάρωσης δηλ. μνήμη μέσω ανατροφοδότησης (memory mode). Οι διαδρομές σήματος σε κάθε λειτουργία παρουσιάζονται στο σχήμα 4.2(α). Στο νέο κύτταρο μνήμης προστίθενται δύο τρισταθείς απομονωτές (3-state buffers) με αντίθετη λογική ενεργοποίησης και χρησιμοποιείται ένα εξωτερικό σήμα ελέγχου των τρισταθών απομονωτών MODE. Με το σήμα MODE επιλέγεται η ανατροφοδότηση ή μη του κλασικού κυττάρου σάρωσης από τις υπάρχουσες αποθηκευμένες τιμές σε αυτό, παρέχοντας έτσι τη δυνατότητα μνήμης στο scan freeze flip-flop. Όταν δεν πραγματοποιείται ανατροφοδότηση το κύτταρο λειτουργεί ακριβώς όπως ένα κλασικό κύτταρο σάρωσης.





(α)



(β)

Σχήμα 4.2. (α) Λειτουργίες του scan freeze flip-flop (β) Καταστάσεις λειτουργίες του scan freeze flip-flop

Το σήμα MODE καθορίζει σε ποιά λειτουργία θα βρίσκεται το scan freeze flip-flop σε συνδυασμό με την τιμή του σήματος Scan\_En. Όταν το σήμα Scan\_En είναι

απενεργοποιημένο το scan freeze flip-flop βρίσκεται σε κανονική λειτουργία (normal mode) όπως παρουσιάζεται στο σχήμα 4.2(α) με ενεργοποιημένη τη διαδρομή Normal Mode. Σε αυτή την κατάσταση μπορεί να επιτευχθεί και η αρχικοποίηση των δεδομένων του κυττάρου μέσω του σήματος CLEAR=0.

Όταν το σήμα Scan\_En ενεργοποιείται, το scan freeze flip-flop βρίσκεται σε κατάσταση ελέγχου ορθής λειτουργίας και μπορεί να έχει δύο διαφορετικές λειτουργίες. Η πρώτη είναι η λειτουργία ολίσθησης των δεδομένων (scan mode). Ενεργοποιείται με το σήμα MODE =1, οπότε η διαδρομή Scan mode του σχήματος 4.2(α) είναι ενεργή. Η δεύτερη λειτουργία του scan freeze flip-flop σε κατάσταση ελέγχου ορθής λειτουργίας είναι η αναστολή σάρωσης ή κατάσταση μνήμης (memory mode) και ενεργοποιείται με το σήμα MODE =0 όπου μόνο η διαδρομή Memory Mode του σχήματος 4.2(α) είναι ενεργοποιημένη.

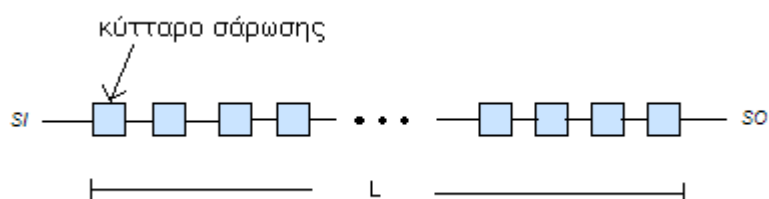
Στην προτεινόμενη τεχνική τμηματοποίησης με αναστολή σάρωσης είναι απαραίτητη η δρομολόγηση (routing) τριών σημάτων Scan\_En, MODE και CLEAR σε όλα τα scan freeze flip-flop της αλυσίδας σάρωσης. Στη κλασική τεχνική σάρωσης δρομολογούνται μόνο τα δύο από αυτά τα σήματα (Scan\_En και CLEAR). Συνεπώς, το κόστος σε επιφάνεια πυριτίου μπορεί να αυξηθεί. Για να επανέλθει το κόστος δρομολόγησης στο αρχικό, προτείνεται η χρήση μιας πύλης AND εκτός του scan freeze flip-flop με εισόδους τα σήματα CLEAR και MODE και έξοδο το σήμα MD\_CLR όπως παρουσιάζεται στο σχήμα 4.2(β). Κατά αυτόν τον τρόπο, διαμοιράζεται στο κύκλωμα και πάλι δύο σήματα τα Scan\_En και MD\_CLR. Η πύλη AND έχει το ρόλο του κωδικοποιητή των λειτουργιών CLEAR και MODE και μπορεί να είναι μία γενική πύλη ή μία πύλη ανά τμήμα. Συνεπώς απαιτείται μέσα σε κάθε scan freeze flip-flop η πράξη OR μεταξύ των σημάτων MD\_CLR και Scan\_En που λειτουργεί ως αποκωδικοποιητής για την ενεργοποίηση των επιθυμητών λειτουργιών των scan freeze flip-flop που αναφέρθηκαν στο σχήμα 4.2(α). Η πύλη OR προσθέτει κόστος σε επιφάνεια στο scan freeze flip-flop και άρα υπάρχει μια διένεξη ανάμεσα στο κόστος δρομολόγησης και το κόστος του κυττάρου. Ο σχεδιαστής θα επιλέξει τη βέλτιστη λύση. Συνοπτικά κάθε λειτουργία παρουσιάζεται στον πίνακα 4.1.

Πίνακας 4.1. Σήματα λειτουργίας του scan freeze flip-flop

Scan_En \ MD_CLR	0	1
0	Λειτουργία CLEAR	Κατάσταση Μνήμης (Memory Mode)
1	Κανονική Λειτουργία (Normal Mode)	Σειριακή Σάρωση (Scan Mode)

## 4.2 Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης σε Απλή Αλυσίδα Σάρωσης

Η κλασική τεχνική σειριακής σάρωσης παρουσιάζεται στο σχήμα 4.3 όπου απεικονίζεται μια ενιαία αλυσίδα σάρωσης μήκους  $L$  (όπου  $L$  είναι το πλήθος όλων των κυττάρων σάρωσης) με μία κοινή σειριακή είσοδο  $SI$  και μια έξοδο  $SO$ . Μέσα από την είσοδο  $SI$  ολισθαίνουν προς τα μέσα τα διανύσματα ελέγχου και από την έξοδο  $SO$  ολισθαίνουν προς τα έξω οι αποκρίσεις του κυκλώματος που δεσμεύονται στα κύτταρα σάρωσης. Το πρόβλημα που αντιμετωπίζει η κλασική τεχνική σειριακής σάρωσης του σχήματος 4.3 όπως αναφέρθηκε σε προηγούμενο κεφάλαιο είναι ότι η ολίσθηση δεδομένων σε μια πολύ μεγάλου μήκους αλυσίδα σάρωσης έχει σαν αποτέλεσμα την πολύ μεγάλη δυναμική κατανάλωση ενέργειας λόγω των υπεράριθμων μεταβάσεων τιμών στις εξόδους των κυττάρων σάρωσης που οδηγούν τη λογική. Οι συνέπειες όπως αναφέρθηκε στο κεφάλαιο 2 μπορεί να είναι καταστροφικές για το υπό έλεγχο κύκλωμα.

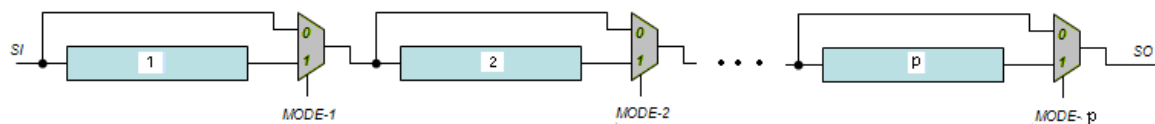


Σχήμα 4.3. Απλή αλυσίδα σειριακής σάρωσης μήκους  $L$

### 4.2.1 Τμηματοποίηση της Αλυσίδας Σάρωσης και ο Βασικός Τρόπος Λειτουργίας της

Για την εφαρμογή της προτεινόμενης τεχνικής τμηματοποίησης αλυσίδας σάρωσης με αναστολή (freeze scan partitioning) για χαμηλή κατανάλωση ενέργειας είναι απαραίτητη η αντικατάσταση όλων των κλασικών κυττάρων μνήμης στο κύκλωμα προς έλεγχο (CUT) με τα scan freeze flip-flop της ενότητας 4.1 που παρέχουν επιπλέον λειτουργικότητα στο σύστημα.

Για την μείωση της κατανάλωσης ενέργειας κατά τον έλεγχο της κλασικής, ενιαίας αλυσίδας σάρωσης μήκους  $L$  του σχήματος 4.3 προτείνεται η αρχιτεκτονική τμηματοποιημένων αλυσίδων σάρωσης του σχήματος 4.4 όπου η κλασική αλυσίδα σάρωσης μήκους  $L$  χωρίζεται σε  $p$  τμήματα (*partitions*). Κάθε τμήμα αποτελείται από  $L/p$  scan freeze flip-flop. Ανάμεσα από τα τμήματα προστίθεται ένας πολυπλέκτης 2 σε 1 ο οποίος χρησιμοποιείται για να επιλεγεί αν το αντίστοιχο τμήμα θα παρακαμφθεί ή αν μέσα από αυτό θα περάσουν τα δεδομένα ελέγχου. Στη φάση του ελέγχου ορθής λειτουργίας κυκλωμάτων κάθε διάνυσμα ελέγχου ολισθαίνει εντός της αλυσίδας σάρωσης από την κοινή είσοδο SI και εκτός από την έξοδο SO.



Σχήμα 4.4. Τμηματοποιημένη αλυσίδα σάρωσης σύμφωνα με την τεχνική freeze scan partitioning

Η διαφορά στην ολίσθηση δεδομένων ελέγχου μέσα από την τμηματοποιημένη αλυσίδα σάρωσης σε σχέση με την κλασική σειριακή σάρωση είναι η φόρτωση των δεδομένων ελέγχου ανά τμήμα της αλυσίδας ενώ τα υπόλοιπα παραμένουν σε αναστολή σάρωσης (κατάσταση μνήμης). Συνοπτικά η λειτουργία του σειριακού ελέγχου της τμηματοποιημένης αλυσίδας σάρωσης με αναστολή σάρωσης για ένα τρέχον διάνυσμα ελέγχου έχει ως εξής:

1. Κατά την ολίσθηση ενός διανύσματος ελέγχου μόνο ένα τμήμα της αλυσίδας είναι ενεργοποιημένο κάθε φορά. Τα scan freeze flip-flop του ενεργοποιημένου τμήματος βρίσκονται σε κατάσταση σειριακής σάρωσης (shift mode). Στο ενεργοποιημένο τμήμα ολισθαίνει εντός το αντίστοιχο μέρος του διανύσματος ελέγχου ενώ ταυτόχρονα ολισθαίνει εκτός το αντίστοιχο τμήμα της προηγούμενης απόκρισης της συνδυαστικής λογικής. Για να ολοκληρωθεί η διαδικασία ολίσθησης απαιτούνται  $L/p$  κύκλοι ρολογιού ελέγχου.
2. Τα υπόλοιπα  $p-1$  τμήματα παραμένουν ‘παγωμένα’ (memory mode), τα scan freeze flip-flop των τμημάτων αυτών βρίσκονται σε κατάσταση μνήμης και παρακάμπτονται κατά την φόρτωση μέσω των πολυπλεκτών.

3. Η διαδικασία συνεχίζεται παρομοίως με την ενεργοποίηση ενός άλλου τμήματος και την ολίσθηση των δεδομένων μέσα από αυτό ενώ τα υπόλοιπα τμήματα παραμένουν σε κατάσταση μνήμης και παρακάμπτονται.
4. Η διαδικασία ολίσθησης ολοκληρώνεται όταν φορτωθεί κάθε τμήμα της αλυσίδας με το νέο διάνυσμα ελέγχου και παράλληλα εξαχθεί εκτός της αλυσίδας η προηγούμενη απόκριση της συνδυαστικής λογικής. Η διαδικασία αυτή απαιτεί L κύκλους ρολογιού όπως και στην κλασική αλυσίδα σάρωσης.
5. Ακολούθως έχουμε την επαναφορά του συστήματος στην κανονική λειτουργία για τη δέσμευση των νέων αποκρίσεων (normal or capture mode) στα scan freeze flip-flop για το συγκεκριμένο διάνυσμα ελέγχου.
6. Αν υπάρχει επόμενο διάνυσμα ελέγχου ακολουθούνται τα βήματα 1 έως 5 μέχρι να εξαντληθούν όλα τα διανύσματα.

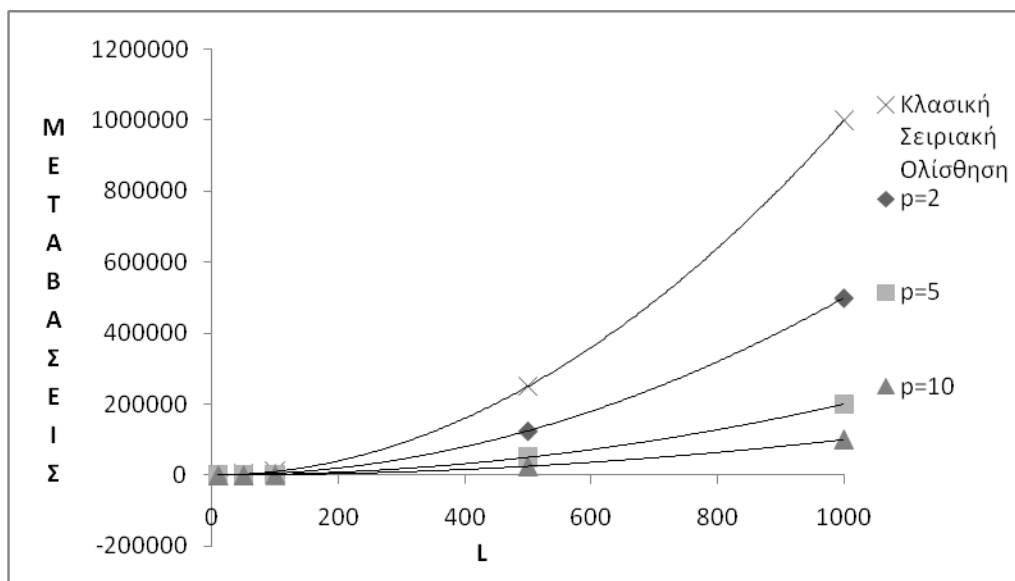
Το κύκλωμα έχει περάσει τον έλεγχο αν όλες οι αποκρίσεις των διανυσμάτων ελέγχου είναι οι αναμενόμενες όπως και στην κλασική τεχνική σειριακής σάρωσης.

Η χρήση της νέας προτεινόμενης τεχνικής προσφέρει μείωση των μεταβάσεων κατά την ολίσθηση των δεδομένων ελέγχου. Συγκεκριμένα, το άθροισμα των μεταβάσεων όλων των τμημάτων  $p$  είναι μικρότερο περίπου κατά  $1/p$  σε σχέση με την ενιαία αλυσίδα σάρωσης. Η εξοικονόμηση μεταβάσεων οφείλεται στη ολίσθηση δεδομένων σε μικρότερου μήκους τμήματα αντί της κλασικής αλυσίδας σάρωσης μήκους  $L$ .

Για να αναδείξουμε την αποτελεσματικότητα της προτεινόμενης τεχνικής με ένα παράδειγμα, ας θεωρήσουμε την περίπτωση μιας αλυσίδας μήκους  $L$  στην οποία εισάγουμε το χειρότερο από πλευράς μεταβάσεων διάνυσμα ελέγχου το οποίο αποτελείται από συνεχή εναλλαγές μηδενικών και άσπων. Στον πίνακα που ακολουθεί φαίνεται ο αριθμός των μεταβάσεων για την κλασική σειριακή ολίσθηση ( $T_{std}$ ) και για την προτεινόμενη τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή ( $T_n$ ) για διάφορες τιμές του πλήθους των τμημάτων  $p$  ως συνάρτηση του μήκους της αλυσίδας  $L$ . Στο σχήμα 4.5 που ακολουθεί φαίνεται το κέρδος σε μεταβάσεις που πετυχαίνουμε με την προτεινόμενη τεχνική.

Πίνακας 4.2. Σύγκριση της προτεινόμενης τεχνικής με την κλασική ως προς το πλήθος των μεταβάσεων

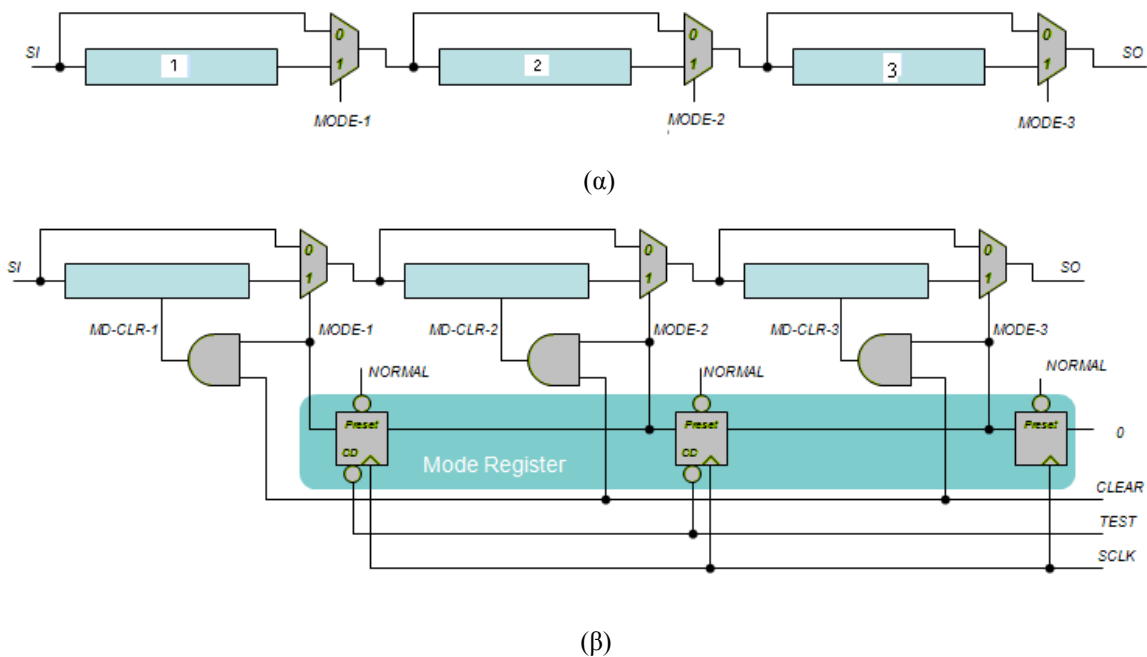
L	Μεταβάσεις κλασικής σειριακής ολίσθησης (Tstd)	Μεταβάσεις προτεινόμενης τεχνικής (Tn)		
		p=2	p=5	p=10
10	100	40	20	0
50	2500	1200	500	200
100	10000	5000	2000	1000
500	250000	125000	50000	25000
1000	1000000	500000	200000	100000



Σχήμα 4.5. Οι μεταβάσεις σήματος στις εξόδους της αλυσίδας σάρωσης (α) για την κλασική σειριακή ολίσθηση και (β) για την προτεινόμενη με διάφορες τιμές του πλήθους των τμημάτων p, ως συνάρτηση του μήκους της αλυσίδας L

#### 4.2.2 Λειτουργία της Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή σε Απλή Αλυσίδα Σάρωσης

Η νέα τεχνική τμηματοποιημένων αλυσίδων με αναστολή σάρωσης μπορεί να εφαρμοστεί σε απλή αλυσίδα σάρωσης. Για την ανάλυσή μας το σχήμα 4.6 παρουσιάζει την πλήρη τοπολογία της νέας τεχνικής, όπου υποθέτουμε μήκος κλασικής αλυσίδας σάρωσης  $L=27$  scan freeze flip-flop και  $p=3$  τμήματα. Κάθε τμήμα θα αποτελείται από  $L/p=9$  scan freeze flip-flop. Φυσικά, η τεχνική μπορεί να γενικευτεί για οποιοδήποτε μήκος αλυσίδας σάρωσης με χρήση της αντίστοιχης επιπρόσθετης λογικής.



Σχήμα 4.6. (α). Χωρισμός της αλυσίδας σε 3 τμήματα και (β) Η πλήρης τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή με τα κυκλώματα υποβοήθησης της λειτουργίας.

Η νέα αλυσίδα του σχήματος 4.6(α) αποτελείται από τα τμήματα 1, 2 και 3 με αντίστοιχα σήματα επιλογής των πολυπλεκτών MODE-1, MODE-2, MODE-3. Κάθε τμήμα δέχεται το δικό του ξεχωριστό σήμα MD-CLR το οποίο είναι κοινό για όλα τα scan freeze flip-flop του τμήματος. Για την δημιουργία αυτών των σημάτων απαιτείται η κυκλωμάτωση του σχήματος 4.6(β) όπου προστίθεται ένας σειριακός καταχωριστής κατάστασης (Mode Register) ελεγχόμενος από τα σήματα SCLK, TEST και NORMAL.

#### 4.2.2.1 Καταχωρητής Κατάστασης

Ο καταχωρητής κατάστασης (Mode Register) αποτελείται από  $p$  τον αριθμό D-κύτταρα μνήμης, όπου  $p$  το πλήθος των τμημάτων (στο παράδειγμά μας  $p=3$ ), ένα για κάθε τμήμα. Τα σήματα TEST και NORMAL είναι συνδεδεμένα στις εισόδους CD (clear data) και Preset αντίστοιχα των D-κυττάρων μνήμης.

Ο καταχωρητής κατάστασης γεννά το σήμα MODE- $i$  κάθε τμήματος. Το σήμα MODE- $i$  (όπου  $i=1..p$ ) κάθε D-κύτταρου μνήμης του καταχωριστή κατάστασης οδηγεί μαζί με το εξωτερικό σήμα CLEAR την πύλη AND κάθε τμήματος και το σήμα επιλογής του πολυπλέκτη του τμήματος. Τα σήματα MODE και CLEAR σχηματίζουν το αναφερόμενο

στην ενότητα 4.1 σήμα MD\_CLD που ενεργοποιεί την επιθυμητή λειτουργία κάθε τμήματος σε συνδυασμό με το σήμα Scan\_En.

Σε φάση ολίσθησης (Scan\_En=1) και με ενεργοποιημένο το σήμα MODE-i του i τμήματος σηματοδοτείται η ολίσθηση των δεδομένων ελέγχου μέσα από το συγκεκριμένο τμήμα της αλυσίδας. Ενώ με απενεργοποιημένο το σήμα MODE-i τα υπόλοιπα τμήματα παραμένουν 'παγωμένα' σε κατάσταση μνήμης. Ο έλεγχος των τιμών του καταχωρητή κατάστασης γίνεται από τον σχεδιαστή μέσω των τιμών που ολισθαίνει μέσω της εισόδου του πρώτου από δεξιά D-κύτταρου μνήμης του καταχωριστή κατάστασης όπως φαίνεται και στο σχήμα 4.6(β). Το εξωτερικό σήμα TEST αρχικοποιεί στο μηδέν όλα τα D-κύτταρα μνήμης του καταχωριστή κατάστασης για την φάση του ελέγχου ορθής λειτουργίας εκτός από το πρώτο από δεξιά D-κύτταρο μνήμης. Το σήμα CD του τμήματος 3 συνδέεται μονίμως στην τροφοδοσία Vdd γιατί δεν είναι επιθυμητός ο ταυτόχρονος μηδενισμός τους σε σχέση με τα υπόλοιπα p-1 D-κύτταρα μνήμης.

Σε φάση κανονικής λειτουργίας (Scan\_En=0) η ταυτόχρονη ενεργοποίηση των σημάτων MODE-i όλων των τμημάτων επιτρέπει την δέσμευση των αποκρίσεων στα scan freeze flip-flop της αλυσίδας σάρωσης. Τη λειτουργία αυτή την ελέγχει το σήμα NORMAL με την ταυτόχρονη επιβολή της λειτουργίας preset όλων των D-κύτταρων μνήμης λίγο νωρίτερα από τον κύκλο δέσμευσης.

Ο καταχωρητής ολίσθησης κατάστασης χρησιμοποιεί ένα ρολόι **SCLK** με διαφορετική συχνότητα από το κυρίως ρολόι της αλυσίδας ολίσθησης **clk**. Η συχνότητα του SCLK είναι το 1/p της συχνότητας του ρολογιού clk κατά τη φάση ολίσθησης δεδομένων στην αλυσίδα και μπορεί να παραχθεί εσωτερικά στο ολοκληρωμένο με τη χρήση απλών μετρητών.

#### 4.2.2.2 Ανάλυση Λειτουργίας σε Απλή Αλυσίδα Σάρωσης

Στα σχήματα 4.7 μέχρι 4.13 παρουσιάζεται όλη η διαδικασία ελέγχου ορθής λειτουργίας με χρήση της τεχνικής για ένα τρέχον διάνυσμα ελέγχου. Έστω η τυχαία ακολουθία διανυσμάτων ελέγχου στα scan freeze flip-flop του συνδυαστικού κυκλώματος κατά τον έλεγχο ορθής λειτουργίας:

Απόκριση κυκλώματος σε προηγούμενο διάνυσμα: 

111100001 001100101 101111001
-------------------------------

Το νέο (επόμενο) διάνυσμα ελέγχου: 

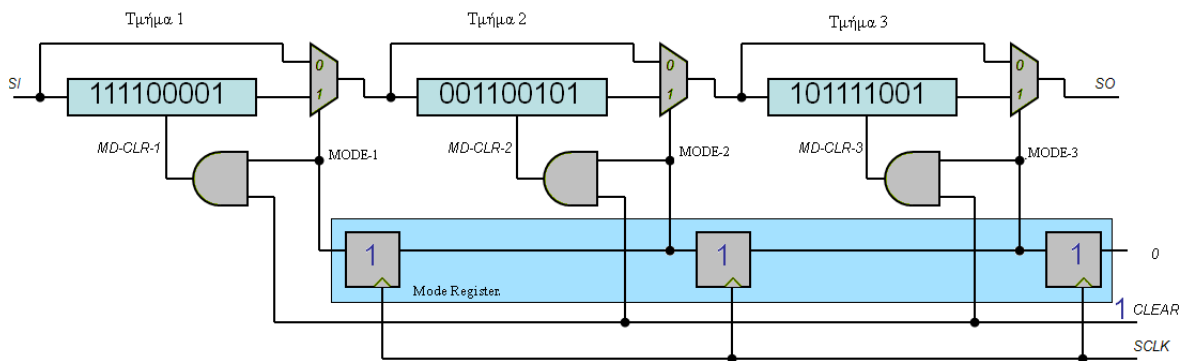
100000001 101010101 000000100
-------------------------------



Απόκριση του συνδυαστικού κυκλώματος στο νέο διάνυσμα ελέγχου:

100000001 101000000 000000000

Η διαδικασία της φόρτωσης του νέου διανύσματος ελέγχου και συλλογής της προηγούμενης απόκρισης, διακρίνεται σε  $p=3$  φάσεις. Η τεχνική ξεκινά την φόρτωση των δεδομένων ελέγχου από το πρώτο από δεξιά τμήμα 3 και συνεχίζει στο πρώτο από αριστερά τμήμα 1, χωρίς αυτή η σειρά να είναι δεσμευτική στη γενική περίπτωση. Η αρχική κατάσταση της αλυσίδας σάρωσης στην ανάλυση αυτή παρουσιάζεται στο σχήμα 4.7 όπου μετά το πέρας της φάσης δέσμευσης των αποκρίσεων ( $Scan\_En=0$ ) έχει αποθηκευτεί η απόκριση του κυκλώματος σε προηγούμενο διάνυσμα και αρχίζει η φάση ολίσθησης ( $Scan\_En=1$ ) για το επόμενο διάνυσμα ελέγχου.



Σχήμα 4.7. Αρχική κατάσταση αλυσίδας σάρωσης

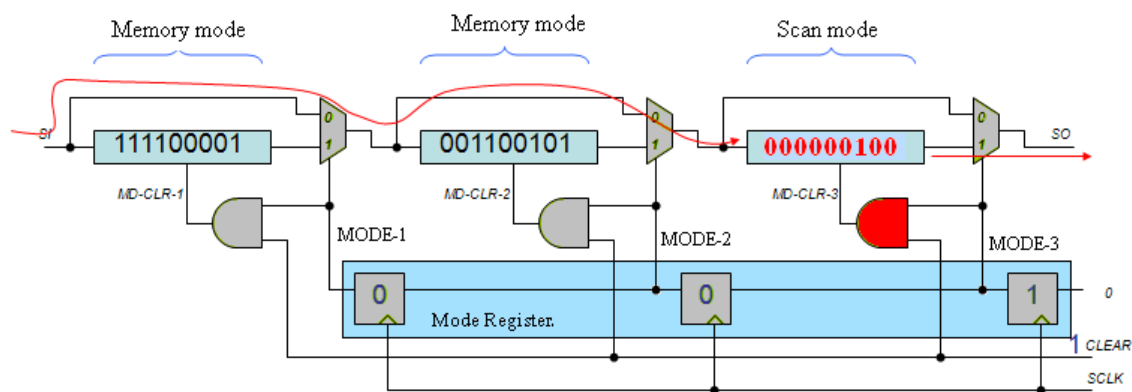
### Φάση Πρώτη: ολίσθηση δεδομένων στο πρώτο τμήμα 3

Πριν ξεκινήσει η διαδικασία της σειριακής σάρωσης για τον έλεγχο ορθής λειτουργίας, το σήμα TEST ενεργοποιείται (ενεργοποίηση στην λογική τιμή '0') για τον μηδενισμό των D-κυττάρων μνήμης του καταχωριστή κατάστασης (Mode Register) εκτός του πρώτου από δεξιά το οποίο παραμένει στο λογικό 1. Όπως παρουσιάζεται στο σχήμα 4.8 ο καταχωρητής κατάστασης αρχικοποιείται στην τιμή '001'. Στη συνέχεια τα σήματα NORMAL και TEST παραμένουν στο λογικό 1.

Το σήμα MODE-3 με λογική τιμή "1" σε συνδυασμό με το CLEAR ενεργοποιούν την ολίσθηση δεδομένων στο τμήμα 3 της αλυσίδας σάρωσης. Ο πολυπλέκτης του τμήματος 3 επιτρέπει την ολίσθηση προς τα έξω των αποκρίσεων μέσω της εξόδου SO. Η τιμή '0' στα

σήματα MODE-2 και MODE-1 σε συνδυασμό με το CLEAR σηματοδοτούν την λειτουργία μνήμης στα αντίστοιχα τμήματα. Οι πολυπλέκτες των τμημάτων 2 και 1 παρακάμπτουν τα scan freeze flip-flop των τμημάτων αυτών. Έτσι τα τμήματα 1 και 2 βρίσκονται σε κατάσταση μνήμης ενώ το τμήμα 3 σε σειριακή σάρωση.

Στην πρώτη φάση απαιτούνται  $L/p=9$  κύκλοι του ρολογιού clk. Με το πέρας των κύκλων αυτών έχει φορτωθεί στο τμήμα 3 της αλυσίδας το σωστό τμήμα του διανύσματος ελέγχου όπως παρουσιάζεται και στο σχήμα 4.8, το οποίο αποτελεί και την τελική κατάσταση της πρώτης φάσης.



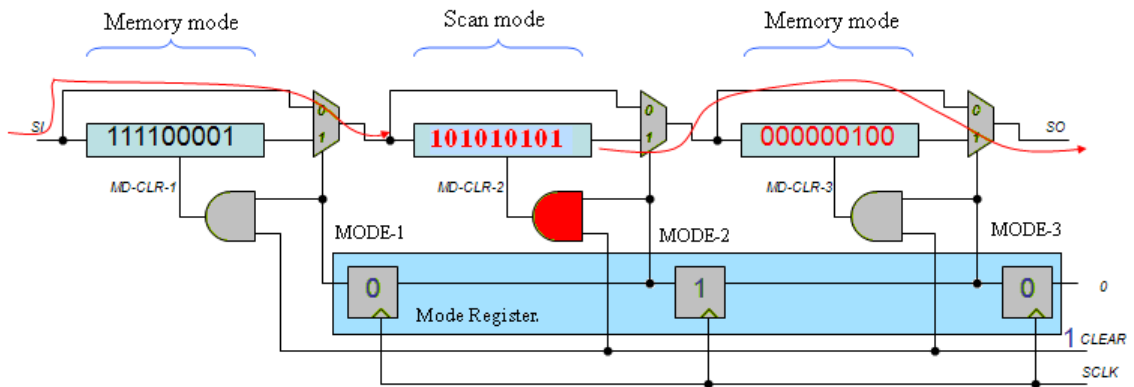
Σχήμα 4.8. Τελική κατάσταση πρώτης φάσης

## Φάση Δεύτερη: ολίσθηση δεδομένων στο δεύτερο τμήμα 2

Με αρχική κατάσταση την τελική κατάσταση της πρώτης φάσης του σχήματος 4.8 ξεκινά η δεύτερη φάση της ολίσθησης. Το ρολόι SCLK του καταχωριστή κατάστασης με συχνότητα  $L/p=9$  κύκλων του clk ενεργοποιείται και σηματοδοτεί την ολίσθηση του '1' προς τα αριστερά κατά μία θέση. Το σήμα MODE-2 μαζί με το CLEAR ενεργοποιούν προς ολίσθηση το τμήμα 2 και οδηγούν μέσω του πολυπλέκτη του τμήματος 2 τα δεδομένα στην έξοδο παρατήρησης SO. Τα τμήματα 1 και 3 παραμένουν σε κατάσταση μνήμης λόγω του '0' στο αντίστοιχο D-κύτταρο μνήμης του καταχωριστή κατάστασης και μέσω του σχετικού πολυπλέκτη παρακάμπτονται. Στο σχήμα 4.9 παρουσιάζεται η τελική κατάσταση της δεύτερης φάσης.

Για την διαδικασία της δεύτερης φάσης απαιτούνται και πάλι  $L/p=9$  κύκλοι ρολογιού clk. Με το πέρας των κύκλων αυτών έχει ολισθήσει προς τα μέσα το σωστό τμήμα του

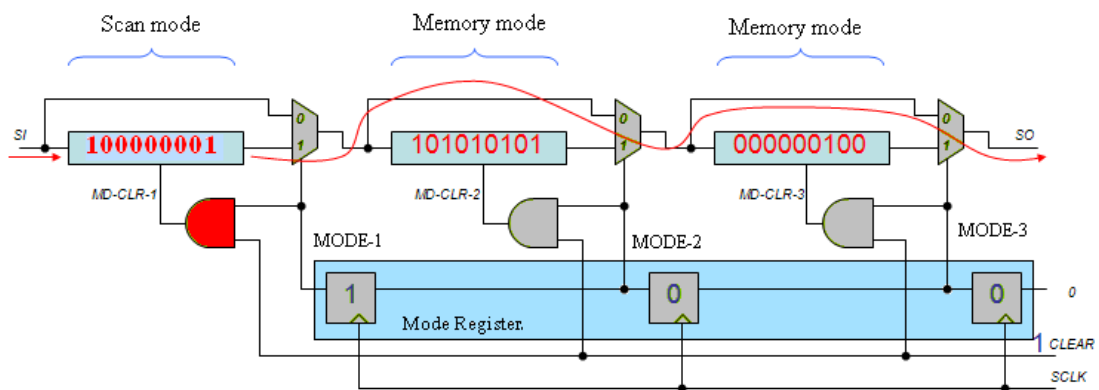
διανύσματος ελέγχου ενώ ταυτόχρονα το κομμάτι της απόκρισης έχει ολισθήσει προς τα έξω όπως παρουσιάζεται και στο σχήμα 4.9.



Σχήμα 4.9. Τελική κατάσταση δεύτερης φάσης

### Φάση Τρίτη: ολίσθηση δεδομένων στο τρίτο από δεξιά τμήμα

Με αρχική κατάσταση την τελική κατάσταση της δεύτερης φάσης του σχήματος 4.9 ξεκινά η δεύτερη φάση της ολίσθησης. Το ρολόι SCLK ενεργοποιείται και σηματοδοτεί την ολίσθηση του '1' προς το αριστερότερο D-κύτταρο μνήμης του καταχωριστή κατάστασης. Όπως νωρίτερα, το σήμα MODE-1 μαζί με το CLEAR ενεργοποιούν προς ολίσθηση το τμήμα 1 και οδηγούν μέσω των πολυπλεκτών των τμημάτων 2 και 3 τα δεδομένα στην έξοδο παρατήρησης SO. Τα τμήματα 2 και 3 παραμένουν σε κατάσταση μνήμης και παρακάμπτονται. Στο σχήμα 4.10 παρουσιάζεται η τελική κατάσταση της τρίτης φάσης.



Σχήμα 4.10. Τελική κατάσταση τρίτης φάσης

Μετά το πέρας των  $p$  φάσεων συνολικής διάρκειας  $\sum_p (L/p) = L$  κύκλων του ρολογιού clk, το διάνυσμα ελέγχου έχει φορτωθεί σωστά στην αλυσίδα και η προηγούμενη απόκριση έχει περάσει στο εξωτερικό περιβάλλον, με πολύ μικρότερη κατανάλωση ενέργειας καθώς

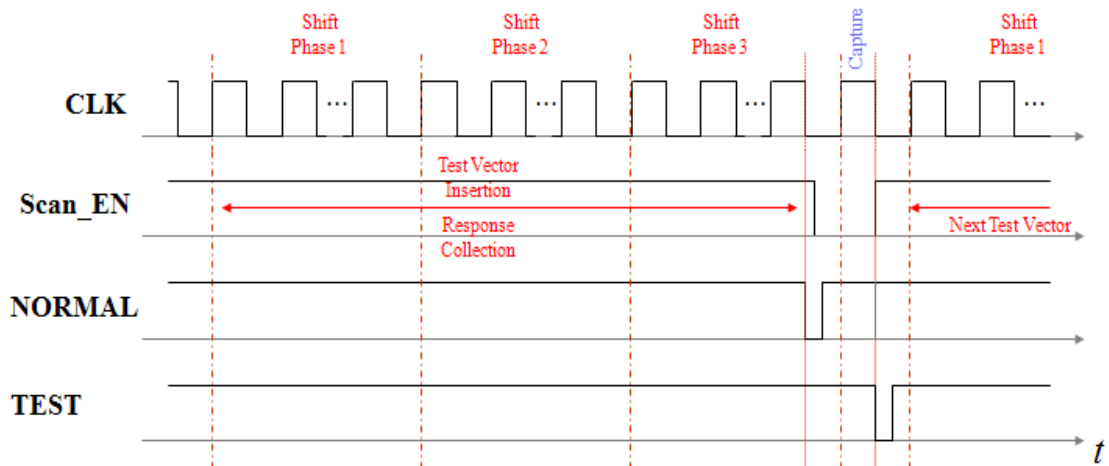
έχουμε λιγότερες μεταβάσεις σήματος στην αλυσίδα. Πράγματι, π.χ. χωρίς την τεχνική ο αριθμός των μεταβάσεων του κυκλώματος s13207 στην κλασική αλυσίδα είναι 26126437, ενώ μετά την εφαρμογή της τεχνικής ο αριθμός μειώνεται σε 13093137 μεταβάσεις δηλ. επιτυγχάνεται κέρδος της τάξης του 50% για  $p=2$  παράλληλα τμήματα ενώ για  $p=3$  οι μεταβάσεις είναι 8954977 και κέρδος 65%. Η τελική κατάσταση της τρίτης φάσης σηματοδοτεί και τον τερματισμό της φάσης σειριακής σάρωσης για το τρέχον διάνυσμα ελέγχου.

Η προτεινόμενη τεχνική τμηματοποιημένης αλυσίδας σάρωσης με αναστολή χρειάζεται ακριβώς τους ίδιους κύκλους ρολογιού ελέγχου με την κλασική τεχνική σειριακής σάρωσης, δηλαδή L και δεν προσθέτει καμία επιπλέον καθυστέρηση στην διαδικασία του ελέγχου. Στο συγκεκριμένο παράδειγμα για το γέμισμα της αλυσίδας του νέου διανύσματος χρειάστηκαν  $3*9=27$  κύκλοι ρολογιού ελέγχου clk όπως και στην κλασική τεχνική ολίσθησης.

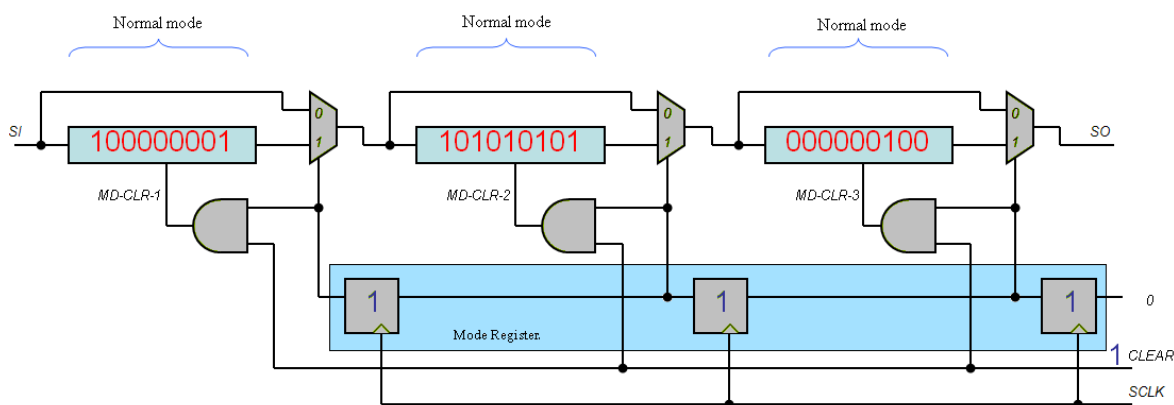
#### **Φάση Τέταρτη: Δέσμευση Αποκρίσεων**

Μετά την ολοκλήρωση της φάσης ελέγχου ακολουθεί η φάση της δέσμευσης των αποκρίσεων. Το σχήμα 4.11 παρουσιάζει το συγχρονισμό όλων των σημάτων κατά την διαδικασία ελέγχου ενός διανύσματος ελέγχου με clk το ρολόι ελέγχου. Το σήμα Scan\_En απενεργοποιείται (τιμή '0') στον κύκλο δέσμευσης των αποκρίσεων, αμέσως μετά την ολοκλήρωση των ολισθήσεων.

Στην αρνητική φάση του κύκλου δέσμευσης αποκρίσεων, το σήμα NORMAL ενεργοποιείται στο '0' έτσι ώστε, σε κάθε D-κύτταρο μνήμης του καταχωρητή κατάστασης να αποθηκευτεί η τιμή '1' και όλα τα scan freeze flip-flop να γυρίσουν σε κατάσταση κανονικής λειτουργίας και να επιτευχθεί η δέσμευση των αποκρίσεων στην θετική ακμή του ίδιου κύκλου. Στη φάση αυτή κάθε τμήμα περνάει σε κανονική λειτουργία (normal mode), καθώς όλα τα MD-CLR-i σήματα μεταβαίνουν σε λογικό '1' όπως φαίνεται στο σχήμα 4.12.

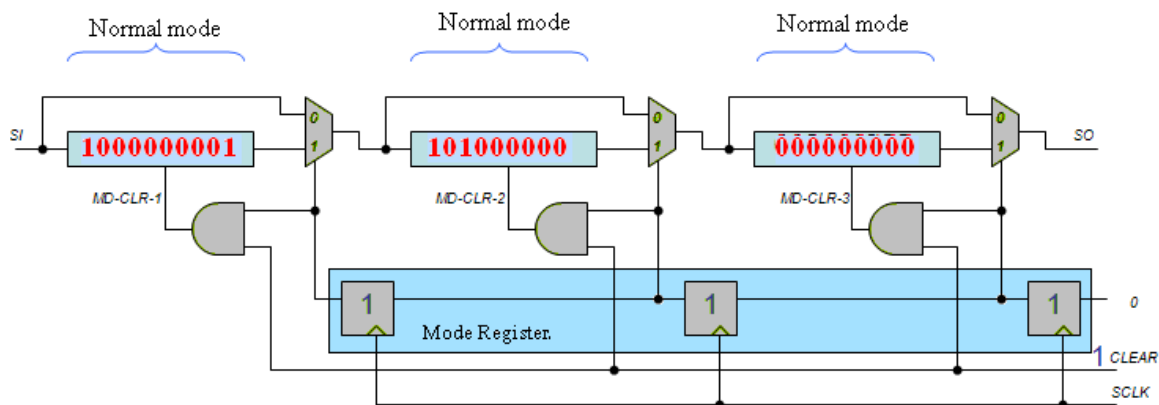


Σχήμα 4.11. Ο συγχρονισμός των σημάτων ελέγχου



Σχήμα 4.12. Αρνητική φάση του capture κύκλου

Στην θετική ακμή του κύκλου δέσμησης των αποκρίσεων που ακολουθεί, γίνεται η δέσμηση των αποκρίσεων στο διάνυσμα ελέγχου που έχει φορτωθεί στην αλυσίδα. Η νέα απόκριση δεσμεύεται στα scan freeze flip-flop όπως παρουσιάζεται στο σχήμα 4.13 κατά τη διάρκεια του κύκλου δέσμησης αποκρίσεων.



Σχήμα 4.13. Δέσμηση νέων αποκρίσεων

Μετά τον κύκλο της δέσμευσης των αποκρίσεων ακολουθεί η φάση της ολίσθησης για να ολισθήσει εκτός η απόκριση που δεσμεύτηκε και παράλληλα να ολισθήσει εντός το νέο διάνυσμα ελέγχου. Για τη διαδικασία αυτή τα D-κύτταρα μνήμης του καταχωρητή κατάστασης αρχικοποιούνται (μηδενίζονται) εκτός από το πρώτο από δεξιά, μέσω των σημάτων NORMAL και TEST ώστε να ξεκινήσει ομοίως η ολίσθηση ανά τμήμα του επόμενου διανύσματος ελέγχου.

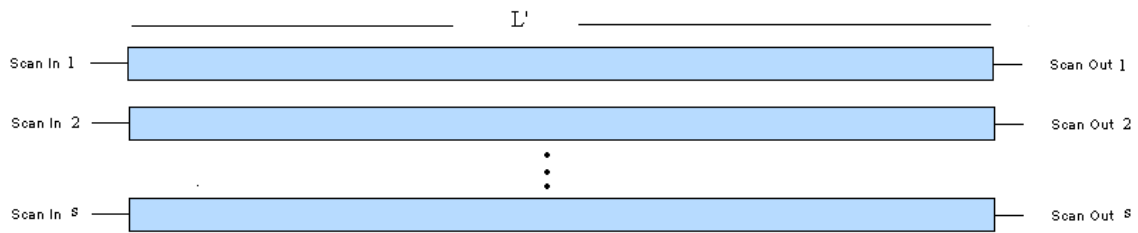
Τα σήματα NORMAL και TEST όπως φαίνεται και στο σχήμα 4.11 δίνουν μόνο έναν πολύ σύντομης διάρκειας αρνητικό παλμό πριν τον κύκλο δέσμευσης το πρώτο και στον κύκλο δέσμευσης το δεύτερο.

Η ανάλυση που παρουσιάστηκε παραπάνω αναφέρεται στην εφαρμογή ενός τυχαίου ενδιάμεσο διανύσματος ελέγχου. Σε περίπτωση που το διάνυσμα ελέγχου που εφαρμόζεται είναι το πρώτο, συνήθως είναι απαραίτητη η αρχικοποίηση όλων των κυττάρων μνήμης στην αλυσίδα. Η λειτουργία της αρχικοποίησης (μηδενισμός) ενεργοποιείται με το εξωτερικό σήμα CLEAR (βλέπε σχήμα 4.6(β)) σε συνδυασμό με το εξωτερικό σήμα Scan\_En στην τιμή '0'.

Η φόρτωση των δεδομένων με την τεχνική τμηματοποιημένων αλυσίδων με αναστολή σάρωσης προβλέπεται πως στατιστικά θα μειώσει τον αριθμό των μεταβάσεων κατά  $1/p$  το οποίο επαληθεύθηκε από τα πειραματικά αποτελέσματα της εργασίας που παρουσιάζονται στο επόμενο κεφάλαιο.

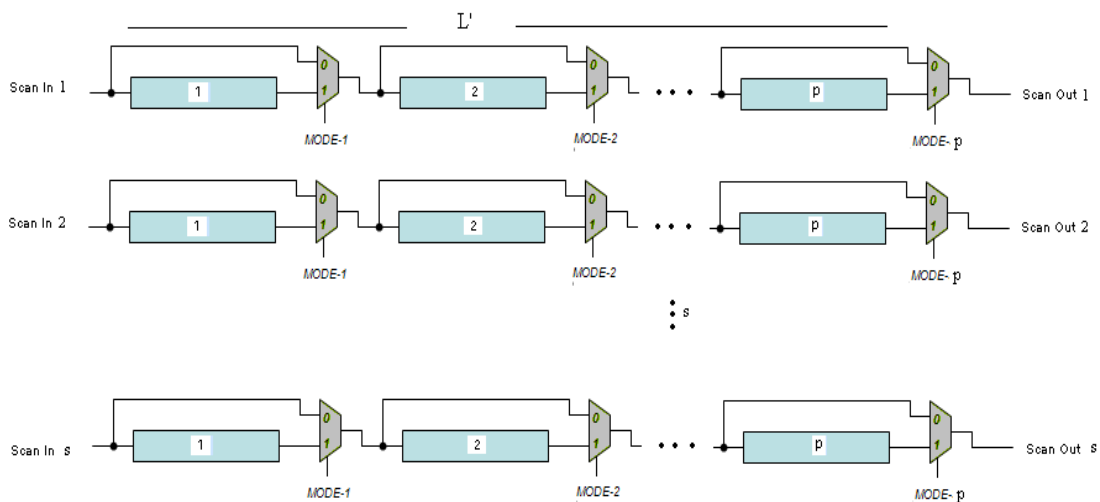
#### **4.3 Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης σε Πολλαπλές Αλυσίδες Σάρωσης με Ανεξάρτητες Εισόδους**

Η τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σάρωσης μπορεί να εφαρμοστεί πολύ αποτελεσματικά και σε παράλληλες αλυσίδες σάρωσης παρόμοιες με του σχήματος 4.14 όπου οι εισοδοί εισαγωγής δεδομένων ελέγχου Scan\_In1, Scan\_In2,...Scan\_Inn σε κάθε αλυσίδα είναι ανεξάρτητες μεταξύ τους.



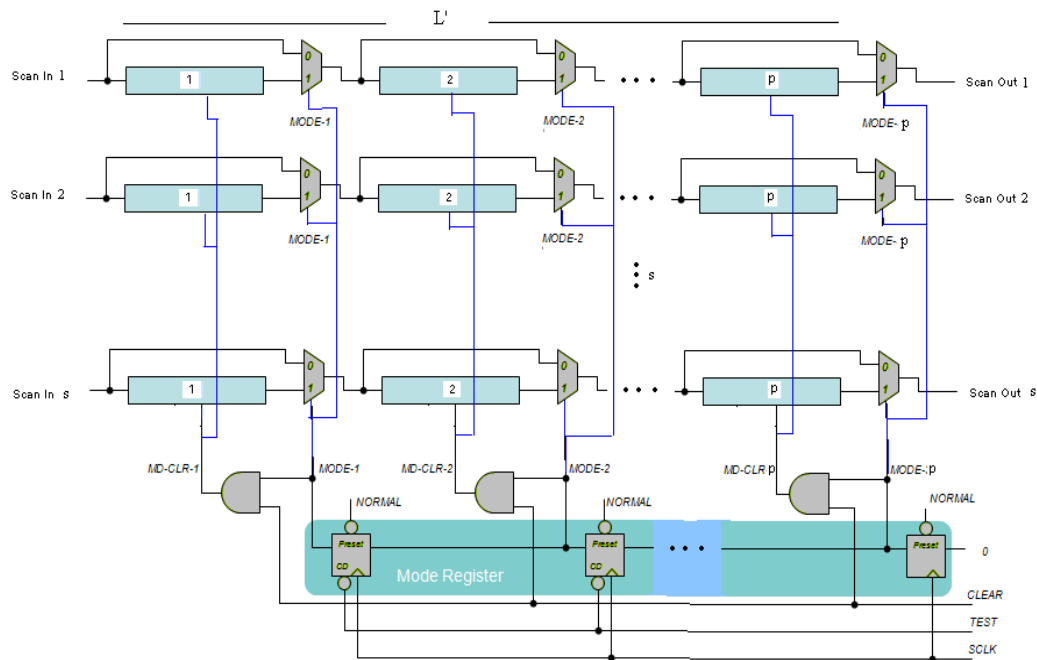
Σχήμα 4.14. Πολλαπλές παράλληλες αλυσίδες σάρωσης

Στην περίπτωση αυτή έχουμε  $s$  παράλληλες αλυσίδες (parallel scan chains ή segments) μήκους  $L'=L/s$  η κάθε μία. Η αναφερόμενη τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σάρωσης της ενότητας 4.2 μπορεί να εφαρμοστεί στις  $s$  παράλληλες αλυσίδες όπως παρουσιάζεται στο σχήμα 4.15. Κάθε μια από τις  $s$  παράλληλες αλυσίδες σάρωσης χωρίζεται σε  $p$  τμήματα. Θεωρώντας πως κάθε παράλληλη αλυσίδα έχει μήκος  $L'$  και όλες χωρίζονται σε  $p$  τμήματα, κάθε τμήμα σε κάθε αλυσίδα αποτελείται από  $L'/p$  scan freeze flip-flop.



Σχήμα 4.15. Τμηματοποίηση παράλληλων αλυσίδων σάρωσης

Η λειτουργία της τεχνικής στην περίπτωση των παράλληλων αλυσίδων είναι όμοια με την περιγραφή της παραγράφου 4.2. Ο καταχωρητής κατάστασης (Mode Register) είναι κοινός για όλες τις  $s$  παράλληλες αλυσίδες σάρωσης και τις οδηγεί σύμφωνα με το σχήμα 4.16.



Σχήμα 4.16. Αναλυτική παρουσίαση της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σε πολλαπλές παράλληλες αλυσίδες σάρωσης

Από κάθε ανεξάρτητη είσοδο  $Scan\_In1, Scan\_In2, \dots, Scan\_Ins$  ολισθαίνουν εντός τα δεδομένα ελέγχου, διαδοχικά σε κάθε τμήμα μέσα σε  $L'/p$  κύκλους ρολογιού ενώ από κάθε παράλληλη έξοδο ολισθαίνουν εκτός οι αποκρίσεις του αντίστοιχου τμήματος. Με το πέρας  $L'$  κύκλων ρολογιού ελέγχου έχει ολοκληρωθεί η διαδικασία της σειριακής ολίσθησης δεδομένων σε όλα τα  $p$  τμήματα όλων των  $s$  παράλληλων αλυσίδων. Ο κύκλος της δέσμευσης αποκρίσεων εφαρμόζεται ταυτόχρονα σε όλες τις αλυσίδες σάρωσης.

Με την χρήση της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή επιτυγχάνεται μείωση των μεταβάσεων σήματος σε κάθε ξεχωριστή παράλληλη αλυσίδα. Το συνολικό ποσοστό της μείωσης εξαρτάται όχι μόνο από πλήθος των τμημάτων  $p$  ανά παράλληλη αλυσίδα αλλά και από το πλήθος  $s$  των παράλληλων αλυσίδων, σε σχέση με την χρήση μιας μοναδικής αλυσίδας μήκους  $L$ .

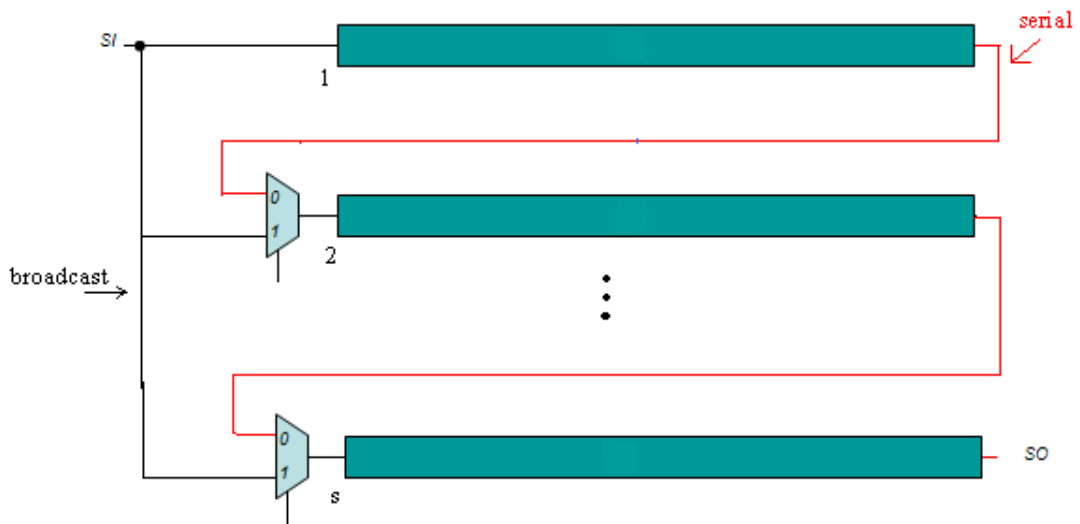
Η ύπαρξη ίσου μήκους  $L'$  παράλληλων αλυσίδων σάρωσης δεν είναι δεσμευτική για την προτεινόμενη τεχνική ούτε και η τμηματοποίηση σε ίσο αριθμό τμημάτων  $p$ . Απαιτείται όμως τροποποίηση του καταχωρητή κατάστασης σε μια άνισου μήκους τμηματοποίηση



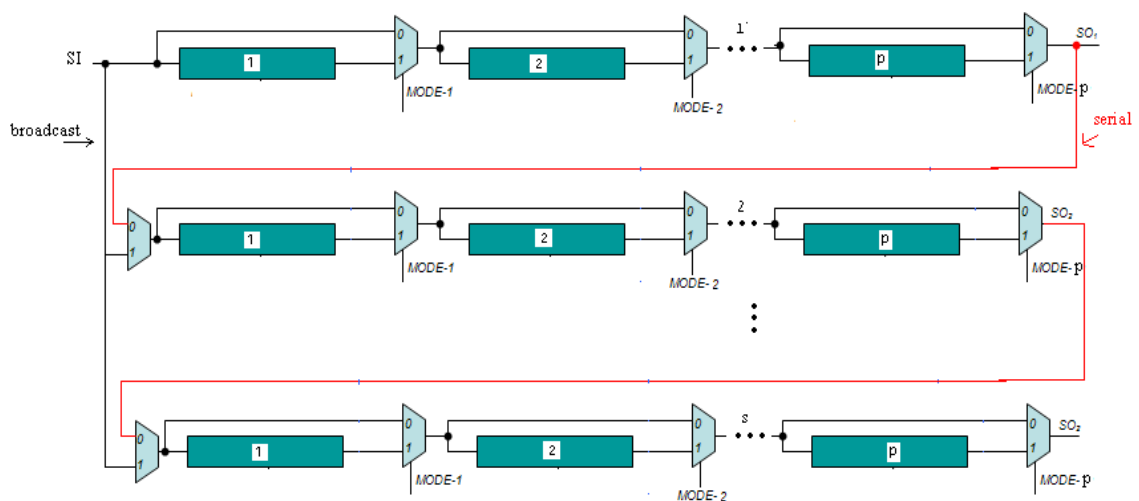
αλυσίδων με τρόπο ώστε το περιοδικό σήμα εξόδου του να μπορεί να συγχρονίζει όλα τα scan freeze flip-flop κάθε τμήματος της αλυσίδας.

#### 4.4 Η Εφαρμογή της Προτεινόμενης Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης σε Illinois Αρχιτεκτονική

Η τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή μπορεί να εφαρμοστεί στην Illinois αρχιτεκτονική σάρωσης του σχήματος 4.17 μετασχηματίζοντας την αλυσίδα όπως παρουσιάζεται στο σχήμα 4.18, όπου κάθε παράλληλη αλυσίδα από τις  $s$  του σχήματος 4.17 χωρίζεται σε  $p$  τμήματα με την παρεμβολή πολυπλεκτών.

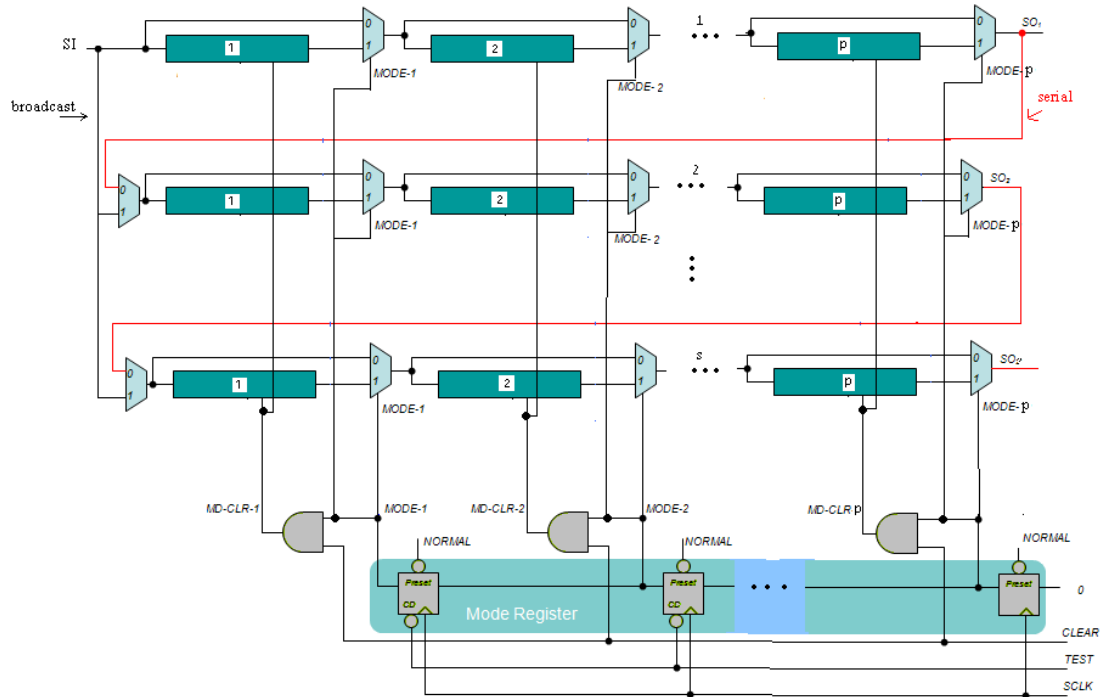


Σχήμα 4.17. Η Illinois αρχιτεκτονική αλυσίδων σάρωσης



Σχήμα 4.18. Η Illinois αρχιτεκτονική με τμηματοποιημένες αλυσίδες σάρωσης

Συγκεκριμένα, το σχήμα 4.19 παρουσιάζει την εφαρμογή της τεχνικής των τμηματοποιημένων αλυσίδων σάρωσης με αναστολή στην Illinois αρχιτεκτονική όπου ο καταχωρητής κατάστασης (Mode Register) είναι κοινός για όλες τις παράλληλες αλυσίδες.

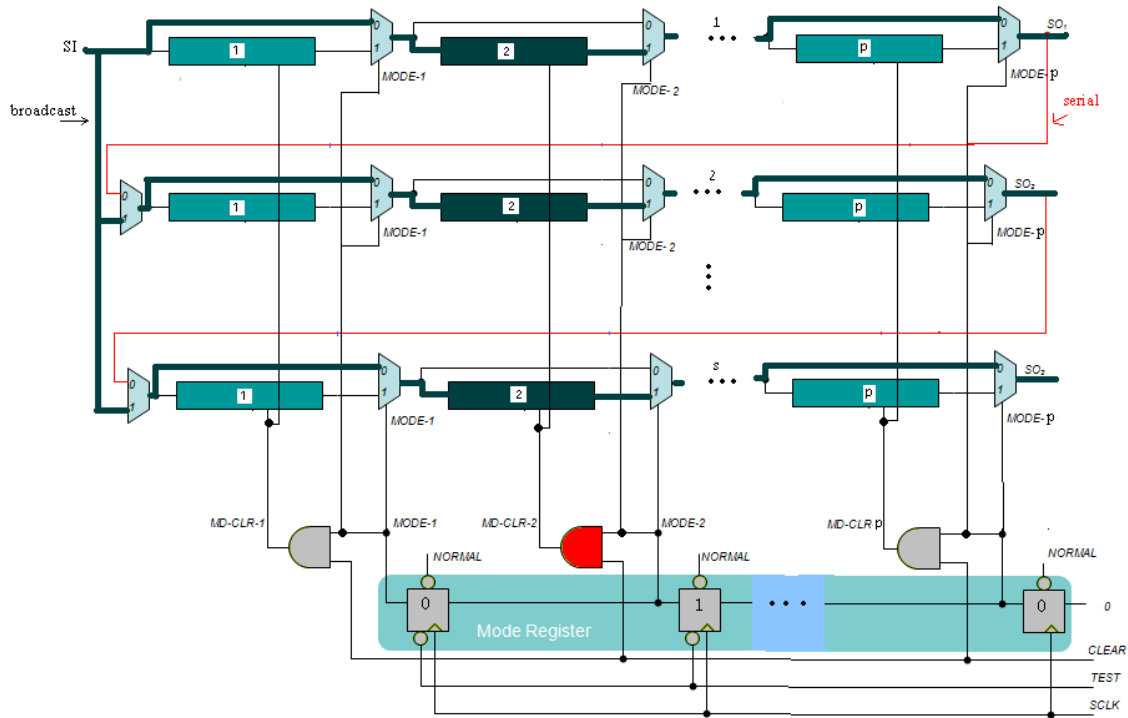


Σχήμα 4.19. Εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή στην Illinois αρχιτεκτονική

#### 4.4.1 Παράλληλη Λειτουργία της Illinois

Στην παράλληλη λειτουργία της Illinois (broadcast), η τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή εφαρμόζεται όπως στις παράλληλες αλυσίδες της προηγούμενης υποενότητας 4.3 με τη διαφορά ότι η είσοδος SI όλων των αλυσίδων είναι κοινή και σε κάθε τμήμα ολισθαίνουν εντός τα ίδια δεδομένα. Η παράλληλη λειτουργία της Illinois αρχιτεκτονικής, με την εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή, πραγματοποιείται με την ολίσθηση εντός των δεδομένων ανά τμήμα  $p$  κάθε παράλληλης αλυσίδας  $s$  από την είσοδο SI και την ολίσθηση εκτός των αποκρίσεων του προηγούμενου διανύσματος ανά τμήμα μέσω των εξόδων  $SO_{1..s}$ . Το σχήμα 4.20 παρουσιάζει την λειτουργία ολίσθησης των δεύτερων (2) τμημάτων, όλων των παράλληλων αλυσίδων  $s$ , με ενεργοποιημένο το D-κύτταρο μνήμης του καταχωρητή κατάστασης που αναφέρεται στα τμήματα αυτά. Τα υπόλοιπα τμήματα 1,3... $p$  του σχήματος 4.20 όλων των παράλληλων αλυσίδων  $s$  παραμένουν σε κατάσταση μνήμης. Με την τμηματική φόρτωση των

δεδομένων στην παράλληλη λειτουργία της τροποποιημένης Illinois αλυσίδας επιτυγχάνεται μείωση του αριθμού των μεταβάσεων σήματος σε κάθε παράλληλη αλυσίδα και αθροιστικά η μείωση προσεγγίζει το  $1/p$ .



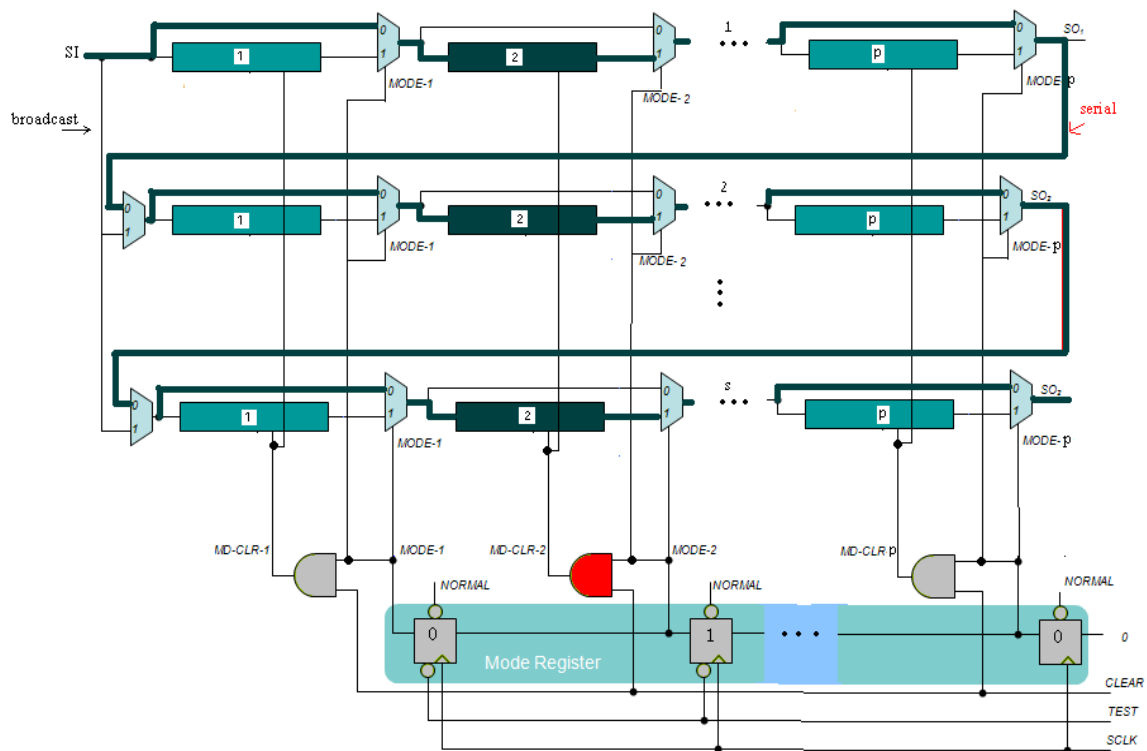
Σχήμα 4.20. Εφαρμογή παράλληλης λειτουργίας Illinois – ολίσθηση δευτέρων τμημάτων όλων των αλυσίδων s

#### 4.4.2 Σειριακή Λειτουργία της Illinois

Στην σειριακή λειτουργία της τροποποιημένης Illinois του σχήματος 4.19 η ολίσθηση εντός των δεδομένων γίνεται από την είσοδο SI μέσω της διαδρομής serial και η ολίσθηση εκτός από την έξοδο  $SO_p$ . Η ολίσθηση εντός των δεδομένων γίνεται ανά τμήμα p κάθε παράλληλης αλυσίδας s από την κοινή είσοδο SI, ενώ η ολίσθηση εκτός των αποκρίσεων του προηγούμενου διανύσματος γίνεται ανά τμήμα μέσω της κοινής εξόδου  $SO_p$ . Η σειριακή λειτουργία της Illinois παρουσιάζεται με το παράδειγμα στο σχήμα 4.21, όπου ολισθαίνουν δεδομένα στα τμήματα 2 όλων των s παράλληλων αλυσίδων, μέσω της serial διαδρομής. Η ολοκλήρωση της ολίσθησης δεδομένων σε κάθε τμήμα κατά τη σειριακή λειτουργία της τροποποιημένης Illinois απαιτεί  $(s \cdot L)/(s \cdot p) = L/p$  κύκλους ρολογιού, δεδομένου ότι κάθε τμήμα από τα p αποτελείται από  $L/(s \cdot p)$  scan freeze flip-flop. Για την φόρτωση ολόκληρης της αλυσίδας σάρωσης μήκους L κατά τη σειριακή λειτουργία της τροποποιημένης Illinois

τεχνικής, προφανώς απαιτούνται  $L$  κύκλοι ρολογιού, ενώ στην παράλληλη λειτουργία ήταν  $L/s$ .

Για τη λειτουργία της σειριακής λειτουργίας είναι απαραίτητη η ελαφρά τροποποίηση της ακολουθίας των δυαδικών τιμών του διανύσματος ελέγχου, ώστε να τοποθετείται κάθε ψηφίο του διανύσματος ελέγχου στο σωστό scan freeze flip-flop. Επίσης, περιμένουμε ότι η απόκριση που ολισθαίνει εκτός θα συλλέγεται με τροποποιημένη την σειρά των ψηφίων, γεγονός που απλά τροποποιεί την αναμενόμενη υπογραφή.



Σχήμα 4.21. Σειριακή λειτουργία Illinois – ολίσηση δεύτερων τμημάτων όλων των αλυσίδων  $s$

Στην Illinois αρχιτεκτονική, το μεγαλύτερο πλήθος σφαλμάτων ανιχνεύεται κατά την παράλληλη λειτουργία όπου το πλήθος των διανυσμάτων ελέγχου είναι μεγαλύτερο από εκείνο της σειριακής λειτουργίας. Η σειριακή λειτουργία στην Illinois αρχιτεκτονική χρησιμοποιείται για περιορισμένο αριθμό διανυσμάτων ελέγχου, τα οποία στοχεύουν στην εύρεση των δύσκολα ανιχνεύσιμων σφαλμάτων [1].

Η χρήση της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή στην Illinois αρχιτεκτονική, μειώνει το πλήθος των μεταβάσεων όχι μόνο κατά της παράλληλη

λειτουργία αλλά και κατά τη σειριακή, στη χειρότερη περίπτωση κατά ένα συντελεστή περίπου ίσο με  $1/p$  σε σχέση με την κλασική σειριακή σάρωση. Αυτό οδηγεί στη μείωση της κατανάλωσης ενέργειας και στις δύο λειτουργίες της Illinois αρχιτεκτονικής. Σε περίπτωση που είναι απαραίτητη επιπλέον μείωση της κατανάλωσης ενέργειας κατά τη σειριακή λειτουργία της Illinois, προτείνεται μια τροποποίηση της τεχνικής μας όπως αυτή περιγράφεται στην επόμενη ενότητα 4.5 που ακολουθεί. Η προτεινόμενη παραλλαγή απαιτεί μικρές τροποποιήσεις σε σχέση με την προαναφερθείσα τεχνική και χαρακτηρίζεται από ελάχιστο προστιθέμενο κόστος, προσφέροντας όμως σημαντική πρόσθετη μείωση στο πλήθος των μεταβάσεων.

#### **4.5 Παραλλαγή της Προτεινόμενης Τεχνικής με εφαρμογή στην Illinois Αρχιτεκτονικής για Πρόσθετη Εξοικονόμηση Ενέργειας**

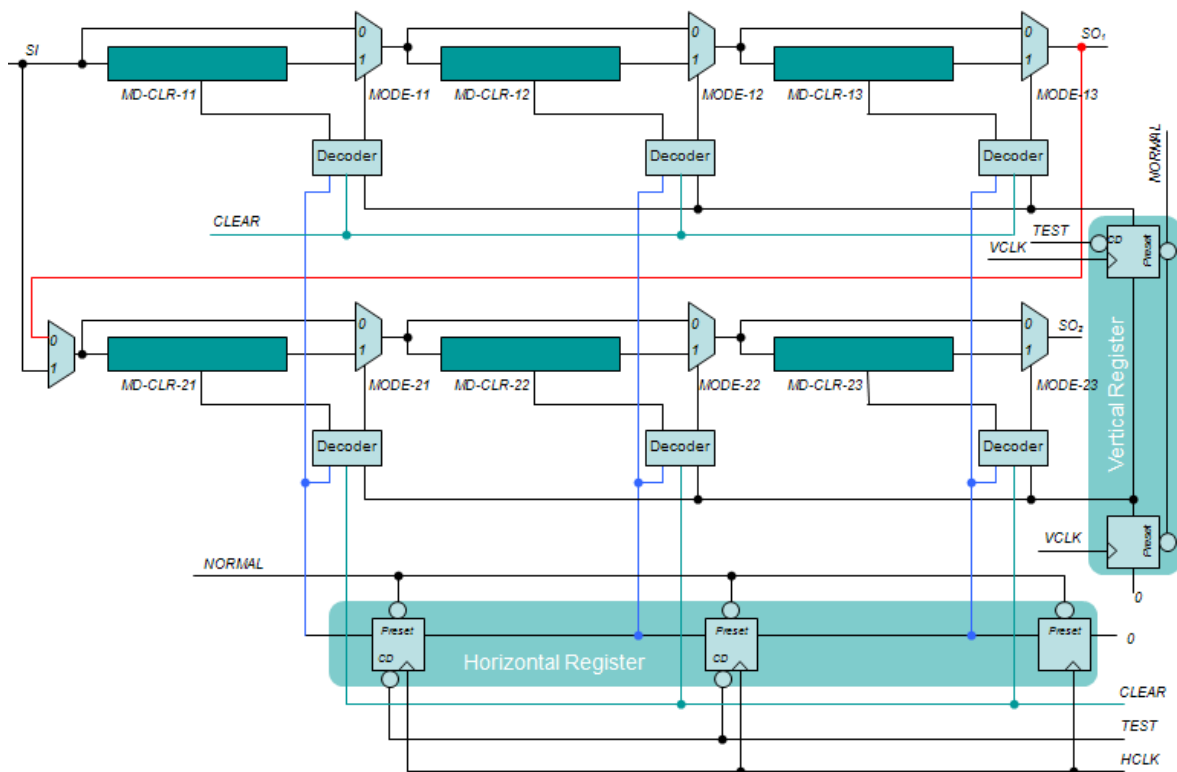
Για την εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων κατά την σειριακή λειτουργία της Illinois αρχιτεκτονικής, και με σκοπό να επιτύχουμε τη μέγιστη μείωση των μεταβάσεων, χρησιμοποιούμε μια δομή για την ενεργοποίηση των τμημάτων που θυμίζει με τη δομή διευθυνσιοδότησης κυττάρων σε μια μνήμη. Αυτό επιτυγχάνεται με την προσθήκη ενός κατακόρυφου καταχωριστή κατάστασης (Vertical Register) παρόμοιου με τον οριζόντιο καταχωριστή κατάστασης (Horizontal Mode Register), ο οποίος έχει μέγεθος ίσο με το πλήθος  $s$  των παράλληλων αλυσίδων. Οι δύο καταχωρητές έχουν παρόμοιο ρόλο με τους αποκωδικοποιητές γραμμής και στήλης αντίστοιχα σε μια μνήμη, έτσι ώστε να είναι εφικτός ο προσδιορισμός εκείνου του τμήματος μιας από τις παράλληλες αλυσίδες που θα ενεργοποιηθεί για ολίσθηση δεδομένων.

Ο κατακόρυφος καταχωριστής κατάστασης (Vertical Register) ελέγχει την ενεργοποίηση/απενεργοποίηση μιας εκ των  $s$  παράλληλων αλυσίδων, ενώ ο οριζόντιος καταχωριστής κατάστασης (Horizontal Register) την ενεργοποίηση/απενεργοποίηση ενός εκ των  $p$  τμημάτων των παράλληλων αλυσίδων. Ο συνδυασμός των δύο επιτρέπει την ενεργοποίηση ενός τμήματος σε μόνο μια από τις παράλληλες αλυσίδες κάθε φορά.

Συγκεκριμένα η τιμή '1' στο D-κύτταρο μνήμης του κατακόρυφου καταχωριστή κατάστασης ενεργοποιεί την αντίστοιχη παράλληλη αλυσίδα στην οποία αναφέρεται ενώ η τιμή '0' παρακάμπτει την αντίστοιχη παράλληλη αλυσίδα. Ομοίως η τιμή '1' στο D-κύτταρο μνήμης του οριζόντιου καταχωριστή κατάστασης ενεργοποιεί το αντίστοιχο τμήμα στο οποίο αναφέρεται ενώ η τιμή '0' παρακάμπτει το αναφερόμενο τμήμα. Με τον τρόπο αυτό

ελέγχεται πλήρως ποιο τμήμα είναι σε φάση ολίσθησης ώστε να ολισθήσουν δεδομένα και ποιο τμήμα είναι σε φάση μνήμης ώστε να παρακαμφθεί.

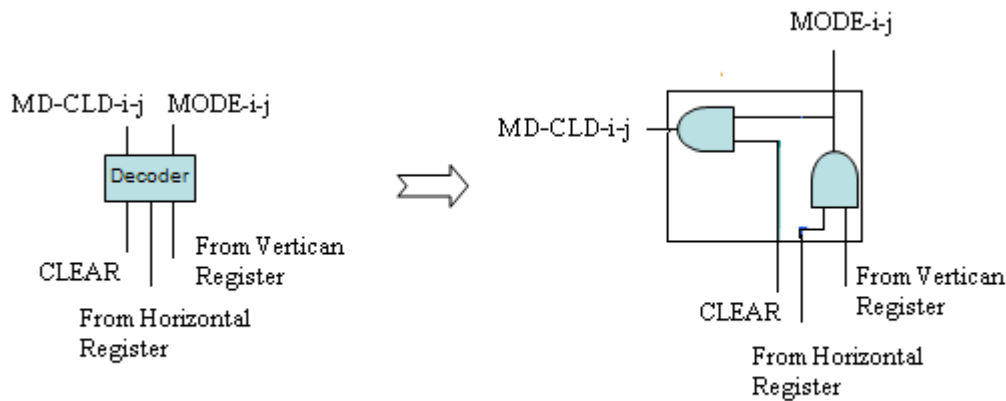
Το σχήμα 4.22 παρουσιάζει την προτεινόμενη παραλλαγή της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή ώστε να επιτευχθεί δραστική μείωση των μεταβάσεων όχι μόνο στην παράλληλη λειτουργία της Illinois αλλά και στην σειριακή. Στο παράδειγμα του σχήματος, ο κατακόρυφος καταχωρητής κατάστασης (Vertical Register) καθορίζει την ολίσθηση σε μία από τις δύο παράλληλες αλυσίδες 1-(1..p) και 2-(1..p), ενώ ο οριζόντιος καταχωρητής (Horizontal Register) καθορίζει ποιο από τα p τμήματα κάθε αλυσίδας (1-1, 1-2, 1-3, 2-1, 2-2, 2-3) θα ενεργοποιηθεί για ολίσθηση.



Σχήμα 4.22. Παραλλαγή για χρήση της Illinois αρχιτεκτονικής – σειριακή λειτουργία

Το κύκλωμα τοπικής αποκωδικοποίησης (Decoder) είναι για όλα τα τμήματα το ίδιο και αποτελείται από 2 πύλες AND όπως παρουσιάζεται στο σχήμα 4.23. Η έξοδοι του Decoder είναι το σήμα MODE-i-j που καθορίζει τη λειτουργία του σχετικού πολυπλέκτη και το σήμα MD-CLR-i-j που καθορίζει σε ποια λειτουργία θα βρίσκεται το scan freeze flip-flop κάθε τμήματος. Οι εισοδοι του Decoder είναι οι έξοδοι του κατακόρυφου και οριζόντιου καταχωριστή κατάστασης καθώς και το σήμα CLEAR. Μόνο όταν και τα δύο σήματα από

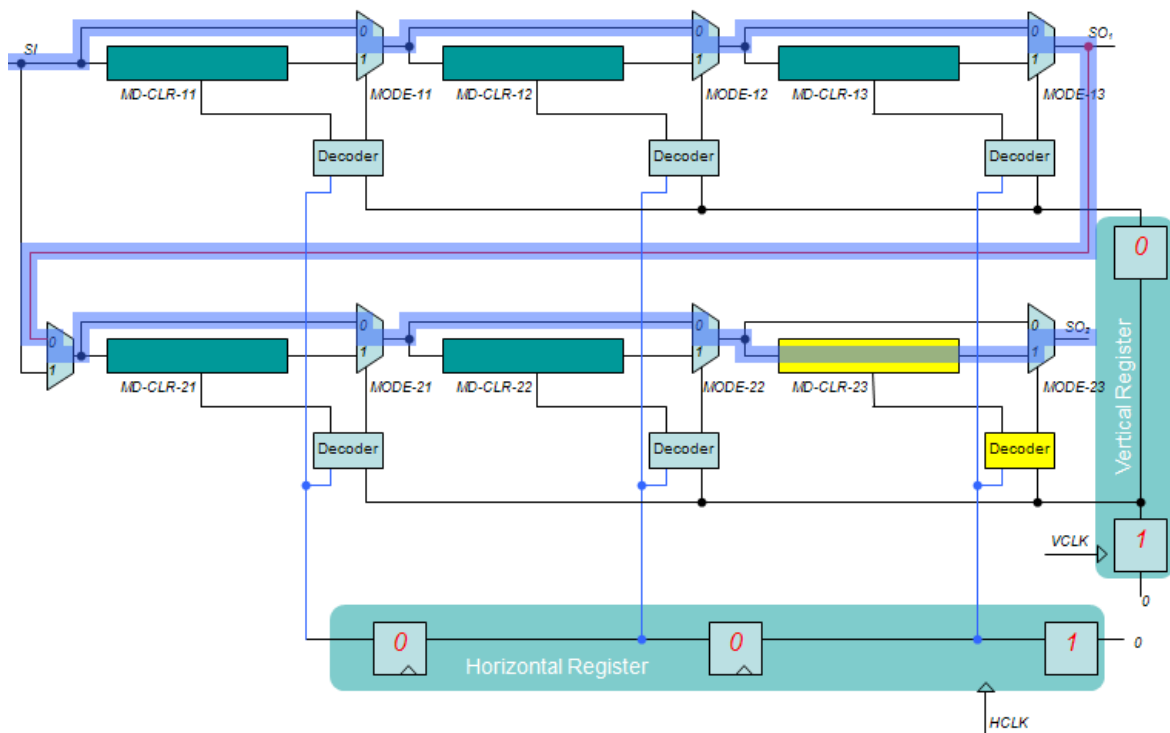
τους καταχωρητές σε ένα αποκωδικοποιητή είναι λογικό '1', το αντίστοιχο τμήμα της αλυσίδας ενεργοποιείται.



Σχήμα 4.23. Ο αποκωδικοποιητής (Decoder)

Η σειριακή λειτουργία της τροποποιημένης Illinois αρχιτεκτονικής παρουσιάζεται στο σχήμα 4.24. Για την ενεργοποίηση κάποιου τμήματος είναι απαραίτητη η ενεργοποίηση του Decoder που αντιστοιχεί στο τμήμα. Η ταυτόχρονη τιμή '1' στον κατακόρυφο καταχωριστή κατάστασης και στον οριζόντιο καταχωριστή κατάστασης (με δεδομένο ότι το σήμα CLEAR είναι λογικό 1 στην λειτουργία ελέγχου) ενεργοποιούν το συγκεκριμένο τμήμα της αλυσίδας και επιτρέπουν την ολίσθηση δεδομένων σε αυτό.

Συγκεκριμένα, με την τιμή '1' στον κατακόρυφο καταχωριστή κατάστασης (Vertical Register) η παράλληλη αλυσίδα 2 ενεργοποιείται (τμήματα 2-1,2-2,2-3). Η παράλληλη αλυσίδα 1 (τμήματα 1-1,1-2,1-3) παρακάμπτεται λόγω της τιμής '0' στο σχετικό D-κύτταρο μνήμης του κατακόρυφου καταχωριστή κατάστασης. Τα δεδομένα μέσω της εισόδου SI περνάνε στην έξοδο  $SO_1$  μέσω των πολυπλεκτών της αλυσίδας 1. Η έξοδος  $SO_1$  οδηγεί τα δεδομένα στην παράλληλη αλυσίδα 2. Η τιμή '1' του οριζόντιου καταχωριστή κατάστασης (Horizontal Register) καθορίζει ότι το τμήμα 2-3 είναι αυτό μέσα από το οποίο θα ολισθήσουν τα δεδομένα. Τα τμήματα 2-1 και 2-2 θα παρακαμφθούν λόγω της τιμής '0' στα σχετικά D-κύτταρα μνήμης του οριζόντιου καταχωριστή. Μόνο ο Decoder του τμήματος 2-3 ενεργοποιείται κάνοντας το τμήμα διαφανές προς ολίσθηση.



Σχήμα 4.24. Illinois αρχιτεκτονικής – σειριακή λειτουργία

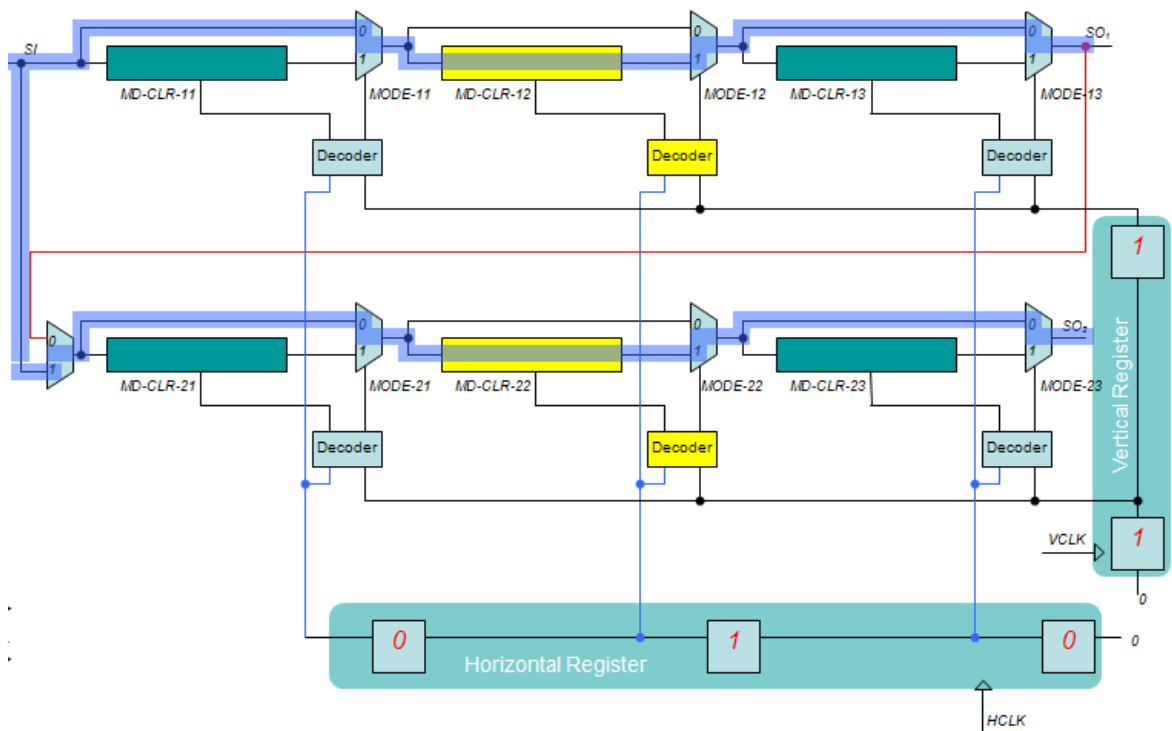
Για να ενεργοποιηθούν και τα υπόλοιπα τμήματα είναι απαραίτητη η εφαρμογή της ακολουθίας τιμών '010' και '100' στον οριζόντιο καταχωριστή ολίσθησης κατάστασης με σταθερή την τιμή του κατακόρυφου καταχωριστή '01'. Έτσι ολισθαίνουν εντός τα δεδομένα του διανύσματος ελέγχου στα τμήματα 2-2 και 2-1 αντίστοιχα ενώ ταυτόχρονα ολισθαίνουν εκτός οι αποκρίσεις του προηγούμενου διανύσματος.

Επίσης ο κατακόρυφος καταχωριστής πρέπει να πάρει την τιμή '10' και ο οριζόντιος να επαναλάβει την ακολουθία τιμών του '001', '010', '100' για να πραγματοποιηθεί η ολίσθηση δεδομένων και στα υπόλοιπα τμήματα. Ο συνολικός αριθμός των κύκλων είναι και πάλι L. Μετά το πέρας της διαδικασίας ολόκληρο το διάνυσμα ελέγχου θα έχει φορτωθεί στην αλυσίδα σάρωσης τμηματικά επιτυγχάνοντας ταυτόχρονα τους στόχους της σειριακής λειτουργία της Illinois αρχιτεκτονικής.

Η παράλληλη λειτουργία της Illinois αρχιτεκτονικής για τη νέα δομή παρουσιάζεται στο σχήμα 4.25 και επιτυγχάνεται με την ταυτόχρονη ενεργοποίηση όλων των D-κυττάρων μνήμης του κατακόρυφου καταχωριστή κατάστασης (τιμή '1' σε όλα τα D-κύτταρα μνήμης του). Με τον τρόπο αυτό ενεργοποιούνται όλες οι παράλληλες αλυσίδες. Οι ταυτόχρονα ενεργοποιημένες παράλληλες αλυσίδες επιτρέπουν την παράλληλη ολίσθηση δεδομένων



εντός από την κοινή είσοδο SI όλων αλυσίδων και την έξοδο των αποκρίσεων από τις ανεξάρτητες εξόδους  $SO_1..s$ . Ανάλογα με το ενεργοποιημένο D-κύτταρο μνήμης του οριζόντιου καταχωριστή κατάστασης οι σχετικοί Decoder (στην ίδια κατακόρυφο) καθιστούν τα αντίστοιχα τμήματα σε φάση ολίσθησης, τα υπόλοιπα παραμένουν προφανώς σε κατάσταση μνήμης. Στο σχήμα 4.25 παρουσιάζεται στιγμιότυπο της παράλληλης λειτουργίας όπου τα τμήματα 1-2 και 2-2 είναι σε φάση ολίσθησης και μέσα από αυτά ολισθαίνουν τα δεδομένα, ενώ τα υπόλοιπα βρίσκονται σε φάση μνήμης.



Σχήμα 4.25. Illinois αρχιτεκτονική – παράλληλη λειτουργία

#### 4.6 Κόστος της Τεχνικής Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης

Η τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή χρησιμοποιεί ορισμένα επιπρόσθετα κυκλωματικά στοιχεία για να λειτουργήσει. Τα κυκλωματικά αυτά στοιχεία που προστίθενται καταλαμβάνουν επιφάνεια πυριτίου μέσα στο κύκλωμα με αποτέλεσμα να αυξάνεται το κόστος κατασκευής. Το κόστος αυτό αποτελεί παράμετρο της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή. Το βασικό κόστος που εισάγει η τεχνική αφορά την πρόσθετη κυκλωμάτωση σε κάθε κλασικό κύτταρο σάρωσης για την

μετατροπή του σε scan freeze flip-flop και παράλληλα το κόστος του/των καταχωρητή/ών κατάστασης, των πυλών AND και των προστιθέμενων πολυπλεκτών ανά τμήμα.

Επίσης, η γέννηση του σήματος SCLK του καταχωρητή κατάστασης από το clk συνεισφέρει στο κόστος, το οποίο όμως δεν είναι δεσμευτικό για την τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή και μπορεί να μειωθεί ή και ακόμη να εξαλειφθεί με τη χρήση εξωτερικού σήματος. Στην εργασία προτείνεται μια κυκλωμάτωση για την γένεση του σήματος SCLK και το σχετικό κόστος προσμετρείται στην εργασία αυτή.

Αναλυτικότερα, σε μία σειριακή αλυσίδα μήκους  $L$  scan freeze flip-flop και  $s$  παράλληλες αλυσίδες (parallel chains ή segments) και  $p$  τμήματα (partitions) ανά παράλληλη αλυσίδα ορίζουμε:

$L/s = k$  scan freeze flip-flop ανά παράλληλη αλυσίδα (segment)

$(L/s)/p = L/(s \cdot p) = M$  scan freeze flip-flop ανά τμήμα (partition)

Για την μέτρηση του κόστους της κυκλωμάτωσης για την κατασκευή του SCLK προτείνεται ένα κύκλωμα με χρήση μετρητών. Ο ένας μετρητής μετράει το πλήθος των κύκλων του clk ανά τμήμα ενώ ο δεύτερος μετρητής μετράει το πλήθος των τμημάτων. Ο συνδυασμός τους με κατάλληλη διασύνδεση και χρήση κάποιων επιπρόσθετων κυκλωματικών στοιχείων κατασκευάζει το περιοδικό σήμα SCLK. Το συνολικό κόστος για την κατασκευή του SCLK είναι σχετικά σταθερό διότι οι δύο μετρητές που χρησιμοποιούνται έχουν αντιστρόφως ανάλογα μεγέθη με αποτέλεσμα ό ένας να μεγαλώνει και ο άλλος να μικραίνει ανάλογα με την επιλογή του μεγέθους των τμημάτων από τον σχεδιαστή.

Το κόστος  $C_1$  για την κυκλωμάτωση της κατασκευής του SCLK από το clk προκύπτει ως:

- ✓ το κόστος του μετρητή που μετράει το πλήθος των scan freeze flip-flop ανά τμήμα της αλυσίδας και είναι  $\log_2(p) \cdot \text{κόστος(DFF)}$ , όπου DFF είναι το D-κύτταρο μνήμης
- ✓ το κόστος του μετρητή που μετράει το πλήθος των τμημάτων και είναι  $\log_2(M) \cdot \text{κόστος(DFF)}$
- ✓ το κόστος της λογικής γύρω από τους μετρητές (AND,NOT,MUX,DFF) που θεωρείται σταθερό

Άρα το κόστος αυτού του κυκλώματος είναι:

$$C_1 = \log_2(p) \cdot \text{κόστος(DFF)} + \log_2(M) \cdot \text{κόστος(DFF)} + \text{κόστος(AND)} + \text{κόστος(NOT)} + \text{κόστος(MUX)} + \text{κόστος(DFF)}.$$

Το κόστος  $C_2$  για την μετατροπή του κυττάρου σάρωσης σε scan freeze flip-flop απαιτεί την προσθήκη δύο τρισταθών απομονωτών και μιας λογικής πύλης OR. Έτσι το προστιθέμενο κόστος ισούται με:

$$C_2 = L \cdot (2 \cdot \text{κόστος(3-STATE BUF ή PASS GATES)} + \text{κόστος(OR)}).$$

Το κόστος  $C_3$  για

- 1) την προσαρμογή των τμημάτων και των παράλληλων αλυσίδων όπου σε κάθε τμήμα και σε κάθε παράλληλη αλυσίδα προστίθεται ένας πολυπλέκτης, δίδεται από τη σχέση:  $(p \cdot s \cdot \text{κόστος(MUX)})$
- 2) τον καταχωρητή ολίσθησης κατάστασης και την πύλη AND για κάθε τμήμα όλων των παράλληλων αλυσίδων, δίδεται από τη σχέση:  $p \cdot (\text{κόστος(DFF)} + \text{κόστος(AND)})$ .

Συνολικά το κόστος των δύο ανωτέρω παρεμβάσεων είναι:

$$C_3 = (p \cdot s \cdot \text{κόστος(MUX)}) + p \cdot (\text{κόστος(DFF)} + \text{κόστος(AND)}).$$

Το συνολικό κόστος της προτεινόμενης τμηματοποιημένης τεχνικής ισούται με:

$$C_{\text{Scan\_Partitioning}} = C_1 + C_2 + C_3 =$$

$$(\log_2(p) \cdot \text{κόστος(DFF)} + \log_2(M) \cdot \text{κόστος(DFF)} + \text{κόστος(AND)} + \text{κόστος(NOT)} + \text{κόστος(MUX)} + \text{κόστος(DFF)}) + L \cdot (2 \cdot \text{κόστος(3-STATE BUF)} + \text{κόστος(OR)}) + (p \cdot s \cdot \text{κόστος(MUX)}) + p \cdot (\text{κόστος(DFF)} + \text{κόστος(AND)}).$$

Αν  $C_1$  είναι το αρχικό κόστος σε επιφάνεια ενός κυκλώματος τότε το κόστος του ίδιου κυκλώματος αν σε αυτό εφαρμοστεί η τεχνική τμηματοποιημένων αλυσίδων με αναστολή θα ισούται με  $C_N$  όπου:

$$C_N = C_1 + C_{\text{Scan\_Partitioning}}$$

Το κόστος  $C_{\text{Scan\_Partitioning}}$  αποτελεί μία παράμετρο της προτεινόμενης τεχνικής.

Στην περίπτωση που εφαρμόζεται η τροποποιημένη τεχνική τμηματοποιημένων αλυσίδων σάρωσης για μείωση της κατανάλωσης ενέργειας στην σειριακή λειτουργία της Illinois, το επιπλέον κόστος της τροποποιημένης αρχιτεκτονικής τμηματοποιημένων αλυσίδων οφείλεται στο πλήθος των τρανζίστορ που προσθέτει ο κατακόρυφος καταχωρητής

ολίσθησης κατάστασης. Η σχετική αύξηση στο κόστος της τεχνικής μας εμφανίζεται στον παράγοντα  $C_3$  όπου το κόστος ανάλογα με το πλήθος των παράλληλων αλυσίδων  $s$  συνεισφέρει κατά τον παράγοντα  $s \cdot (\text{κόστος(DFP)} + \text{κόστος(AND)})$ .

#### **4.7 Κάλυψη Σφαλμάτων (Fault Coverage)**

Με την εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή η κάλυψη σφαλμάτων (βλ.σχέση 2.2) δεν μεταβάλλεται σε σχέση με την κλασική τεχνική σάρωσης γιατί κάθε διάνυσμα ελέγχου φορτώνεται αυτούσιο χωρίς καμία αλλαγή στις τιμές των ψηφίων του και το ίδιο ισχύει και για τις εξερχόμενες αποκρίσεις της συνδυαστικής λογικής στην αλυσίδα σάρωσης. Το μόνο που αλλάζει στην προτεινόμενη τεχνική είναι ο τρόπος που τα διανύσματα ελέγχου φορτώνονται στην τμηματοποιημένη αλυσίδα. Για κάθε διάνυσμα το σύνολο των σφαλμάτων που θα ανιχνευθούν σε σχέση με το συνολικό αριθμό των πιθανών σφαλμάτων είναι ανεξάρτητο από τον τρόπο ολίσθησης των διανυσμάτων μέσα στην αλυσίδα σάρωσης γεγονός που μας οδηγεί στο συμπέρασμα ότι η τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή δεν επηρεάζει καθόλου την κάλυψη σφαλμάτων.

# ΚΕΦΑΛΑΙΟ 5. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ

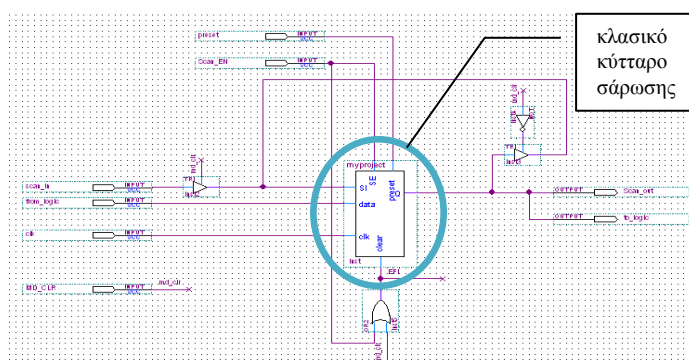
## 5.1 Πειραματική Διάταξη Επαλήθευσης

### 5.2 Πειραματικές Μετρήσεις

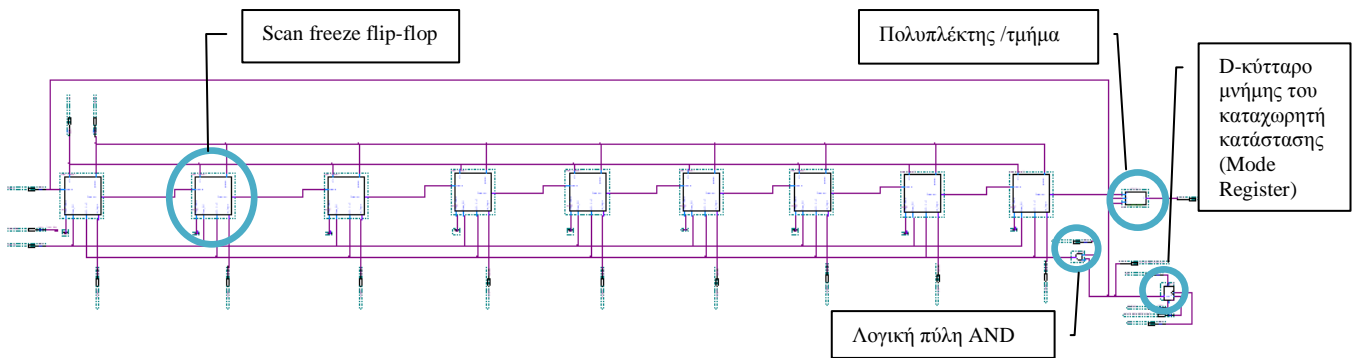
### 5.3 Ανάλυση Αποτελεσμάτων

#### 5.1 Πειραματική Διάταξη Επαλήθευσης

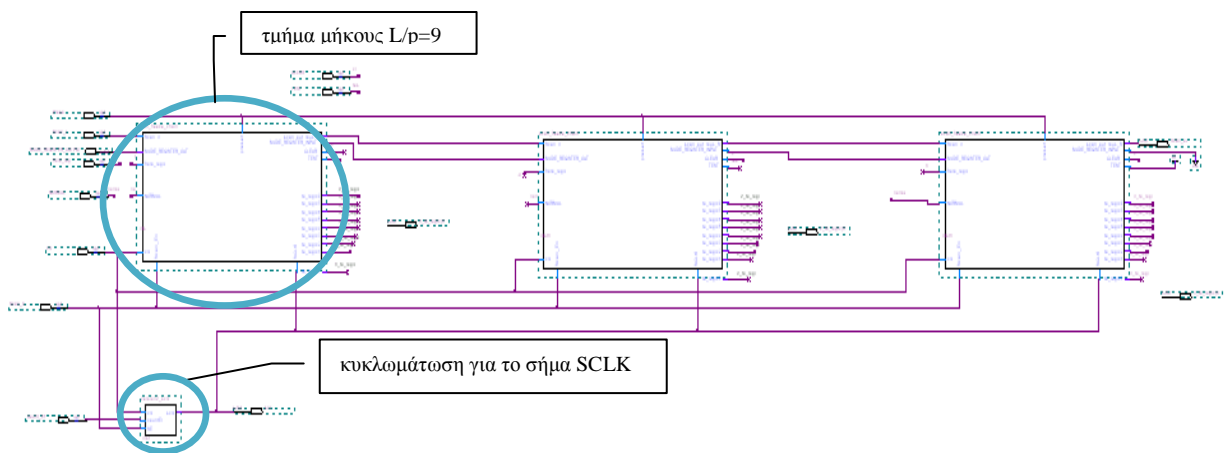
Η λειτουργία της προτεινόμενης τεχνικής τμηματοποιημένων αλυσίδων με αναστολή για μείωση της κατανάλωσης κατά τη διάρκεια του ελέγχου επαληθεύτηκε στο εργαλείο Quartus II της Altera σε απλή αλυσίδα σάρωσης με μήκος  $L=27$ , η οποία τμηματοποιήθηκε σε  $p=3$  τμήματα. Τα σχήματα 5.1-5.3 που ακολουθούν παρουσιάζουν την πειραματική διάταξη της προτεινόμενης τεχνικής. Το σχήμα 5.1 δείχνει την τοπολογία του scan freeze flip-flop το οποίο περιέχει το κλασικό κύτταρο σάρωσης, το σχήμα 5.2 τη σχεδίαση ενός τμήματος της αλυσίδας με εννέα scan freeze flip-flop, τον πολυπλέκτη που αντιστοιχεί στο τμήμα, τη λογική πύλη AND και το D-flip-flop του καταχωρητή κατάστασης του τμήματος σύμφωνα με την προτεινόμενη τεχνική και το σχήμα 5.3 την διάταξη ολόκληρης της αλυσίδας μήκους  $L$  με  $p=3$  τμήματα και την κυκλωμάτωση για την μετατροπή του σήματος  $clk$  στο  $SCLK$ .



Σχήμα 5.1. Τοπολογία στοιχειώδους κύτταρου σάρωσης-scan freeze flip-flop



Σχήμα 5.2. Σχεδίαση ενός τμήματος με εννέα scan freeze flip-flop

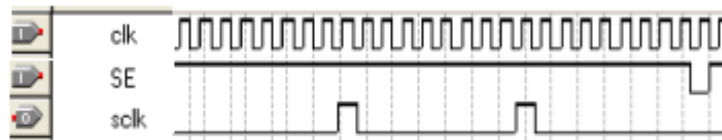


Σχήμα 5.3. Σχεδίαση αλυσίδας μήκους  $L=27$  με  $p=3$  τμήματα

Για τη γένεση του σήματος SCLK που συγχρονίζει τον καταχωρητή κατάστασης σε μία αλυσίδα σάρωσης μήκους  $L$  με  $p$  τμήματα (partitions) και  $L/p$  scan freeze flip-flop ανά τμήμα, απαιτείται ένα κύκλωμα που να δίνει ένα σήμα με περιοδική κυματομορφή και περίοδο  $L+1$  κύκλους του clk. Αρχικά το SCLK είναι στο 0, παρέχει δε  $p-1$  θετικούς παλμούς, ένα κάθε  $L/p$  κύκλους του clk, ενώ στη συνέχεια μηδενίζεται για τους τελευταίους  $L/p+1$  κύκλους του clk με τον τελευταίο κύκλο να είναι αυτός της δέσμευσης των αποκρίσεων.

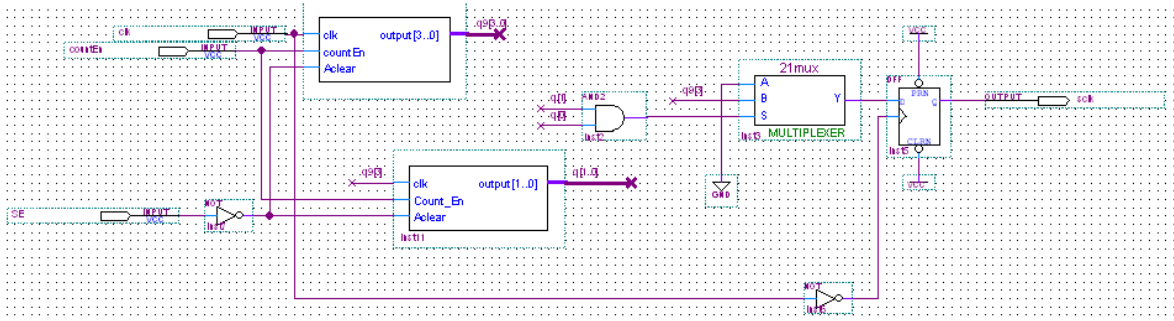
Σε κάθε θετικό παλμό του SCLK, η λογική τιμή '1' ολισθαίνει κατά μία θέση μέσα στα D-κύτταρα μνήμης του καταχωριστή κατάστασης ώστε να ολοκληρωθεί η φόρτωση του

αντίστοιχου τμήματος της αλυσίδας. Με την παροχή του τελευταίου παλμού από SCLK και για τους επόμενους  $L/p$  κύκλους του clk, φορτώνεται και το τελευταίο τμήμα της αλυσίδας. Στον επόμενο κύκλο του clk δεν υπάρχει παλμός στο σήμα SCLK καθώς αυτός είναι ο κύκλος δέσμευσης των αποκρίσεων και στη συνέχεια η κυματομορφή επαναλαμβάνεται. Στο παράδειγμά μας με αλυσίδα μήκους  $L=27$  scan freeze flip-flop και τα  $p=3$  τμήματα (partitions) των  $L/p=9$  scan freeze flip-flop ανά τμήμα, οι κυματομορφές των σημάτων clk, SE και SCLK δίδονται στο σχήμα 5.4 όπου SE είναι το σήμα Scan\_En. Ο πρώτος παλμός του SCLK χρησιμοποιείται για την ολίσθηση του '1' στο δεύτερο(μεσαίο) D-κύτταρο μνήμης του καταχωριστή κατάστασης ενώ η δεύτερος παλμός στο τρίτο D-κύτταρο.



Σχήμα 5.4. Κυματομορφές σημάτων clk, SE και SCLK για  $L=27$  και  $p=3$

Στο σχήμα 5.5 δίδεται η σχεδίαση του κυκλώματος γένεσης του ρολογιού SCLK για το παράδειγμά μας. Χρησιμοποιήθηκαν δύο μετρητές των 2-bit και 4-bit αντίστοιχα. Ο πρώτος μετρητής των 2-bit μετρά το πλήθος των τμημάτων ενώ ο δεύτερος των 4-bit τον αριθμό των κύκλων του clk για την ολίσθηση δεδομένων σε ένα τμήμα.



Σχήμα 5.5. Κύκλωμα γένεσης σήματος SCLK

Τα αποτελέσματα των προσομοιώσεων επιβεβαίωσαν την λειτουργικότητα της προτεινόμενης δομής. Στο σχήμα 5.6 δίδονται οι κυματομορφές για την ολίσθηση τεσσάρων διανυσμάτων ελέγχου στην αλυσίδα του παραδείγματος.

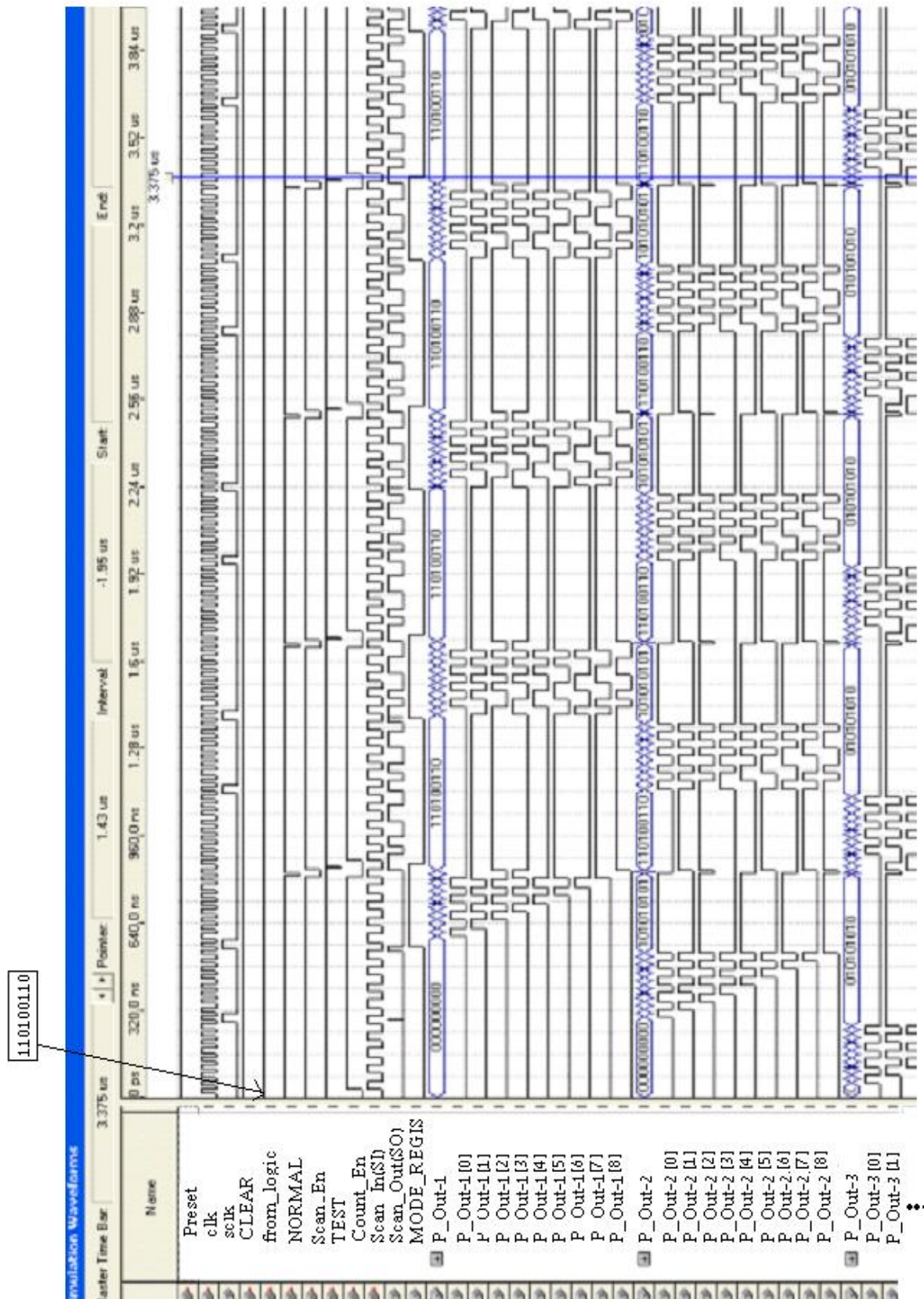
Το πρώτο τμήμα της αλυσίδας από αριστερά είναι το τμήμα 1 με ονομασία εξόδου P\_Out-1, το δεύτερο-μεσαίο τμήμα είναι το 2 με ονομασία εξόδου P\_Out-2 και το τελευταίο τμήμα δεξιά είναι το τμήμα 3 με ονομασία εξόδου P\_Out-3. Οι τιμές που ολισθαίνουν εντός της αλυσίδας μέσω του σήματος Scan\_in (SI) είναι μια ακολουθία εναλλαγών των τιμών '0' και '1'.

Οι κάθετες γραμμές του σχήματος 5.6 προσδιορίζουν τα διαστήματα ολίσθησης των τεσσάρων διανυσμάτων ελέγχου στην αλυσίδα. Τα τμήματα ενεργοποιούνται για ολίσθηση δεδομένων από δεξιά προς τα αριστερά με πρώτο προς φόρτωση το τμήμα 3 (σήμα εξόδου P\_Out-3) ενώ τα υπόλοιπα τμήματα παραμένουν 'παγωμένα' σε κατάσταση μνήμης.

Με το πέρας των πρώτων 9 κύκλων ρολογιού clk ξεκινά να φορτώνεται το τμήμα 2 ενώ τα υπόλοιπα δύο τμήματα παραμένουν σε κατάσταση μνήμης. Ομοίως μετά το πέρας των επόμενων 9 κύκλων αρχίζει να φορτώνεται το τμήμα 1 με τα υπόλοιπα δύο να 'παγώνουν' τις τιμές τους.

Το τέλος των 27 κύκλων ολίσθησης σηματοδοτεί την έναρξη του κύκλου δέσμευσης αποκρίσεων στον 28<sup>ο</sup> κύκλο όπου οι αποκρίσεις συλλέγονται στην αλυσίδα σάρωσης. Οι επόμενοι 27 κύκλοι ρολογιού clk σηματοδοτούν την ολίσθηση εντός του νέου διανύσματος ελέγχου και την ολίσθηση εκτός των αποκρίσεων του προηγούμενου. Ο επόμενος 28<sup>ος</sup> κύκλος αναφέρεται στη δέσμευση των αποκρίσεων του νέου διανύσματος ελέγχου. Ομοίως και για τα υπόλοιπα διανύσματα ελέγχου στο σχήμα 5.6.

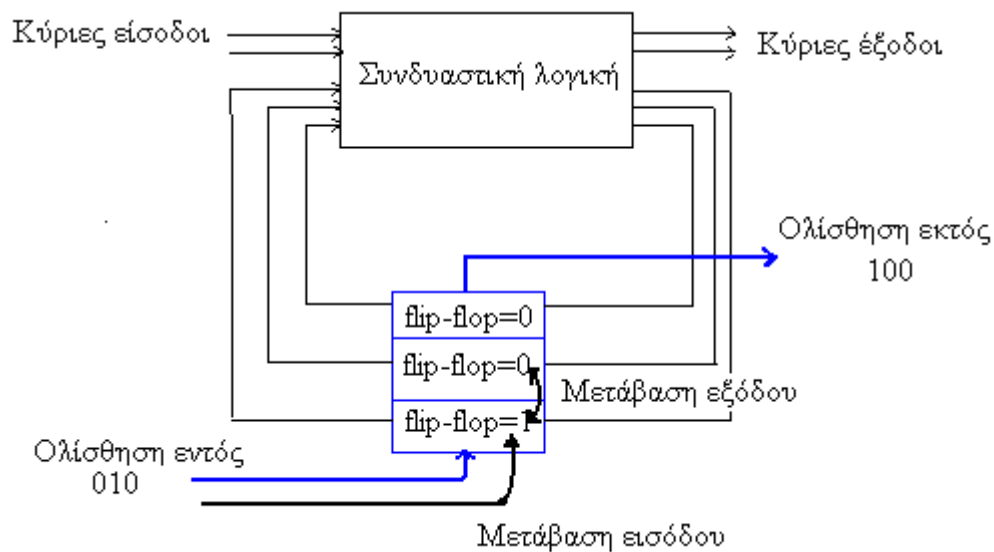




Σχήμα 5.6. Προσομοίωση τεσσάρων διανυσμάτων ελέγχου

## 5.2 Πειραματικές Μετρήσεις

Η τεχνική τμηματοποιημένων αλυσίδων όπως αναφέρθηκε στοχεύει στην μείωση της κατανάλωσης ενέργειας κατά την ολίσθηση δεδομένων στις αλυσίδες σάρωσης. Η κατανάλωση αυτή είναι ανάλογη του αριθμού των μεταβάσεων των τιμών (transitions) των κυττάρων σάρωσης και μπορεί να εκτιμηθεί με την μέτρησή τους. Για τον υπολογισμό του αριθμού των μεταβάσεων είναι εύκολο ναδειχθεί πως ισχύει ο ακόλουθος τύπος 5.1 [2], όπου *θέση της μετάβασης* είναι η θέση στην αλυσίδα όπου τα διαδοχικά ψηφία του διανύσματος ελέγχου (ή του διανύσματος απόκρισης) διαφέρουν και *μήκος αλυσίδας* είναι το μήκος *L* της αλυσίδας. Προφανώς, οι μεταβάσεις μετρώνται όχι μόνο κατά την ολίσθηση εντός του νέου διανύσματος ελέγχου αλλά και κατά την ολίσθηση εκτός των αποκρίσεων του προηγούμενου διανύσματος ελέγχου.



Σχήμα 5.7. Μέτρηση πλήθους μεταβάσεων [2]

Μεταβάσεις ολισθήσεων διανύσματος εισόδου =  $\Sigma$  (μήκος αλυσίδας – θέση της μετάβασης)

Μεταβάσεις ολισθήσεων διανύσματος απόκρισης =  $\Sigma$  (θέση της μετάβασης) [Τύποι 5.1]

Για την πειραματική επαλήθευση του κέρδους σε αριθμό μεταβάσεων από την εφαρμογή της τεχνικής, μελετήθηκαν οι οικογένειες κυκλωμάτων αναφοράς (benchmark circuits) ISCAS'89 και IWLS, τα χαρακτηριστικά των οποίων παρουσιάζονται στους πίνακες 5.1 και 5.2 [4].

Πίνακας 5.1: Πληροφορίες για τα IWLS (τηγή:benchmarks αρχείο)

circuit	inputs	outputs	SCAN-FF	NOT	BUF	OR2	XOR2	NOR2	NAND2	AND2
Ethernet	93	105	10544	12299	1557	26114	484	1696	1748	50530
wb_conmax	1128	1416	770	15474	103	11749	0	2911	4990	18924
usb_funcnt	112	98	1746	7606	793	3408	521	1297	2392	4963
tv80	13	32	359	3806	160	2359	147	805	1439	3315
systemcaes	258	129	670	5062	230	3274	605	454	1801	4914
pci_bridge32	158	164	3359	13652	2183	6090	346	845	2057	11492
aes_core	258	129	530	9650	289	3972	683	2238	5227	4561
ac97_ctrl	54	47	2199	9288	706	4036	106	976	2530	5833

Πίνακας 5.2: Πληροφορίες για τα IWLS (τηγή:benchmarks αρχείο)

circuit	inputs	outputs	SCAN-FF	NOT	AND2	AND3	AND4	MAND2	MAND3	MAND4	OR2	OR3	OR4	NOR2	NOR3	NOR4
s5378	35	49	179	1775	0	0	0	0	0	0	126	63	50	511	242	12
s9234	19	22	228	3570	914	32	9	463	29	36	354	19	58	77	11	25
s13207	31	121	669	5378	986	35	93	831	14	4	320	57	135	43	39	16
38417	28	106	1636	13470	3803	258	93	1949	84	17	122	91	13	1838	421	20
s38584	12	278	1452	7805	4930	287	299	1618	236	272	2646	63	94	1063	105	105
s15850	14	87	597	6324	1554	49	16	924	23	21	587	62	61	98	11	42

Στα πλαίσια της εργασίας, αναπτύχθηκε κατάλληλο πρόγραμμα (σε γλώσσα C) υπολογισμού των μεταβάσεων στα κυκλώματα των ανωτέρω οικογενειών με και χωρίς την εφαρμογή της προτεινόμενης τεχνικής με παραμέτρους το πλήθος των τμημάτων και των παράλληλων αλυσίδων. Έτσι είναι εφικτός ο υπολογισμός του κέρδους σε μεταβάσεις που επιφέρει η προτεινόμενη τεχνική. Τα δεδομένα εισόδου στο πρόγραμμα είναι τα ζεύγη των διανυσμάτων ελέγχου με τις αντίστοιχες αποκρίσεις τους για κάθε κύκλωμα. Οι τιμές των διανυσμάτων ελέγχου και οι αναμενόμενες αποκρίσεις σε αυτά έχουν εξαχθεί με το εργαλείο Atalanta του Virginia Polytechnic Institute and State University [21], [22], χρησιμοποιώντας τα αρχεία περιγραφής του κάθε κυκλώματος.

Για κάθε ένα από τα κυκλώματα των δύο οικογενειών μετράται το πλήθος των μεταβάσεων (με χρήση του τύπου 5.1) πριν και μετά την εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων με αναστολή σάρωσης καθώς και το αντίστοιχο κόστος, συναρτήσει των μεταβλητών  $s$  και  $p$ .

Η μέθοδος υπολογισμού του κόστους εφαρμογής της τεχνικής τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σάρωσης έχει παρουσιαστεί στην παράγραφο 4.6. Το κόστος ανά κύκλωμα μετράται με τον αριθμό των ισοδύναμων τρανζίστορ ελάχιστου μεγέθους της τεχνολογίας που απαιτούνται για τη σχεδίαση, χρησιμοποιώντας τις πληροφορίες του πίνακα 5.3, ο οποίος δίνει το πλήθος των μοναδιαίων τρανζίστορ ελάχιστου μεγέθους ανά πύλη/κυκλωματικό στοιχείο [4], [23]. Στις σχέσεις της παραγράφου 4.6 όπου εμφανίζεται η μεταβλητή κόστος(ΠΥΛΗΣ) αυτή αντικαθίσταται με τη αντίστοιχη τιμή του πίνακα 5.3. Έτσι υπολογίζεται το κόστος με παραμέτρους το πλήθος των  $p$  τμημάτων και των  $s$  παράλληλων αλυσίδων στα οποία χωρίζεται η αλυσίδα σάρωσης μήκους  $L$ . Συμπερασματικά, οι τιμές των  $L$ ,  $s$ ,  $p$  αποτελούν τις παραμέτρους για τον υπολογισμό της επιφάνειας πυριτίου και των μεταβάσεων με την εφαρμογή της τεχνικής μας.

Πίνακας 5.3. Πλήθος τρανζίστορ ανά λογική πύλη συναρτήσει του αριθμού των εισόδων [4]

ΠΥΛΗ	# ΕΙΣΟΔΩΝ			
	1	2	3	4
<b>3-STATE BUF</b>	12	-	-	-
<b>NOT</b>	3	-	-	-
<b>NOT αλυσίδα</b>	2	-	-	-
<b>NAND</b>	-	8	15	24
<b>NOR</b>	-	10	21	36
<b>AND</b>	-	11	18	27
<b>OR</b>	-	13	24	39
<b>OR αλυσίδα</b>	-	6	-	-
<b>XOR</b>	-	13	-	-
<b>MUX 2-1</b>	-	13	-	-
<b>DFF</b>	74	-	-	-
<b>SCAN-FF</b>	87	-	-	-
<b>PASS GATE</b>	2	-	-	-

Οι πειραματικές μετρήσεις των μεταβάσεων αφορούν τόσο την αρχική ενιαία αλυσίδα μήκους  $L$  όσο και την τμηματοποιημένη σε  $p$  τμήματα αλυσίδα μήκους  $L/p$  το καθένα. Το άθροισμα των μεταβάσεων κάθε τμήματος είναι το συνολικό πλήθος των μεταβάσεων με την εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων με αναστολή στη αλυσίδα μήκους  $L$ . Σε περίπτωση που η αλυσίδα σάρωσης του κυκλώματος έχει πολύ μεγάλο μήκος  $L$ , επιλέγεται η διάσπασή της σε πολλαπλές παράλληλες αλυσίδες,  $s$  τον αριθμό, μήκους  $L/s$  η κάθε μια (όπως θα συνέβαινε στην πράξη) και η τμηματοποίηση της κάθε παράλληλης αλυσίδας σε  $p$  τμήματα. Το πλήθος των μεταβάσεων είναι το άθροισμα των μεταβάσεων όλων των  $s$  αλυσίδων και των  $p$  τμημάτων σε αυτές.

Για κάθε κύκλωμα των ISCAS'89 και IWLS οικογενειών, παρουσιάζονται στους πίνακες 5.4 και 5.5 τα ακόλουθα στοιχεία με παραμέτρους τις μεταβλητές s και p:

- 1) το πλήθος των μεταβάσεων  $T_i$  για την κλασική αλυσίδα σάρωσης και  $T_n$  για την προτεινόμενη τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή για διάφορες τιμές των s και p
- 2) το ποσοστιαίο κέρδος σε μεταβάσεις που ισούται με

$$\text{Ποσοστιαίο κέρδος } K = (T_i - T_n) / T_i (\%) \quad (\text{Τύπος 5.2})$$

όπου  $T_i$  είναι το πλήθος των μεταβάσεων πριν την εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων με αναστολή και  $T_n$  το πλήθος των μεταβάσεων μετά την εφαρμογή της τεχνικής

- 3) το κόστος σε επιφάνεια πυριτίου μετρημένο σε μοναδιαία τρανζίστορ ελάχιστου μεγέθους
- 4) η ποσοστιαία αύξηση του κόστους που ισούται με

$$\text{Ποσοστιαίο Κόστος } E = (C_n - C_i) / C_i (\%) \quad (\text{Τύπος 5.3})$$

όπου  $C_n$  είναι το συνολικό κόστος του κυκλώματος εφαρμόζοντας την τεχνική τμηματοποιημένων αλυσίδων με αναστολή ενώ  $C_i$  είναι το αρχικό κόστος του κυκλώματος χωρίς την εφαρμογή της τεχνικής. Η διαφορά  $(C_n - C_i)$  ισούται με το πλήθος των προστιθέμενων τρανζίστορ για την εφαρμογή της τεχνικής.

Οι τιμές των παραμέτρων s και p επιλέγονται από το σχεδιαστή των ολοκληρωμένων κυκλωμάτων και καθορίζονται από το επιθυμητό κέρδος σε κατανάλωση ενέργειας σε σχέση με το αντίστοιχο κόστος σε επιφάνεια πυριτίου. Στους πίνακες 5.4 και 5.5 επιλέγουμε ενδεικτικές τιμές για τα p και s ανάλογα με το μήκος L της αλυσίδας σάρωσης του κυκλώματος.

Συγκεκριμένα ο πίνακας 5.4 παρουσιάζει τα αποτελέσματα των μετρήσεων για τα ISCAS'89 κυκλώματα. Η πρώτη γραμμή αναγράφει την κωδική ονομασία του κυκλώματος. Η πρώτη από αριστερά στήλη αναφέρεται στο πλήθος των παράλληλων αλυσίδων s (segments ή parallel chains) στις οποίες 'σπάει' η αρχική (κλασική) αλυσίδα μήκους L, και η δεύτερη

στήλη στο πλήθος των τμημάτων  $p$  (partitions) που χωρίζεται κάθε παράλληλη αλυσίδα  $s$ . Οι υπόλοιπες τέσσερις στήλες του πίνακα από αριστερά προς τα δεξιά περιέχουν πληροφορίες σχετικά με το πλήθος των μεταβάσεων, το ποσοστιαίο κέρδος σε μεταβάσεις, το συνολικό κόστος ( $C_n$ ) σε τρανζίστορ και το ποσοστιαίο κόστος  $(C_n - C_i)/C_i$  σε πρόσθετο αριθμό τρανζίστορ. Να σημειωθεί πως οι μετρήσεις στις πολλαπλές ( $s > 1$ ) αλυσίδες σάρωσης έχουν γίνει με την εφαρμογή της προτεινόμενης τεχνικής για την περίπτωση των ανεξάρτητων εισόδων σε κάθε αλυσίδα.

Για  $s=1$  και  $p=1$  η αναφερόμενη αλυσίδα είναι και η κλασική σχεδίαση της αλυσίδας μήκους  $L$  χωρίς την εφαρμογή της τεχνικής τμηματοποιημένων αλυσίδων με αναστολή.

Πίνακας 5.4. Πίνακας αποτελεσμάτων ISCAS '89 (α) Κυκλώματα s5378 και s9234 (β) Κύκλωμα s13207 (γ) Κύκλωμα s15850 (δ) Κυκλώματα s38584 (ε) Κύκλωμα s38417

(α) Κυκλώματα s5378 και s9234

Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	S5378				S9234			
		Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)
κλασική σχεδίαση		925820	0	36622	0	2375174	0	55643	0
1	2	488190	47.27	38573	5.3	1214368	48.87	57914	4.1
	3	342134	63.05	38684	5.6	826006	65.22	58025	4.3
	4	275622	70.23	38795	5.9	650062	72.63	58136	4.5
	6	187976	79.70	39017	6.5	444860	81.27	58362	4.9
	8	168134	81.84	39239	7.1	425495	82.09	58580	5.3
	10	131526	85.79	39461	7.8	367884	84.51	58802	5.7

(β) Κύκλωμα s13207

Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	s13207			
		Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)
κλασική σχεδίαση		26126437	0	107896	0
1	2	13093137	49.89	112928	4.7
	3	8954977	65.72	113039	4.8
	4	6605887	74.72	113450	5.1
	6	4840125	81.47	113372	5.1
	8	3626333	86.12	113594	5.3
	10	2825537	89.19	113816	5.5

(γ) Κύκλωμα s15850

		s15850			
Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος Κ (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος Ε (%)
κλασική σχεδίαση		10194248	0	111781	0
1	2	5251153	48.49	116368	4.1
	3	3555812	65.12	116479	4.2
	4	2738343	73.14	116590	4.3
	6	1943139	80.94	116812	4.5
	8	1471865	85.56	117034	4.7
	10	1135536	88.86	117256	4.9

(δ) Κύκλωμα s38584

		s38584			
Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος Κ (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος Ε (%)
κλασική σχεδίαση		82994860	0	296411	0
1	2	41689564	49.77	306223	3.3
	3	27477052	66.89	306334	3.3
	4	20839276	74.89	306545	3.4
	6	13854044	83.31	306667	3.5
	8	10397662	87.47	306889	3.5
	10	8603392	89.63	307111	3.6

(ε) Κύκλωμα s38417

		S38417			
Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος Κ (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος Ε (%)
κλασική σχεδίαση		51059343	0	281208	0
1	2	25016079	51.01	292137	3.9
	3	16728231	67.24	292248	3.9
	4	12338895	75.83	292359	4.0
	6	8597127	83.16	292581	4.0
	8	6283599	87.69	292803	4.1
	10	5468999	89.29	293025	4.2



Όμοιος σε δομή και είδος πληροφορίας με τον πίνακα 5.4 είναι και ο πίνακας 5.5 που ακολουθεί για την οικογένεια κυκλωμάτων IWLS.

Πίνακας 5.5. Πίνακας αποτελεσμάτων IWLS (α) Κυκλώματα tv80 και aes\_core (β) Κυκλώματα systemcaes και wb\_conmax (γ) Κύκλωμα usb\_funct (δ) Κύκλωμα ac97\_ctrl (ε) Κύκλωμα pci\_bridge (στ) Κύκλωμα Ethernet

(α) Κυκλώματα tv80 και aes\_core

Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	tv80				aes_core			
		Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)
κλασική σχεδίαση		59249424	0	132216	0	86974932	0	251676	0
1	2	29617385	50.01	135321	2.3	43483662	50.00	255849	1.7
	3	19771752	66.63	135432	2.4	28877124	66.80	255960	1.7
	4	14785858	75.04	135543	2.5	21725064	75.02	256071	1.7
	6	9864342	83.35	135765	2.7	14477760	83.35	256293	1.8
	8	7361674	87.58	135987	2.9	10868644	87.50	256515	1.9
	10	5876482	90.08	136209	3.0	8688738	90.01	256737	2.0

(β) Κυκλώματα systemcaes και wb\_conmax

Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	systemcaes				wb_conmax			
		Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)
κλασική σχεδίαση		67120663	0	198285	0	246732620	0	543961	0
1	2	33562373	50.00	203323	2.5	123214610	50.06	549614	1.0
	3	22382145	66.65	203434	2.6	82424944	66.59	549725	1.1
	4	16804567	74.96	203545	2.7	61749906	74.97	549836	1.1
	6	11201739	83.31	203767	2.8	41165288	83.32	550058	1.1
	8	8411325	87.47	203989	2.9	30895414	87.48	550280	1.2
	10	6717617	89.99	204211	3.0	24698654	89.99	550502	1.2
κλασική σχεδίαση		33562477	0	198285	0	123164610	0	543961	0
2	2	16793451	49.96	203275	2.52	61771306	49.85	549566	1.0
	3	11200701	66.63	203399	2.58	41173260	66.57	549690	1.1
	4	8404071	74.96	203523	2.64	30827041	74.97	549814	1.1
	6	5555883	83.45	203771	2.77	20578381	83.29	550062	1.1
	8	4210854	87.45	204019	2.89	15447765	87.46	550310	1.2
	10	3363859	89.98	204267	3.02	12341390	89.98	550558	1.2

(γ) Κύκλωμα usb\_func

		usb_func			
Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)
κλασική σχεδίαση		1758690097	0	317254	0
1	2	879882901	49.97	328850	3.7
	3	586870395	66.63	328961	3.7
	4	438607537	75.06	329072	3.7
	6	293389861	83.32	329294	3.8
	8	219537221	87.52	329516	3.9
	10	176967943	89.94	329738	3.9
κλασική σχεδίαση		889882901	0	317254	0
2	2	438672720	50.70	328802	3.6
	3	293389861	67.03	328926	3.7
	4	219618692	75.32	329050	3.7
	6	146223379	83.57	329298	3.8
	8	110028278	87.64	329546	3.9
	10	88224106	90.09	329794	4.0

(δ) Κύκλωμα ac97\_ctrl

		ac97_ctrl			
Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος K (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος E (%)
κλασική σχεδίαση		773239939	0	371362	0
1	2	386869007	49.97	385701	3.9
	3	257813397	66.66	385812	3.9
	4	193555369	74.97	385923	3.9
	6	129036379	83.31	386145	4.0
	8	96601816	87.51	386367	4.0
	10	77290810	90.00	386589	4.1
κλασική σχεδίαση		257575439	0	371362	0
3	2	129017280	49.91	385635	3.8
	3	85922985	66.64	385772	3.9
	4	64501106	74.96	385909	3.9
	6	42992124	83.31	386183	4.0
	8	32235114	87.49	386457	4.1
	10	25775230	89.99	386731	4.1
κλασική σχεδίαση		128669163	0	371362	0
6	2	64323563	50.01	385639	3.8
	3	42878171	66.68	385815	3.9
	4	32141187	75.02	385991	3.9
	6	21466981	83.32	386343	4.0
	8	16070959	87.51	386695	4.1
	10	12847187	90.02	387047	4.2

## (ε) Κύκλωμα pci\_bridge32

		pci_bridge32			
Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος Κ (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος Ε (%)
κλασική σχεδίαση		5685778630	0	581273	0
1	2	2842307479	50.01	602617	3.7
	3	1894316972	66.68	602728	3.7
	4	1420891234	75.01	602839	3.7
	6	947447111	83.34	603061	3.7
	8	710330302	87.51	603283	3.8
	10	568366902	90.00	603505	3.8
κλασική σχεδίαση		1895546478	0	581273	0
3	2	948116798	49.98	602552	3.7
	3	631943348	66.66	602689	3.7
	4	484039118	74.46	602826	3.7
	6	315964926	83.33	603100	3.8
	8	237986078	87.44	603374	3.8
	10	189521262	90.00	603648	3.8
κλασική σχεδίαση		129036209	0	581273	0
6	2	64695882	49.86	602556	3.7
	3	43250832	66.48	602732	3.7
	4	32514183	74.80	602908	3.7
	6	21840637	83.07	603260	3.8
	8	16445271	87.26	603612	3.8
	10	13222154	89.75	603964	3.9

## (στ) Κύκλωμα Ethernet

		ethernet			
Παράλληλες Αλυσίδες (s) (segments)	Πλήθος Τμημάτων (p) (partitions)	Μεταβάσεις (Transitions)	Ποσοστιαίο Κέρδος Κ (%)	Κόστος (τρανζίστορ)	Ποσοστιαίο Κόστος Ε (%)
κλασική σχεδίαση		226883623870	0	1896115	0
1	2	113439283342	50.00	1960691	3.4
	3	75617313662	66.67	1960802	3.4
	4	56727199414	75.00	1960913	3.4
	6	37809170116	83.34	1961135	3.4
	8	28362485009	87.50	1961357	3.4
	10	22681589866	90.00	1961579	3.5
	16	14181438786	93.75	1962245	3.5
κλασική σχεδίαση		56727197274	0	1896115	0
4	2	28362483510	50.00	1960621	3.4
	3	18908283458	66.67	1960771	3.4
	4	14181438786	75.00	1960921	3.3
	6	9458756230	83.33	1961221	3.4
	8	7090674626	87.50	1961521	3.4
	10	5667707024	90.01	1962721	3.5
	16	3546178075	93.75	1962721	3.5
κλασική σχεδίαση		28412493510	0	1896115	0
8	2	14181438786	50.09	1960651	3.4
	3	9454195678	66.73	1960853	3.4
	4	7092509100	75.04	1961055	3.4
	6	4733023768	83.34	1961459	3.4
	8	3545582826	87.52	1961863	3.5
	10	2836548241	90.02	1962267	3.5
	16	1883684671	93.37	1963479	3.5

Ο πίνακας 5.6 που ακολουθεί παρουσιάζει το ποσοστιαίο κέρδος (α) και την ποσοστιαία αύξηση του κόστους (β) για τα IWLS κυκλώματα σε σχέση με το πλήθος των τμημάτων.

Πίνακας 5.6. Πίνακας κυκλωμάτων IWLS (α) Ποσοστιαίο κέρδος (β) Ποσοστιαία αύξηση κόστους

(α)

Τμήματα p \ Κύκλωμα	2	3	4	6	8	10
tv80	50.01	66.66	75.04	83.55	87.58	90.08
aes_core	50.00	66.88	75.02	83.35	87.50	90.09
systemcaes	50.00	66.65	74.96	83.31	87.47	89.99
wb_conmax	50.06	66.59	74.97	83.32	87.48	89.99
usb_funct	49.97	66.83	75.06	83.32	87.52	89.99
ac97_ctrl	49.99	66.66	74.97	83.31	87.51	90.00
pci_bridge	50.01	67.68	75.01	83.34	87.51	90.00
ethernet	50.00	66.67	75.00	83.34	87.50	90.00
<b>Μέσος Όρος</b>	<b>49.97</b>	<b>66.67</b>	<b>75.00</b>	<b>83.33</b>	<b>87.52</b>	<b>90.02</b>

(β)

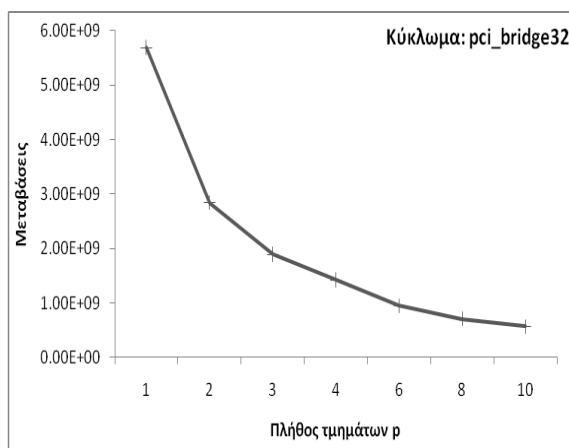
Τμήματα p \ Κύκλωμα	2	3	4	6	8	10
tv80	2.3	2.4	2.5	2.7	2.9	3.0
aes_core	2.7	2.7	2.7	2.8	2.8	2.9
systemcaes	2.5	2.6	2.7	2.8	2.9	3.0
wb_conmax	1.0	1.1	1.1	1.1	1.2	1.2
usb_funct	3.7	3.7	3.7	3.8	3.8	3.9
ac97_ctrl	3.9	3.9	3.9	4.0	4.0	4.1
pci_bridge32	3.7	3.7	3.7	3.7	3.8	3.8
ethernet	3.4	3.4	3.4	3.4	3.5	3.5

### 5.3 Ανάλυση Αποτελεσμάτων

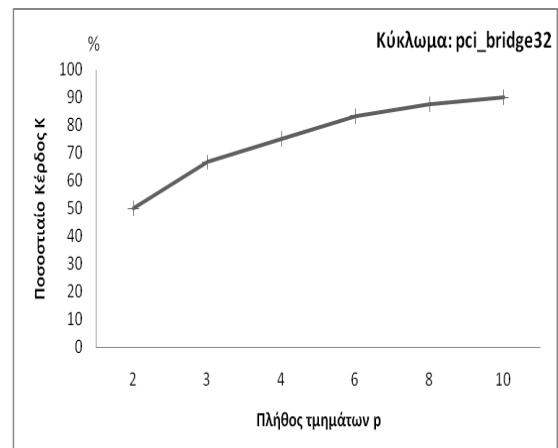
Για διευκόλυνση κατανόησης των αποτελεσμάτων ακολουθούν τα διαγράμματα των σχημάτων 5.8 μέχρι 5.13 που αφορούν τα IWLS κυκλώματα. Στο σχήμα 5.8(α) παρουσιάζεται η σχέση του αριθμού των μεταβάσεων για το κύκλωμα pci\_bridge (s=1 παράλληλη αλυσίδα) και του πλήθους των τμημάτων p που θα χωριστεί η αλυσίδα σάρωσης. Παρατηρείται πως διπλασιάζοντας τον αριθμό των τμημάτων p της αλυσίδας έχουμε περίπου υποδιπλασιασμό των μεταβάσεων. Γενικά ισχύει ότι η τμηματοποίηση σε p τμήματα μειώνει περίπου τις μεταβάσεις κατά τον παράγοντα 1/p. Το κέρδος σε μεταβάσεις προκύπτει (πειραματικά) από

τον παράγοντα  $(p-1)/p$ . Στο σχήμα 5.8(β) παρουσιάζεται το ποσοστιαίο κέρδος σε μεταβάσεις με την αύξηση των τμημάτων. Παρατηρείται ότι με  $p=2$ , το πλήθος των μεταβάσεων (σχήμα 5.8(α)) υποδιπλασιάζεται και το ποσοστιαίο κέρδος σε μεταβάσεις ισούται περίπου με  $(p-1)/p$  (%) = 50% (σχήμα 5.8(β), ενώ η διάσπαση της αλυσίδας σε  $p=3$  τμήματα υποτριπλασιάζει το πλήθος των μεταβάσεων και το ποσοστιαίο κέρδος σε μεταβάσεις προκύπτει περίπου ίσο με  $2/3$  % = 66% και ούτω καθεξής.

Τα σχήματα 5.9(α) και 5.9(β) δείχνουν την αυξητική πορεία του κόστους  $C_n$  και του ποσοστιαίου κόστους αντίστοιχα καθώς τα τμήματα  $p$  αυξάνονται. Με την αύξηση των τμημάτων, προστίθεται λογική για να υποστηρίξουν τα νέα τμήματα (δηλ. πολυπλέκτης, D-κύτταρο μνήμης καταχωρητή κατάστασης) με αποτέλεσμα να αυξάνουν, αν και ελάχιστα, το συνολικό κόστος της τεχνικής. Η ποσοστιαία αύξηση του κόστους παραμένει σε αποδεκτές τιμές.

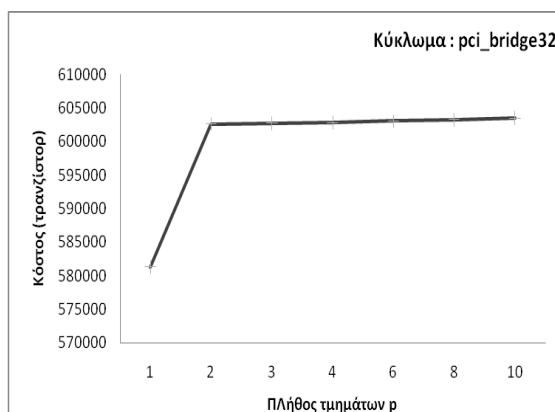


(α)

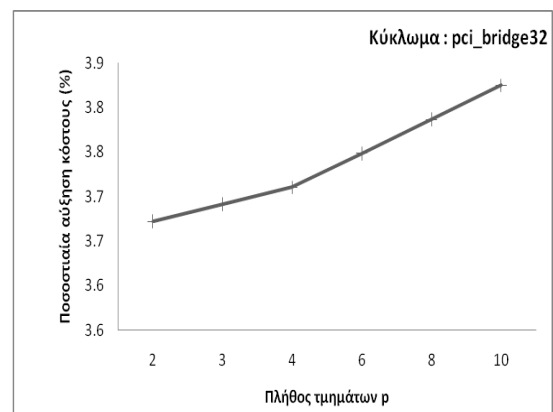


(β)

Σχήμα 5.8. pci\_bridge: (α) Μεταβάσεις (β) Ποσοστιαίο κέρδος για  $s=1$



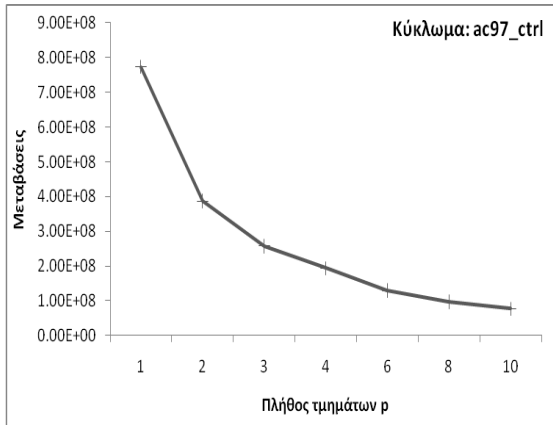
(α)



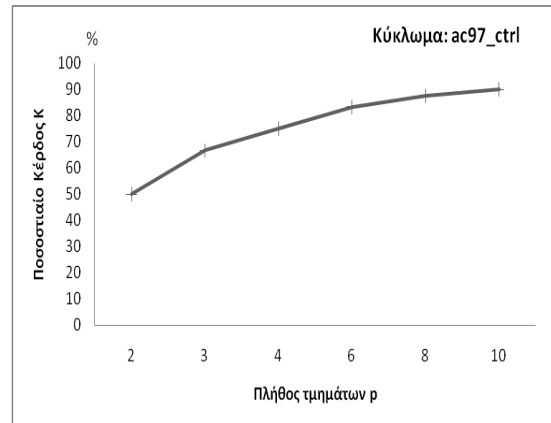
(β)

Σχήμα 5.9. pci\_bridge: (α) Κόστος (τρανζίστορ) (β) Ποσοστιαίο κόστος για  $s=1$

Για το κύκλωμα ac97\_ctrl παρουσιάζονται οι αντίστοιχες γραφικές παραστάσεις στα σχήματα 5.10 και 5.11.

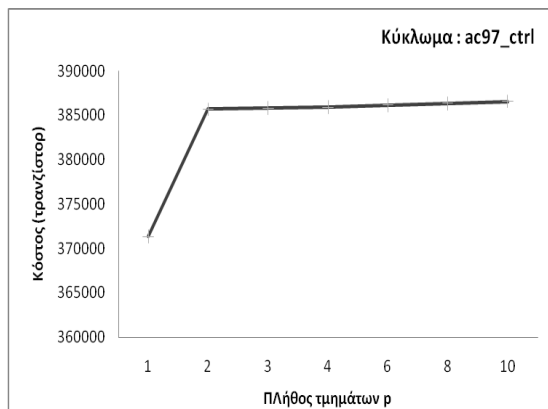


(α)

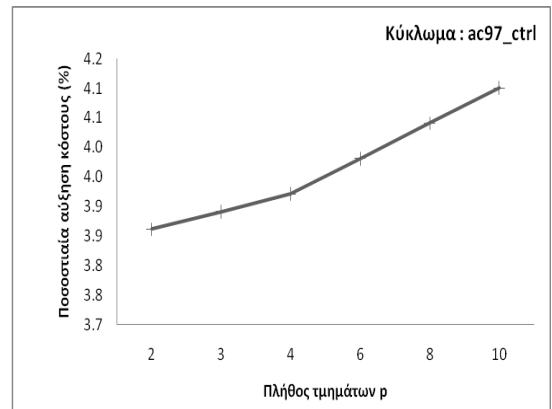


(β)

Σχήμα 5.10.ac97\_ctrl (α) Μεταβάσεις (β) Ποσοστιαίο κέρδος για s=1



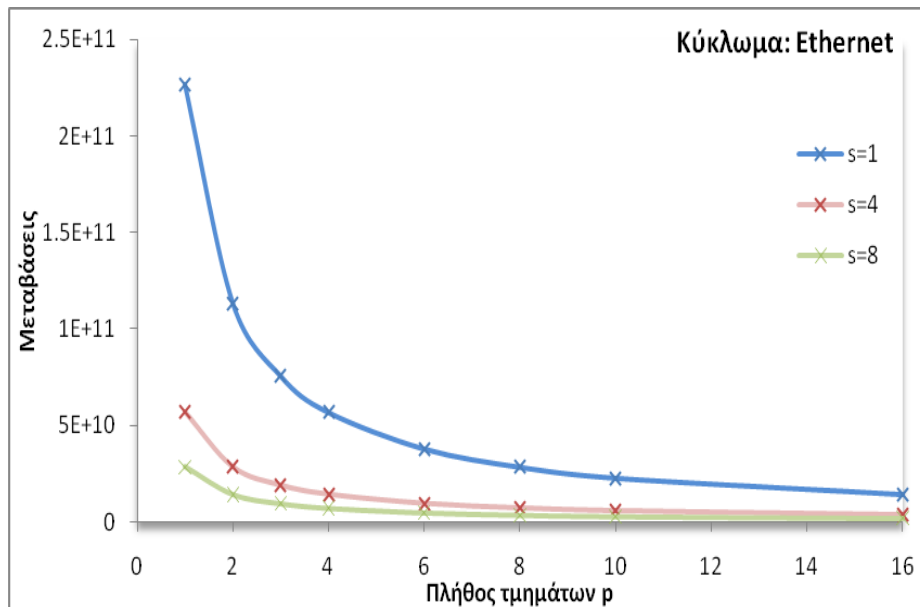
(α)



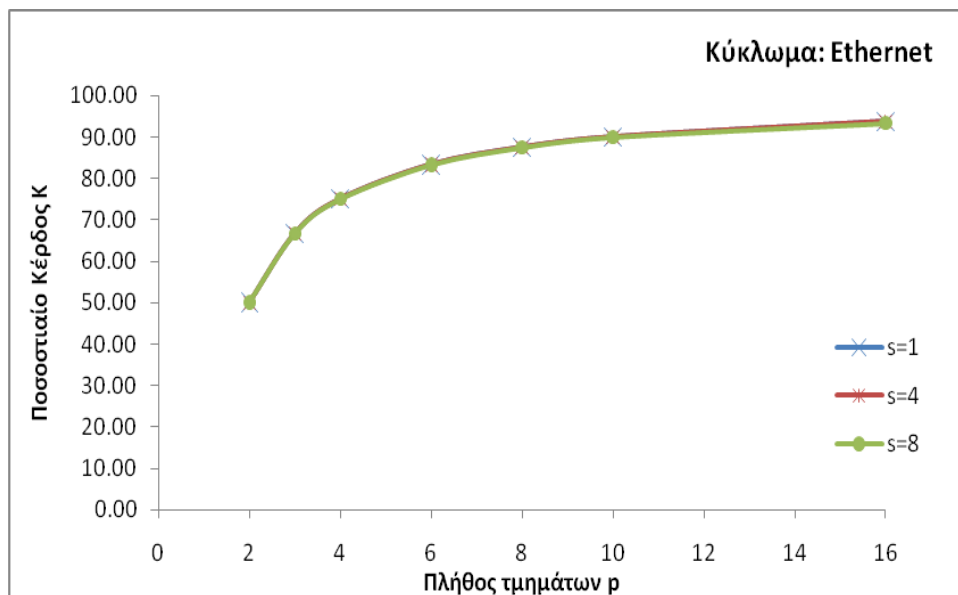
(β)

Σχήμα 5.11. ac97\_ctrl: (α) Κόστος (τρανζίστορ) (β) Ποσοστιαίο κόστος για s=1

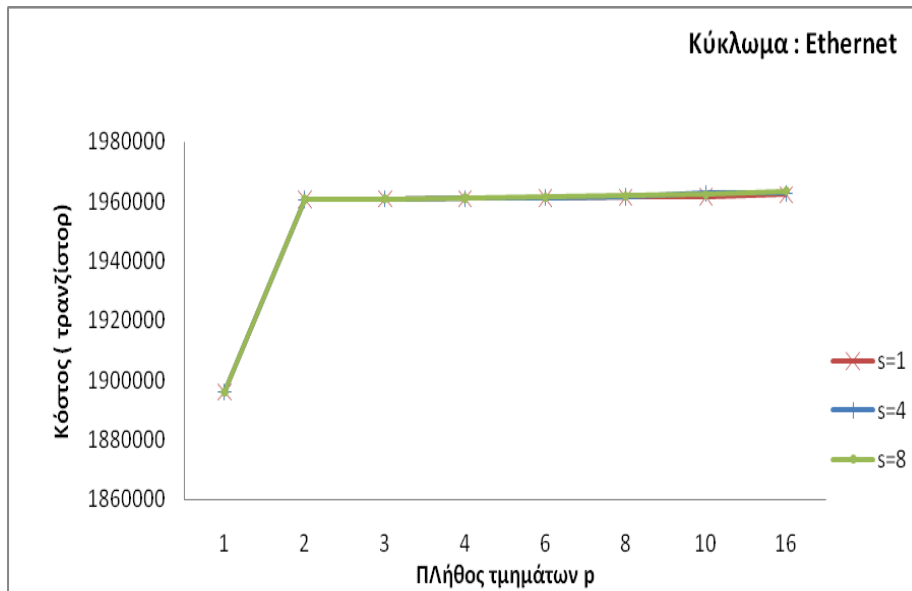
Τα σχήματα 5.12 έως 5.15 παρουσιάζουν τις γραφικές παραστάσεις για το κύκλωμα Ethernet το οποίο έχει το μεγαλύτερο αριθμό στοιχείων μνήμης από όλα τα κυκλώματα που μελετήθηκαν στην εργασία. Στα σχήματα δίδεται γραφικά και η επίδραση του αριθμού των παράλληλων αλυσίδων s στο κέρδος των μεταβάσεων και το κόστος σε επιφάνεια σε σχέση με τα τμήματα ρ των παράλληλων αλυσίδων.



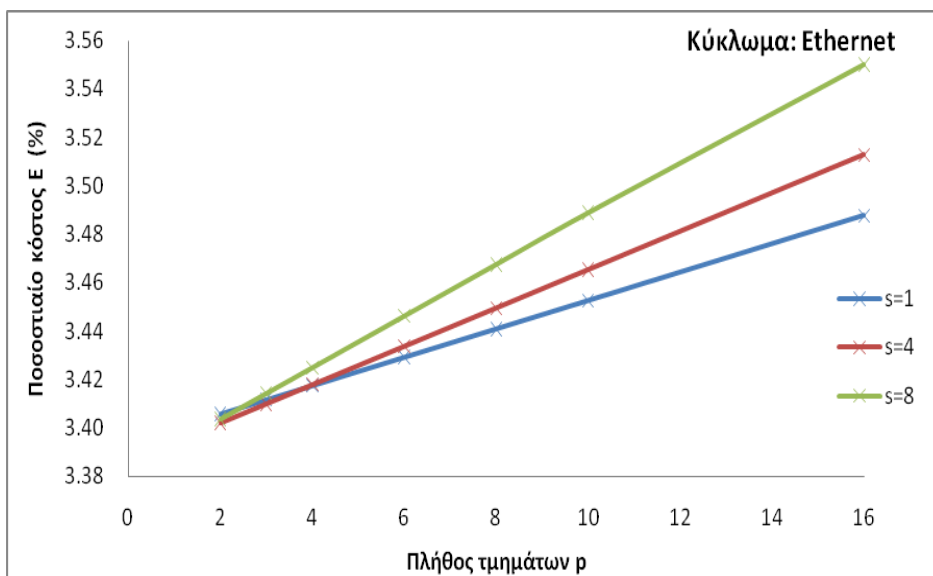
Σχήμα 5.12. Ethernet: Μεταβάσεις – Πλήθος τμημάτων  $\rho$  για  $s=1,4,8$  παράλληλες αλυσίδες



Σχήμα 5.13. Ethernet: Ποσοστιαίο Κέρδος Κ – Πλήθος τμημάτων  $\rho$  για  $s=1,4,8$  παράλληλες αλυσίδες



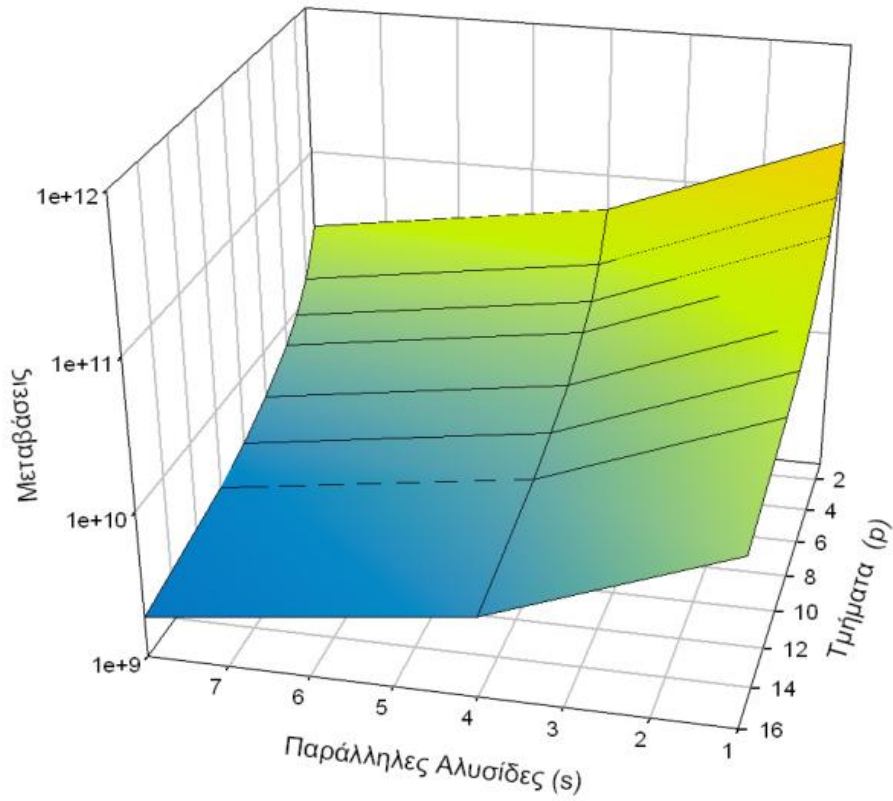
Σχήμα 5.14. Ethernet: Κόστος (τρανζίστορ) – Πλήθος τμημάτων p για s=1,4,8 παράλληλες αλυσίδες



Σχήμα 5.15. Ethernet: Ποσοστιαίο Κόστος E – Πλήθος τμημάτων p για s=1,4,8 παράλληλες αλυσίδες



# Μεταβάσεων ως προς s και p



Σχήμα 5.16. Ethernet: Αριθμός μεταβάσεων ως προς s και p σε τρισδιάστατη απεικόνιση

Το σχήμα 5.16 παρουσιάζει την τρισδιάστατη απεικόνιση του αριθμού των μεταβάσεων ως προς τις παραμέτρους s και p για το κύκλωμα Ethernet.

Από τα ανωτέρω, παρατηρούμε ότι το ποσοστιαίο κέρδος των μεταβάσεων σε σχέση με το πλήθος των τμημάτων p δεν μεταβάλλεται με την αύξηση των παράλληλων αλυσίδων (βλ. για s=4, 8). Η διαφορά με την παρουσία των παράλληλων αλυσίδων είναι πως το πλήθος των μεταβάσεων είναι κατά 1/s μειωμένο σε σχέση με την ενιαία αλυσίδα L σε όλες τις περιπτώσεις ακόμη και για p=1. Επειδή λοιπόν αθροιστικά οι μεταβάσεις των s παράλληλων αλυσίδων είναι λιγότερες από ότι στην ενιαία αλυσίδα, η διαδικασία της μείωσης των μεταβάσεων συναρτήσει του πλήθους των τμημάτων p ξεκινάει πάνω σε άλλη βάση αναφοράς. Η βάση αναφοράς ( $T_i$ ) και η μείωση των μεταβάσεων ( $T_i - T_n$ ) αλλάζουν για κάθε τιμή του s, το πηλίκο τους όμως που ορίζει το ποσοστιαίο κέρδος ( $(T_i - T_n)/T_i * 100$ ) παραμένει σταθερό.

Με την μείωση των μεταβάσεων επιτυγχάνεται μείωση της καταναλισκόμενης ισχύος (βλ. Τύπος 2.3) και συνεπώς και της ενέργειας. Η μείωση στη κατανάλωση ενέργειας είναι ελεγχόμενη και ανάλογη του πλήθους των τμημάτων και παράλληλων αλυσίδων στα οποία θα χωριστεί η βασική αλυσίδα σάρωσης. Τα αποτελέσματα των πινάκων στο κεφάλαιο αυτό αποτελούν την επιβεβαίωση της μείωσης στην κατανάλωση ενέργειας με την εφαρμογή της προτεινόμενης τεχνικής τμηματοποιημένων αλυσίδων με αναστολή κατά των έλεγχου των κυκλωμάτων ISCAS'89 και IWLS. Συνεπώς, η εφαρμογή της τεχνικής σε ένα υπό έλεγχο ολοκληρωμένο κύκλωμα, με κατάλληλη επιλογή των παραμέτρων  $s$  και  $p$ , θα επιφέρει την επιθυμητή μείωση της κατανάλωσης ενέργειας.

Σε ότι αφορά το κόστος υλοποίησης της τεχνικής, φτάνει στην μέγιστη τιμή του στην περίπτωση που κάθε παράλληλη αλυσίδα χωριστεί σε τόσα τμήματα  $p$  όσα και το πλήθος των scan freeze flip-flop. Κάτι τέτοιο όμως δεν έχει πρακτικά καμία χρηστική αξία, οπότε το κόστος θα περιοριστεί σε μια ανώτερη τιμή που είναι αποδεκτή για κάθε κύκλωμα. Παρατηρείται πως το κόστος παίρνει μεγαλύτερες τιμές καθώς αυξάνει το πλήθος παράλληλων αλυσίδων  $s$  όπως φαίνεται στα σχήματα 5.14 και 5.15. Αυτό συμβαίνει γιατί τα απαραίτητα κυκλωματικά στοιχεία για την σωστή λειτουργία της αλυσίδας προστίθεται σε κάθε παράλληλη αλυσίδα  $s$  με αποτέλεσμα το άθροισμα αυτό να αυξάνεται αναλογικά με το πλήθος των  $s$ .

Σε κάθε περίπτωση που μελετήθηκε στην εργασία, σημειώνεται πως το κόστος της τεχνικής είναι γενικά μικρό και αποδεκτό. Γενικά, το επιπλέον κόστος της τεχνικής εξαρτάται κατά βάση από τα πρόσθετα κυκλωματικά στοιχεία σε κάθε κύτταρο σάρωσης της αλυσίδας, που θα μετατρέψουν το κλασικό κύτταρο σάρωσης στο scan freeze flip-flop της τεχνικής. Οι δύο pass gates που προστίθενται ανά κύτταρο σάρωσης σε όλη την αλυσίδα μήκους  $L$ , συντελούν καθοριστικά στην αύξηση του κόστους με βάση τη νέα τεχνική. Η υπόλοιπη πρόσθετη κυκλωμάτωση που απαιτείται είναι μικρή και συμβάλει πολύ λίγο στην αύξηση του κόστους. Για παράδειγμα σε κύκλωμα όπου η αλυσίδα σάρωσης καταλαμβάνει το 5% (κύκλωμα `wb_conmax`) της συνολικής επιφάνειας του κυκλώματος, αναμένεται μικρότερο ποσοστιαίο κόστος σε σχέση με κύκλωμα που η αλυσίδα σάρωσης καταλαμβάνει το 24% της συνολικής επιφάνειας του κυκλώματος (κύκλωμα Ethernet). Συμπερασματικά, όσο πιο μικρό το ποσοστό των κυττάρων σάρωσης στο κύκλωμα συγκριτικά με την υπόλοιπη λογική, τόσο πιο οικονομική γίνεται η προτεινόμενη τεχνική.

Τέλος, η κυκλωμάτωση για τη δημιουργία του σήματος SCLK δεν έχει μεγάλο κόστος και η ενσωμάτωση της μέσα στο κύκλωμα δεν είναι υποχρεωτική.

## ΚΕΦΑΛΑΙΟ 6. ΣΥΜΠΕΡΑΣΜΑΤΑ

---

Στην παρούσα εργασία προτείνεται μια τεχνική που στοχεύει στην μείωση της κατανάλωσης ενέργειας κατά τη διάρκεια του ελέγχου ορθής λειτουργίας με τη χρήση τεχνικών σειριακής σάρωσης σε ψηφιακά ολοκληρωμένα κυκλώματα. Η τεχνική αυτή καλείται *τεχνική τμηματοποιημένων αλυσίδων σάρωσης με αναστολή σάρωσης* και βασίζεται στην τμηματοποίηση της αλυσίδας σάρωσης και στην τμηματική φόρτωση του διανύσματος ελέγχου και εξαγωγή της προηγούμενης απόκρισης.

Η νέα τεχνική κάνει χρήση ενός ειδικού κυττάρου σάρωσης, που προτείνεται παράλληλα στην εργασία αυτή, με δυνατότητα παγίδευσης της τιμής στην έξοδο του μέσω ανατροφοδότησης, χωρίς να απαιτείται η απενεργοποίηση του σήματος ρολογιού (clock gating). Η τμηματοποίηση από κοινού με τη χρήση του νέου κυττάρου σάρωσης, επιφέρει τη μείωση του αριθμού των μεταβάσεων σήματος στις εξόδους των Flip-Flop της αλυσίδας σάρωσης κατά τη διάρκεια της ολίσθησης δεδομένων σε αυτή. Καθώς η κατανάλωση ενέργειας κατά την φάση της ολίσθησης δεδομένων σε μια αλυσίδα είναι ανάλογη του πλήθους των μεταβάσεων σήματος στις ψευδο-κύριες εισόδους της συνδυαστικής λογικής, αναμένουμε πως κατ' επέκταση θα υπάρξει μείωση της δυναμικής κατανάλωσης ισχύος στο κύκλωμα. Με αναφορά στα πειραματικά αποτελέσματα, η μείωση αυτή αποδείχθηκε ότι είναι ανάλογη του αριθμού των τμημάτων  $p$  στα οποία χωρίζεται η αρχική αλυσίδα μήκους  $L$  κατά τον έλεγχο του κυκλώματος. Η μείωση αυτή είναι αναμενόμενη διότι χωρίζοντας μια αλυσίδα σε  $p$  τμήματα, η 'διαδρομή' των bit στα τμήματα της αλυσίδας είναι μικρότερη σε σχέση με την αρχική αλυσίδα. Η μείωση της κατανάλωσης αποδείχθηκε πειραματικά ότι συμφωνεί με τις θεωρητικές προβλέψεις και είναι ουσιαστικά ίση με  $1/p$ .

Το κόστος για την εφαρμογή της τεχνικής, αν και μικρό για μεγάλα κυκλώματα, αποτελεί μια δυναμική παράμετρο του προβλήματος. Ανάλογα με την μείωση στην κατανάλωση ενέργειας που είναι επιθυμητή, επιλέγεται το πλήθος των τμημάτων στα οποία θα χωριστεί η αλυσίδα σάρωσης από τον σχεδιαστή του ολοκληρωμένου κυκλώματος. Η προτεινόμενη τεχνική χαρακτηρίζεται από μεγάλη ευελιξία και επιτρέπει στο σχεδιαστή να αποφασίσει με τον

οικονομικότερο τρόπο το ποσοστό κατά το οποίο θέλει να μειώσει την κατανάλωση ενέργειας.

Επιπρόσθετα, η προτεινόμενη τεχνική επιτρέπει τη χρήση όλων των γνωστών αλγορίθμων στη διεθνή βιβλιογραφία, όπως στις εργασίες [24] - [26], [6] για τη συμπλήρωση των αδιάφορων τιμών (x-filling) στα διανύσματα ελέγχου. Με τον τρόπο αυτό μπορεί να επιτευχθεί περαιτέρω μείωση της κατανάλωσης ισχύος όχι μόνο κατά την ολίσθηση των δεδομένων (shift power) αλλά και κατά τη δέσμευση των αποκρίσεων (capture power), οριοθετώντας με αυτό τον τρόπο τη συνολική κατανάλωση ενέργειας κατά τη φάση του ελέγχου ορθής λειτουργίας του κυκλώματος. Συνεπώς, μπορούν να καθοριστούν με ασφάλεια τα επίπεδα της κατανάλωσης ενέργειας ώστε να εξασφαλιστεί ο αξιόπιστος έλεγχος της ορθής λειτουργίας χωρίς τον κίνδυνο μείωσης της κατασκευαστικής απόδοσης (yield loss).

Συνοψίζοντας, η τεχνική μπορεί να εφαρμοστεί:

- σε οποιοδήποτε ολοκληρωμένο κύκλωμα με μια ή πολλαπλές παράλληλες αλυσίδες σάρωσης (και με τη χρήση της Illinois αρχιτεκτονικής),
- στον παράλληλο, χαμηλής κατανάλωσης, έλεγχο ορθής λειτουργίας με τεχνικές σάρωσης πυρήνων σε πολυπύρηννα ολοκληρωμένα κυκλώματα. Οι αλυσίδες των πυρήνων (συμπεριλαμβανομένων και των σχετικών αλυσίδων του πρωτόκολλου IEEE 1500) αποτελούν τις παράλληλες αλυσίδες, οι οποίες δέχονται δεδομένα από κοινή είσοδο. Το πλήθος  $p$  των τμημάτων της αλυσίδας σε κάθε πυρήνα αποτελεί την παράμετρο του σχεδιασμού της αρχιτεκτονικής ανάλογα με το ποσοστό της εξοικονόμησης ενέργειας που θέλει ο σχεδιαστής να επιτύχει,
- με οποιαδήποτε τεχνική συμπίεσης δεδομένων ελέγχου ορθής λειτουργίας (test data compression), προσδίδοντας σε αυτές τη δυνατότητα μέγιστης συμπίεσης, χωρίς να λαμβάνονται ταυτόχρονα υπόψιν περιορισμοί για τη μείωση της κατανάλωσης ενέργειας κατά την ολίσθηση των δεδομένων στις αλυσίδες σάρωσης,
- με οποιαδήποτε τεχνική ενσωματωμένου αυτοελέγχου (BIST) όπου δεν μπορούν να εφαρμοστούν αλγοριθμικές τεχνικές κατά τη γέννηση διανυσμάτων ελέγχου με στόχο τη μείωση της κατανάλωσης ενέργειας κατά την ολίσθηση των δεδομένων στις αλυσίδες σάρωσης.

Αναφερόμενοι στην ανταγωνιστική τεχνική της εργασίας [20], παρατηρούμε ότι έχει μεγαλύτερο κόστος σε σχέση με την προτεινόμενη τεχνική τμηματοποιημένων αλυσίδων με αναστολή. Δεδομένου ότι το πλήθος των κυττάρων σάρωσης μπορεί να ανέλθει σε μερικές εκατοντάδες χιλιάδες στα σημερινά ολοκληρωμένα κυκλώματα και συνεπώς ο αριθμός των παράλληλων αλυσίδων να είναι εξαιρετικά μεγάλος, η τεχνική αυτή [20] μπορεί να παρουσιάζει αυξημένο κόστος για την εφαρμογή της. Επιπρόσθετα, παρουσιάζει αυξημένη πολυπλοκότητα στην εφαρμογή της σε σχέση με την προτεινόμενη τεχνική η οποία επιτρέπει μεγαλύτερο βαθμό ελευθερίας στο μήκος και στο πλήθος των αλυσίδων που μπορεί να τμηματοποιηθεί η αλυσίδα σάρωσης. Επίσης η τεχνική αυτή δεν μπορεί να εφαρμοστεί σε συνδυασμό με BIST σχήματα. Τέλος, να επισημάνουμε ότι η τεχνική στην εργασία [20] απαιτεί πρόσθετους κύκλους ρολογιού ανά διάνυσμα ελέγχου.

Συνοψίζοντας, η προτεινόμενη τεχνική τμηματοποιημένων αλυσίδων με αναστολή επιφέρει με μικρό κόστος την επιθυμητή μείωση στην κατανάλωση ενέργειας κατά τη διάρκεια των ολισθήσεων σε μια αλυσίδα σάρωσης χωρίς να επηρεάζει στο ελάχιστο ούτε το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου ορθής λειτουργίας, ούτε την κάλυψη σφαλμάτων.

# ΑΝΑΦΟΡΕΣ

---

- [1] Laung-Terng Wang, Charles E. Stroud, Nur A. Touba, "System-On-Chip Test Architectures. Nanometer Design for Testability", Morgan Kaufmann Publishers, 2008.
- [2] Vishwani D. Agrawal, James J. Danaher, "A Tutorial on Test Power", International Symposium on Low-Power Electronics and Design (ISLPED), 2008.
- [3] Μάτσει Κ.Μπέλλος, "Τεχνικές ελέγχου ορθής λειτουργίας με έμφαση στη χαμηλή κατανάλωση", Διδακτορική διατριβή, Τμήμα Μηχανικών Η/Υ και Πληροφορικής, Πανεπιστήμιο Πατρών, 2005.
- [4] Χαλκιά Μαρία, "Σχεδίαση Αλυσίδων Σάρωσης για Υψηλή Ταχύτητα και Χαμηλή Κατανάλωση", Μεταπτυχιακή εργασία ειδίκευσης, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων, MT 2010-12, 2010.
- [5] M. Bushnell and V. Agrawal, "Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits", Kluwer Academic Publishers, 2000.
- [6] A. Chandra, F. Ng and R. Kapur, "Low Power Illinois Scan Architecture for Simultaneous Power and Test Data Volume Reduction", Proceedings of the conference on Design Automation and Test in Europe (DATE), pp. 462-467, 2008.
- [7] Il-Soo Lee, Yong Min Hur, Tony Ambler, "The Efficient Multiple Scan Chain Architecture Reducing Power Dissipation and Test Time", Asian Test Symposium (ATS), pp. 94-97, 2004.
- [8] Nicola Nicolici, Bashir M.Al-Hashimi, "Power-Constrained Testing of VLSI Circuit", Kluwer Academic Publishers, 2003.
- [9] L. Lou, G. Hu and F. Roberts, "New Scan Testing Techniques", IEEE Transactions on VLSI Systems, vol. 21, no. 3, pp. 345-354, 2004.
- [10] A. Chandra and K. Chakrabarty, "Combining low-power scan testing and test data compression for system-on-a-chip", Design Automation Conf., pp. 166-169, 2001.
- [11] A.Khoche, "Test Resource Partitioning for Scan Architectures using Bandwidth Matching", IEEE Test Resource Partitioning Workshop, pp.1.4-1 – 1.4-8, 2002.
- [12] R. Sankalingham, B. Pouya and N. Touba, "Reducing Power Dissipation During Test Using Scan Chain Disable", IEEE VLSI Test Symposium (VTS), pp. 319-324, 2001.
- [13] S. Wang and S. Gupta, "ATPG for Heat Dissipation Minimization During Test Application", IEEE Tran. on Computers, vol. 47, no. 2, pp. 256-262, 1998.

- [14] K. Butler, J. Saxena, T. Fryars, G. Hetherington, A. Jain and J. Lewis, "Minimizing Power Consumption in Scan Testing: Pattern Generation and DFT Techniques", IEEE International Test Conference (ITC), pp. 355-364, 2004.
- [15] S. Remersaro, X. Lin, Z. Zhang, S. Reddy, I. Pomeranz and J. Rajski, "Preferred Fill: A Scalable method to Reduce Capture Power for Scan Based Designs", IEEE International Test Conference (ITC), p. 32.2, 2006.
- [16] J. Li, Q. Xu, Y. Hu and X. Li, "X-Filling for Simultaneous Shift and Capture-Power Reduction in At-Speed Scan-Based Testing", IEEE Transactions on VLSI Systems, vol. 18, no. 7, pp. 1081-1091, 2010.
- [17] I. Hamzaoglu, J. H. Patel, "Reducing test Application time for Full Scan Embedded Cores", Fault-Tolerant Computing Symposium, pp. 260-267, 1999.
- [18] F. F. Hsu, K. M. Butler, J. H. Patel, "A Case Study on the Implementation of Illinois Scan Architecture", Int. Test Conf., pp. 538-547, 2001.
- [19] M.-H. Chiu and J. C.-M. Li, "Jump Scan: A DFT Technique for Low Power Testing", IEEE VLSI Test Symposium (VTS), pp. 277-282, 2005.
- [20] Hong-Sik Kim, Cheong-Ghil Kim, Sungho Kang, "A New Scan Partition Scheme for Low-Power Embedded Systems", ETRI Journal, vol. 30, no. 3, pp. 412, 2008.
- [21] H. K. Lee and D. S. Ha, "Atalanta: an Efficient ATPG for Combinational Circuits", Technical Report, 93-12, Dept of Electrical Eng., Virginia Polytechnic Institute and State University, Blacksburg, Virginia, 1993, (<http://www.vtvt.ece.vt.edu/vlsidesign/>)
- [22] H. K. Lee and D. S. Ha, "HOPE: An Efficient Parallel Fault Simulator for Synchronous Sequential Circuits", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 15, pp. 1048-1058, 1996.
- [23] N. H. Weste K. Eshraghian, "Σχεδίαση Ολοκληρωμένων Κυκλωμάτων CMOS VLSI", (μετάφραση Κ. Πεκμεστζής, Δ. Σούντρης, Κ. Γκούτης), Εκδόσεις Παπασωτηρίου, Αθήνα, 1996.
- [24] Jia Li, Qiang Xu, Yu Hu, Xiaowei Li, "X-Filling for simultaneous Shift- and Capture-Power Reduction in At-Speed Scan-Based Testing", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 18, no. 7, pp. 1081-1092, 2010.
- [25] X. Wen, K. Miyase, T. Suzuki, Y. Yamato, S. Kajihara, L-T. Wang and K. K. Saluja, "A Highly-Guided X-Filling Method for Effective Low-Capture-Power Scan Test Generation", IEEE International Conference on Computer Design, pp. 251 - 258, 2006.
- [26] S. Balatsouka, V. Tenentes, X. Kavousianos and K. Chakrabarty, "Defect Aware X-Filling for Low-Power Scan Testing", IEEE/ACM Design Automation and Test in Europe Conference (DATE), pp. 873 - 878, 2010.



# ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ

---

Η Αρβανίτη Ευτυχία γεννήθηκε στα Ιωάννινα και αποφοίτησε από το 2<sup>ο</sup> Ενιαίο Λύκειο Ηγουμενίτσας.

Είναι Διπλωματούχος Ηλεκτρονικός Μηχανικός και Μηχανικός Υπολογιστών, απόφοιτος του ομώνυμου τμήματος του Πολυτεχνείου Κρήτης το έτος 2008.

Από το έτος 2009 είναι μεταπτυχιακή φοιτήτρια στο τμήμα Πληροφορικής του Πανεπιστημίου Ιωαννίνων με ειδίκευση στις Τεχνολογίες-Εφαρμογές.

Τα ερευνητικά της ενδιαφέροντα εστιάζονται στους τομείς του υλικού των Η/Υ, της μικροηλεκτρονικής και αρχιτεκτονικής υπολογιστών καθώς και στις βιοιατρικές εφαρμογές.