



ΥΠΟΥΡΓΕΙΟ ΕΘΝΙΚΗΣ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ  
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ ΕΠΕΑΕΚ



ΕΥΡΩΠΑΪΚΗ ΕΝΔΕΞΗ  
ΣΥΓΧΡΗΜΑΤΟΔΟΤΗΣΗ  
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



Η ΠΑΙΔΕΙΑ ΣΤΗΝ ΚΟΡΥΦΗ  
Επιχειρησιακό Πρόγραμμα  
Εκπαίδευσης και Αρχικής  
Επαγγελματικής Κατάρτισης

# Σύνθεση Ψηφιακών Συστημάτων

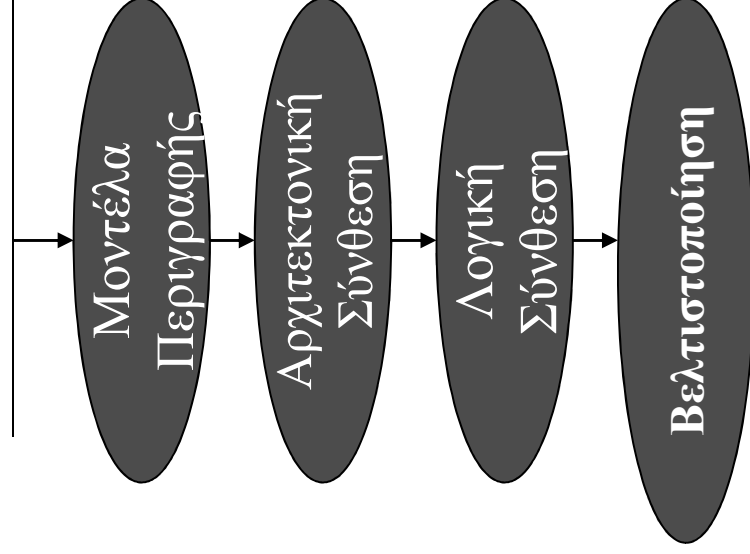
Χ. Καβουσιανός  
Επικουρος Καθηγητής  
Πανεπιστημίου Ιωαννίνων

# Αντικείμενο Μαθήματος

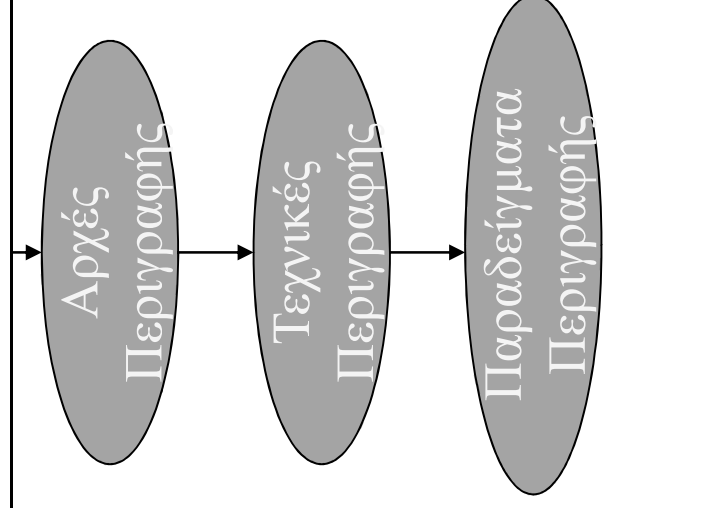
---

## Θέματα Σχεδίασης Σύγχρονων Ψηφιακών Συστημάτων

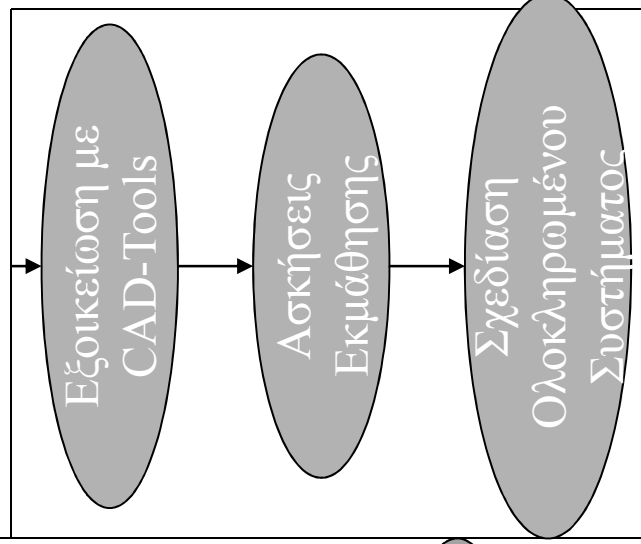
### Σύνθεση & Βελτιστοποίηση



### Η γλώσσα VHDL



### Εργασία Εξαμήνου



---

# Σύνθεση & Βελτιστοποίηση

---

*Είναι η αυτόματη διαδικασία μετατροπής μίας HDL περιγραφής σε ολοκληρωμένο σύστημα υλοποιημένο σε δεδομένη τεχνολογία (ASIC, Gate Array, PLD, FPGA).*

- ✓ Μοντέλα περιγραφής συστημάτων.
- ✓ Βασικά στοιχεία θεωρίας γράφων, αλγορίθμων, συνδυαστικής βελτιστοποίησης.
- ✓ Μοντελοποίηση συστημάτων υλικού (Hardware).
- ✓ Σύνθεση συστημάτων σε επίπεδο Αρχιτεκτονικής (Architectural Synthesis).
- ✓ Αλγόριθμοι για Scheduling λειτουργιών σε resources.
- ✓ Διαμοίραση και δέσμευση resources (Sharing & Binding).
- ✓ Λογική Βελτιστοποίηση δύο επιπέδων (2-Level Logic Optimization).
- ✓ Λογική Βελτιστοποίηση πολλαπλών επιπέδων (Multiple Level Logic Optimization).
- ✓ Απεικόνιση σχεδιασμού σε κύτταρα βιβλιοθήκης (Technology Mapping – Library Binding).

# Η γλώσσα περιγραφής VHDL

---

*Είναι γλώσσα περιγραφής κυκλωμάτων που χρησιμοποιείται ερρέως σε Ευρώπη και Αμερική*

- ✓ Εισαγωγή & βασικές έννοιες της γλώσσας.
- ✓ Δεδομένα και Τύποι Δεδομένων.
- ✓ Ακολουθιακές Δομές.
- ✓ Σύνθετοι Τύποι Δεδομένων.
- ✓ Βασικοί τρόποι Μοντελοποίησης.
- ✓ Παραδείγματα σχεδίασης με στόχο την σύνθεση.

# Εργασία Εξαμήνου

---

*Περιγραφή ενός απλού υποθετικού Μικροελεγκτή σε VHDL με στόχο την σύνθεση του σε FPGA.*

- ✓ Εξοικείωση με το εργαλείο σχεδίασης Altera Quartus.
- ✓ Εκτέλεση εισαγωγικών ασκήσεων εξοικείωσης.
- ✓ Ιεραρχική Περιγραφή Μικροελεγκτή σε VHDL.
- ✓ Εξομίωση & Επαλήθευση.
- ✓ Σύνθεση περιγραφής σε τεχνολογία FPGA.

# Ύλη & Βαθμολογία

---

## Ύλη

A. Synthesis and Optimization of Digital Circuits, Giovanni De Micheli.

Επιλεγμένα τμήματα από τα κεφάλαια 1-8, 10

B. High Level Synthesis, D. Gajski, Επιλεγμένα τμήματα.

Γ. The Students Guide to VHDL, Peter J. Ashenden

Επιλεγμένα τμήματα από τα κεφάλαια 1-7, 9, 10

Γ. Παραδόσεις VLSI (μάθημα επιλογής)

Δ. Εργαστηριακές Σημειώσεις

Βαθμολογία = **60%Εργασία + 40%Γραπτό** με απαραίτητη προϋπόθεση  
Γραπτό και Εργασία να ξεπερνούν την βάση.